

ワード線遅延の解析法とその応用
——ワード線遅延の短縮法——

桜井貴康・古山透
飯塚哲哉
(東 芝)

1982年10月26日

社団法人 電子通信学会

ワード線遅延の解析法とその応用

METHODS FOR ANALYZING A WORD LINE DELAY AND THEIR APPLICATIONS

ワード線遅延の短縮法

ON THE REDUCTION OF A WORD LINE DELAY

桜井 貴康

古山 透

飯塚 哲哉

Takayasu SAKURAI

Tohru FURUYAMA

Tetsuya IIZUKA

東京芝浦電気株式会社 半導体技術研究所

Semiconductor Device Engineering Lab., Toshiba Corp.

§1. はじめに

大容量MOSメモリに於ては、ワード線による遅延が、アクセス速度を制限する重要な因子になっている。ワード線は、容量 C と抵抗 R の分布定数線路と考えられ、偏微分方程式で記述され、多くの報告がなされている¹⁾。しかしこの偏微分方程式を回路に埋め込んで解くことは不可能に近く、通常は分布 CR 線路を集中定数回路で置き換え、回路シミュレータで計算する方法がとられる。この方法は広範に使用されているが、計算結果などの精度にばらつきがあるか、目安がなかった。本報告の目的の一つは、この近似度について指標を与えることにある。許容誤差が与えられた時、その範囲内で最も簡単な近似回路を使用することが、計算コストを低減する上で望ましい。これについては§2に表の形でまとめた。又、メモリ設計の初期に於ては、回路シミュレータを用いるより、ワード線のふるまいを表現する簡単な式があると便利である。これについては§3で述べる。§4にワード線解析法の2つの適用例を示す。本報告の他の目的は、ワード線遅延特にスタティックメモリのワード線遅延の短縮法に関するものである。§5では短縮法の一つとして、ワード線2重化方式を提案し、これに、上述の遅延解析法を適用して、次世代メモリに於ける本方式の有用性を論ずる。§6では、他の短縮法として、ワード線中間アンプを取り上げ、その挿入位置に関して、最適化がある事を報告する。

本報告で使用する記号を以下にまとめる。

 C : ワード線の全容量 R : ワード線の全抵抗 C_t : ワード線負荷MOSFETの入力容量 r_t : ワード線駆動MOSFETの等価抵抗 $C_T = C_t/C$ $R_T = r_t/R$ t : 時間 $\tau = t/CR$ s : ラプラス変換後の時間変数

§2. 梯子型回路モデル

議論の対象とするワード線の構成は図1 a)のように、その1梯をMOSFETで駆動され、他の1梯にMOSFETのゲートが接続したような場合である。このような状況を扱うため、本報

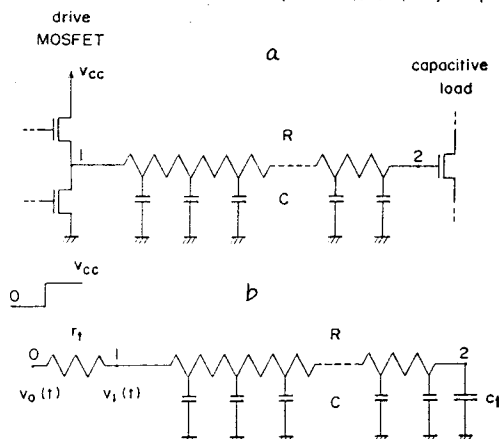


図1 a. ワード線の基本構成
b. 基本モデル

告では、図1bのようにドライブトランジスタを等価抵抗 r_t で、負荷を容量 C_L で置き替えている。 r_t による置き替えは厳密には正しくないが、駆動トランジスタの効果を簡単に取り入れるため、便宜上導入したものである。しかし、§4で述べるように、実現には良い近似となっている。 $r_t/R \ll 1$ にすると、ワード線が定電圧的に駆動される場合を表わし、 $r_t/R \gg 1$ にすると、定電流的に駆動される場合を表わす。ちなみに、ポリシリコンヤジリサイドを用いた通常の大容量メモリでは、 $r_t/R \sim 0.1$ 程度である。

図1aのようなワード線を回路シミュレータで解析する時は、図2のような梯子型回路モデルで置き替える事が通常行なわれる。回路定数が簡単に求まり、無限に接続すれば、CR分布定数線路に一致するという理由により、L、 Π 、T型の梯子型回路を対象とした。これらモデルの誤差を表わす指標として、ここでは、伝達関数の絶対値最小極の相対誤差(以後REMP: Relative Error of Minimum Pole と略す)をとった。CR分布定数線路、及び図2のような梯子型回路では、最小極は、次の極と離れているため(§3参照)、ほぼ回路の時定数と考えて良い。ステップ応答の遅延時間は、 $(1/\text{時定数})$ に比例する事を考え、このREMPはほぼ遅延時間の誤差という事にもな

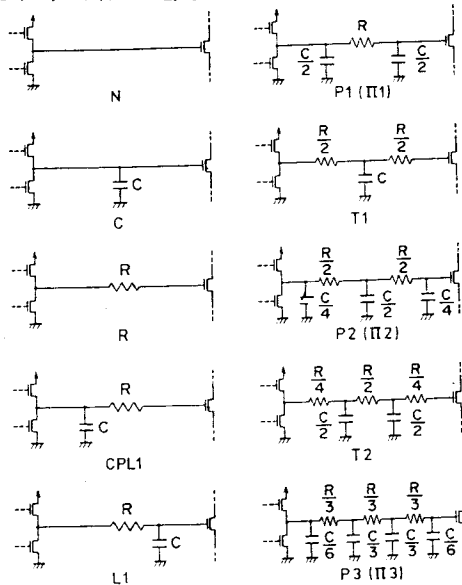


図2. 各種梯子型等価回路

り、この事は§4でも確かめられる。ステップ応答以外でも、最小極は4端子網を支配する重要な量であり、REMPは近似度を議論するのに適した指標と考えられる。

図1bの負荷から負2への伝達関数 $T_D(s)$ は

$$T_D(s) = \frac{1}{(1+s^2 C_L R_t) \cos \sqrt{s^2} - (R_t + C_L) \sqrt{s^2} \sin \sqrt{s^2}} \quad (1)$$

であり、2) これから最小極が数値計算により求まる。 Π 、T、L型梯子回路で、CR分布定数回路を置き替えた時の伝達関数及びその最小極は数値的に求めた。 $r_t = C_L = 0$ の場合のREMPを図3に示す。又、同じ条件下でのステップ応答を各種梯子3段回路について示したのが、図4である。このステップ応答の計算は§3で述べるように、伝達関数と $1/s^2$ を掛け合わせたものにHeavisideの展開定理を適用することにより行なった。図3、4から解かすように、最も頻繁に使用されているL型梯子回路は、3段接続した場合でも誤差は30%にのぼる。それに対し、T及び Π 型梯子回路は3段接続すれば、誤差は2.3%となり、実用

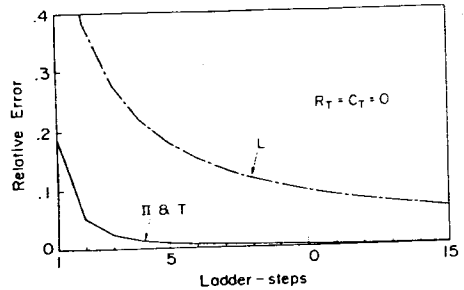


図3. 各種梯子型回路近似の誤差(REMP)

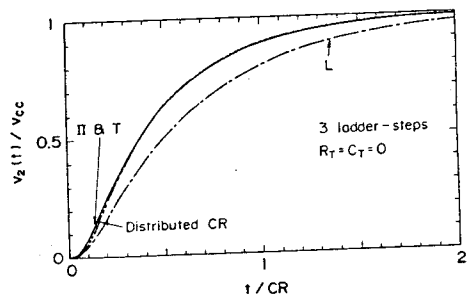


図4. 各種梯子型3段回路のステップ応答。L型より Π 、T型が良い。

上、許容し得る。トランジスタ特性の合せ込み誤差、及び、種々の定数の誤差がこの程度はあるからである。

ある許容誤差が与えられた時、この誤差以内で、ワード線を近似し得る最も簡単な梯子回路を使用するのが、計算コストを低減する上で好ましい。この推奨回路は、駆動及び負荷条件によって異なり、表1にまとめた。表中、 Π 型、 T 型の両方が候補となる場合は、シミュレーション時間は、節点数に大きく依存する事を考慮して Π 型梯子回路をとった。すべての様子型モデルに於て、 R_T 及び C_T が大きく T になればなる程、近似度は向上する(表1参照)。これは外付けの素子を付ける程、外付けの素子によって全体の系の特性が決まるようになる。CR分布定数線路の性質は見えなくなるためである。このため、何れ素子のない、すなわち $R_T=C_T=0$ という場合が、近似するに最も厳しい状態である。このように、最悪の場合でも、 Π 型を3段接続すれば、誤差は3%以下になる。通常のワード線は、 $R_T \sim 0.1$ なので、 Π 型2段梯子回路でも誤差3%が達成される。

a

C_T	0	.01	.1	.2	.5	R_T	1	2	5	10	20	50	100
0	P2	P2	P2	P1	P1	P1	P1	C	C	C	C	C	C
.01	P2	P2	P2	P1	P1	P1	P1	C	C	C	C	C	C
.1	P2	P2	P2	P1	P1	P1	P1	C	C	C	C	C	C
.2	T1	T1	T1	P1	P1	P1	P1	C	C	C	C	C	C
.5	T1	T1	T1	P1	P1	P1	P1	C	C	C	C	C	C
1	P1	P1	P1	P1	P1	P1	P1	L1	C	C	C	C	C
2	P1	P1	P1	P1	P1	P1	P1	L1	C	C	C	C	C
5	R	R	R	R	R	R	R	L1	P	R	R	R	R
10	R	R	R	R	R	R	R	L1	P	R	R	R	R
20	R	R	R	R	R	R	R	L1	P	R	R	R	R
50	R	R	R	R	R	R	R	L1	P	R	R	R	R
100	R	R	R	R	R	R	R	L1	P	R	R	R	R

b

C_T	0	.01	.1	.2	.5	R_T	1	2	5	10	20	50	100
0	P3	P3	P2	P2	P1	P1	P1	P1	P1	C	C	C	C
.01	P3	P3	P2	P2	P1	P1	P1	P1	P1	C	C	C	C
.1	T2	T2	P2	P2	P1	P1	P1	P1	P1	C	C	C	C
.2	T2	T2	P2	P2	P1	P1	P1	P1	P1	C	C	C	C
.5	T1	T1	T1	T1	P1	P1	P1	P1	P1	C	C	C	C
1	T1	T1	T1	T1	P1	P1	P1	P1	P1	C	C	C	C
2	T1	T1	T1	T1	P1	P1	P1	P1	P1	C	C	C	C
5	P1	P1	P1	P1	P1	P1	P1	L1	L1	L1	L1	C	C
10	P1	P1	P1	P1	P1	P1	P1	L1	L1	L1	L1	C	C
20	R	R	R	R	R	R	R	L1	L1	L1	L1	C	C
50	R	R	R	R	R	R	R	L1	L1	L1	L1	C	C
100	R	R	R	R	R	R	R	L1	L1	L1	L1	C	C

表1. 許容誤差を与えた場合の最適ワード線近似梯子回路

a. 許容誤差を10%とした場合

b. 許容誤差を3%とした場合

表中の回路を表す記号は図2参照

5.3. 簡単な式による近似

設計の初期に於ては、回路シミュレータを使うよりも、ワード線のふるまいをラフに見積れる表式があると便利である。本節は、この手法に関するものである。式(1)に $1/s'$ を掛けただけのものに、Heavisideの定理を適用する。これは、ローラン展開してあいだ、送るプラス変換するといふものである。これにより、CR分布定数線路の真の2に於けるステップ応答を求める。

$$\frac{V_s(t)}{V_{cc}} = 1 + C_1 e^{-\frac{\sigma_1 t}{CR}} + C_2 e^{-\frac{\sigma_2 t}{CR}} + \dots \quad (2)$$

となり、複数個の指数関数の和として表わされる。ただし、 V_{cc} はステップ電圧の高さである。ここで、第3項は $V_s(t) \geq 0.9 V_{cc}$ に於ては、 10^{-9} 以下の量になる。そのため、遅延時間を議論する場合、

$$\frac{V_s(t)}{V_{cc}} \approx 1 + C_1 e^{-\frac{\sigma_1 t}{CR}} \quad (3)$$

で十分よく近似される。 C_1 と σ_1 は図5に示す。この近似の程度良いものを図6に

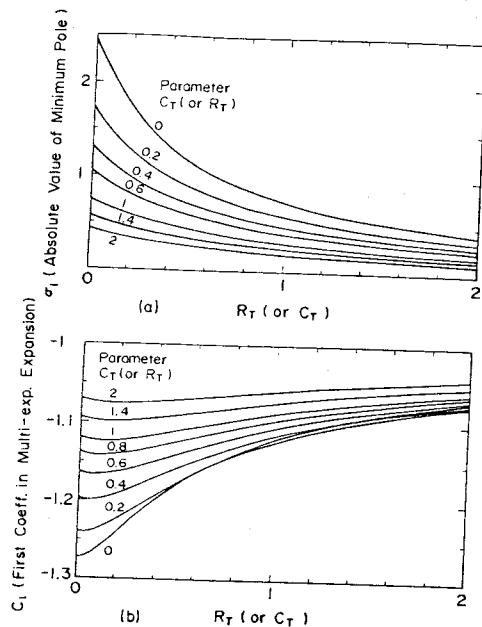


図5. CR分布定数回路のステップ応答を式(3)で近似する場合の σ_1 と C_1

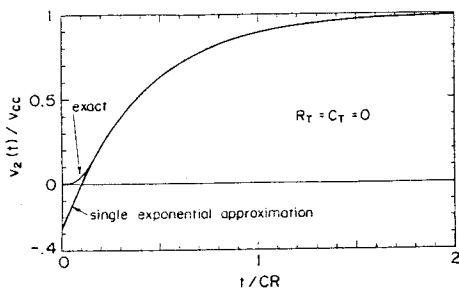


図6. 厳密解と、式(3)による近似

例示する。初期波形以外は、大変良く近似と
なっている事がわかる。

ステップ波形が入力してから $V_2(t)$ が $0.9V_{cc}$
まで立ち上がる時間を遅延時間 $t_{0.9}$ と定義し、
式(3)を利用して、これを求めると、図7のよう
になる。この遅延時間 $t_{0.9}$ が C_T 及び R_T に
対して直線的である事を考慮して、 $t_{0.9}$ を近似
する簡単な式とすることができ、

$$t_{0.9} \approx 1.02 CR + 2.21 (C_T + R_T) \quad (4)$$

となる。誤差は、 $C_T/C \leq 1$, $R_T/R \leq 1$ で
1.1% 以下、その他の領域でも4%以下である。
上述の式(3),(4)はワード線のありよその子
まいを見積るために使用できる。

§4. 適用例

図8に §2 及び §3 の解析法を次世代メモリ
に適用した例を示す。図には nチャネルのブ
ートストラップによるワード線駆動の場合と、
CMOSメモリで pチャネルの MOSFET によ
り駆動される場合の2例を示した。図中
に、駆動用トランジスタの静特性も示してあり、時
間波形を良く再現するに於ける等価抵抗 r_s の特

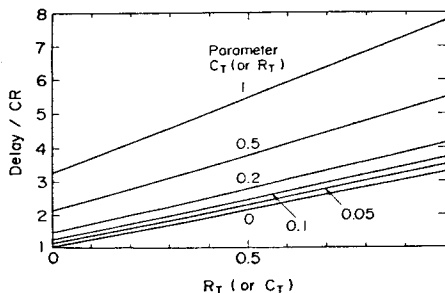


図7. CR分布定数線路の遅延時間 $t_{0.9}$

性も1頁鎖線としてある。CMOS駆動の
場合でも負にはすぐ高電位になるため、MOS
FETは極端動作としてあり、良く等価抵抗に
近似できる。従って、nチャネルMOSFETで
ワード線を discharge する場合も、図1bの回
路の線型性を考え、 §2 及び §3 の議論は
同様に成立する。

図8に於て、破線は式(3)による。分布定数
線路と名づけた計算結果は、II型30段様
子回路でシミュレーションしたものである。
図より、II型2段程度で、ワード線の末端の波
形のみならず、駆動系の波形にもよく近似して
いる事がわかる。MOSFETの入力容量は電
圧の関数となるので、このような場合は、II型
様子を構成する容量を、MOSFETと普通のキャ
パシタンスの並列で置き替えると良いであろう。

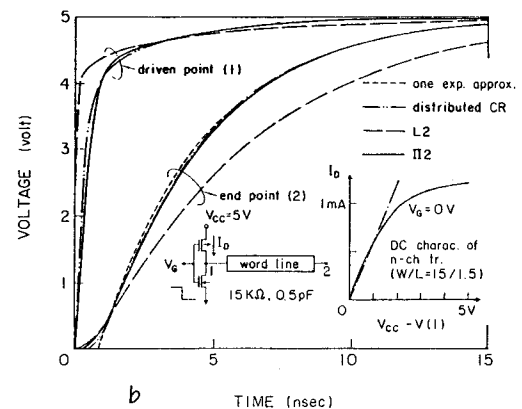
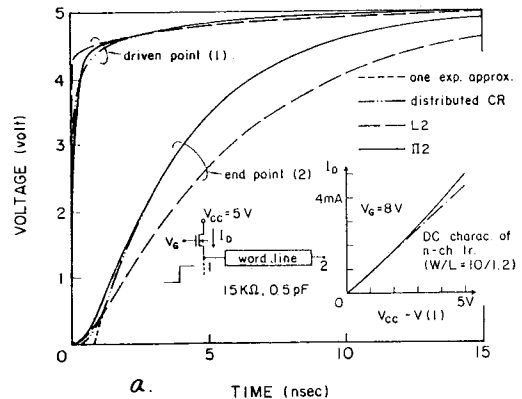


図8

- a. 次世代nチャネルメモリへの適用例
- b. 次世代CMOSメモリへの適用例

§5. ワード線2重化

スタティックメモリのワード線遅延の短縮法の1つとして、ワード線2重化方式を提案する。図9aに、1つのワード線に多くのメモリセルが直接接続されている従来のワード線の構成を示す。これに代り、図9bのように、ワード線を2重化した場合を考える。(6~32個程度のメモリセルが接続した複数のオ1ワード線(1WL'~1WL^k)と、それら複数のオ1ワード線を相互に接続するオ2ワード線(2WL)を用意し、オ1ワード線とオ2ワード線の接続点にカラムセレクト系のセクション・セレクト(SS'~SS^k)で制御されるスイッチを配置する。そして、1つのオ1ワード線だけが活性にされるように動作させる。このようにする事により、ワード線の容量が減少し、高速化が達成されると共に、活性にされるメモリセルの個数が減少するため、低消費電力メモリの実現が可能となる。256KビットのCRAMを想定した場合、動作時の消費電力は、従来方式のほぼ半分となる。

図10に具体的なスイッチ回路を示す。2WLの信号がパナネルMOSFETのドレインに接続するドレイン入力方式(図10a)と、ゲートに接続するゲート入力方式が考えられる(図10b)。図中、 ϕ_i はローアドレスが変化した時に出る正パルス、CDは、そのオ1ワード線を選んだ時、高電位になる信号である。256KビットCRAMを想定し、ワード線千

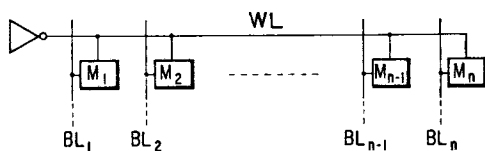


図9a Normal word line structure

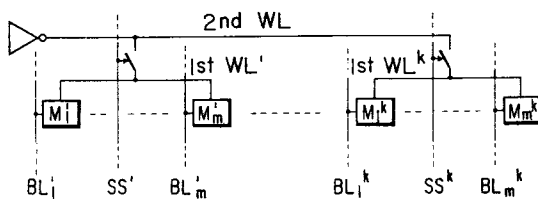
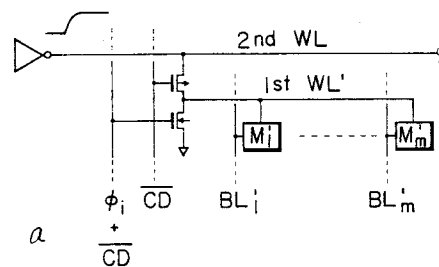
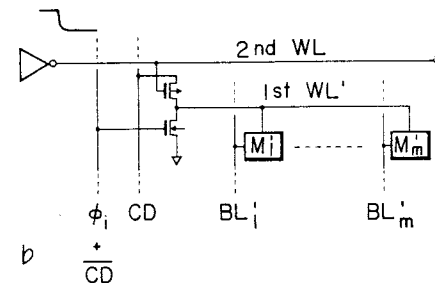


図9b Double word line structure



a



b

図10a. Drain input structure
b. Gate input structure

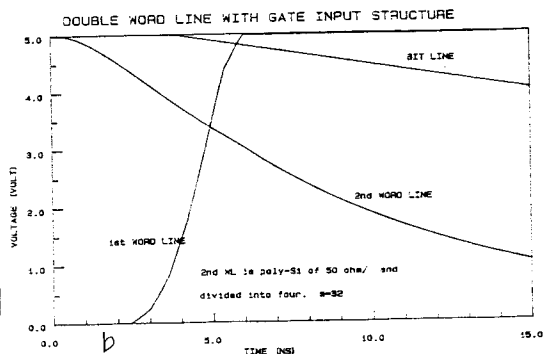
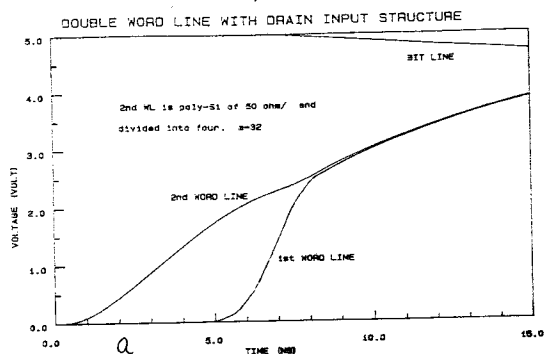


図11. Waveform of
a. drain input structure
b. gate input structure

キャパシタンスを2次元解析して求め^{3),*)} 各所の波形を示したものを図11に示す。ワード線は3段の π 型梯子回路に近似した。ゲート入力方式には、波形整形作用があるため、高速度になる。図12には、第2ワード線の P_s と、ワード線遅延+ビット線遅延(t_{wb})の関係を示した。ここで、 t_{wb} はワード線ドライバの入力にステップ入力が増加してから、5Vにプリチャージされたビット線の電位が、4.5Vに立ち下がるまでの時間である。ビット線遅延まで加えたのは、ビット線遅延がワード線の波形に大きく依存し、分離不可能だからである。スイッチ回路に使用するpチャネルMOSFETのゲート巾 W_p には最適値がある。これは、 W_p が大きいと第1ワード線のドライブ能力は高くなるものの、第2ワード線の容量

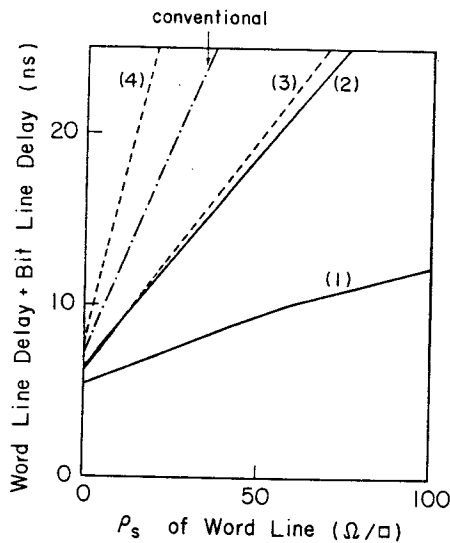


図12. Delay estimation for 256Kb CRAM

- (1): gate input, 4-divided 2nd WL
- (2): gate input, 2-divided 2nd WL
- (3): drain input, 4-divided 2nd WL
- (4): drain input, 2-divided 2nd WL
- conventional: normal WL structure 4-divided WL

*) FCAP2: Hewlett-Packard 社開発による2次元容量計算プログラム

は増加するためである。図には、この最適値で設計した場合を示した。1つのスイッチ回路の面積は2セル分程度である。1つのセクションのメモリセルの数 m は、パワの低減と、面積の増加のトレードオフで決定され、 $m = 16, 32, 64$ の範囲では速度への影響は微かである。図12に見られるように、 $P_s = 100 \Omega/\square$ のポリシリコンで行っても従来方式より高速化が可能である。本方式は同時に、低消費電力にも可能であり、大容量スタティックメモリに恰好のものである。

§6. ワード線中間アンプ

ワード線の遅延を短縮する他の方法として図13のように、ワード線の中間に波形整形用のアンプを配置する事が知られている。図13aのように、中間に1段のアンプを挿入する場合、従来の中央に配置されていた($m_1 = m_2$)。この挿入位置を変えた時のワード線遅延+ビット線遅延(t_{wb})を表2にまとめる。ただし、計算には m_1 と同じように256Kb CRAMを想定し、ワード線の近似には π 型3段梯子回路を用いた。表からも解かるように、 $m_1 > m_2$ の所に t_{wb} の最小値があり、この値に設定する事により、何らプロセスの変更なしに、5%程度の遅延の改善が得られる。これは、中間アンプの遅延が補償されるためである。中間アンプを2段入れた場合(図13b)も同様に、挿入位置には、最適値が存在することになる(表2参照)。

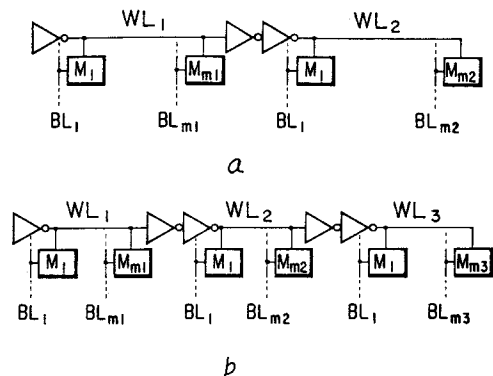


図13. ワード線中間アンプ

- a. 中間アンプ1段の場合
- b. 中間アンプ2段の場合

表2. 中間アンプの位置と遅延の関係

方式			ワード線遅延+ ビット線遅延 $t_{WB} \text{ (ns)}$	
ワード線 4分割 中間アンプなし			14.8	
ワード線 2分割 中間アンプ 1段	m_1	m_2		
	128	128	18.3	
	144	112	17.3	
	160	96	17.8	
ワード線 2分割 中間アンプ 2段	m_1	m_2	m_3	
	96	80	80	15.6
	112	80	64	15.3
	128	80	48	15.0

5.7. 結論

本報告をまとめると以下の通りである。

1. MOSメモリのワード線は、通常、 Π 型格子回路2段〜3段で近似するのがよい。
2. ワード線のあるところのふたまいを与える式(3), (4)を導いた。
3. ワード線2重化方式により、高速化、低消費電力に達成できる事を示した。
4. ワード線中間アンプには、最適配置位置がある事を示した。

謝辞

本研究を遂行するに当り、有用な助言を頂いた、東京芝浦電気(株)、半導体技術研究所、大内和則、内田孝正、名取研二各氏に感謝する。

文献

- 1). まとめ review とし Z. Umesh, Kumar, "Modeling of distributed lossless and lossy structures - A review", IEEE circuits and systems magazine 2, NO.3, p.12, 1980
- 2) T. Sakurai, "Approximation of wiring delay in MOSFET LSI", IEEE J. of Solid State Circuits, to be published.
- 3) T. Sakurai, & K. Tamaru, "Simple formulas for Two- and Three dimensional capacitances", IEEE trans. on ED, to be published.