

Comparison of Virtually Static RAM and other RAMs

桜井貴康, 沢田和宏, 野上一孝, 和田哲典, 磯部満郎, 飯塚哲哉
T. SAKURAI, K. SAWADA, K. NOGAMI, T. WADA, M. ISOBE, T. IIZUKA

東芝 半導体技術研究所

Toshiba Corp., Semiconductor Device Eng. Lab.

1. はじめに

最近、大容量スタティックRAMの実現法として、Virtually Static RAM (VSRAM) が提案されている。VSRAMはリフレッシュの必要なダイナミック形のメモセルを使いながらユーザにはリフレッシュを意識させないものである。ここでは、VSRAMと他の各種RAMとの違いを交えて、1MビットのVSRAMについてまとめた。

2. VSRAMの原理

VSRAMの基本動作を図1に示す。アドレスが変化し、I/Oに出力が出てくるといふ通常の動作の中、アドレス・スキューの待ち時間やアドレスのデコード時間、あるいはI/Oを駆動している間はメモリのコア部は使用されておらず、この間にリフレッシュ動作を並列して行なえる。リフレッシュをトリガーするリフレッシュ・タイマやリフレッシュ・アドレスを生成するリフレッシュカウンタを内蔵していれば、ユーザはリフレッシュのタイミングに気をすることもないし、リフレッシュのために不規則な時間のロスをする必要もない。第2図にwriteの時のタイミング波形を示す。writeの方式は色々考えられるが動作速度を低下させない方式として、writeパルス幅を最大10 μ sとし、write中にはリフレッシュを挿入しないものとした。これは通常の使用状態では制限とならない。

VSRAMでは、リフレッシュの要求と通常動作の要求が同時に起こるといふ競合が起こった場合アービタ回路(第3図)によってそれを解決している。第4図はチップ写真であり、第5図はホットキャリア耐性回路であるNOEMI(Normally-On Enhancement Mosfet Insertion)であり、ブートストラップにより高電圧が発生するポイントに選択的に使用されている。

3. 他のRAMとの比較

表1にVSRAMと他の各種RAMの比較をまとめた。コスト的にはDRAMに近く、リフレッシュが全くないなど機能的にはSRAMに近い。

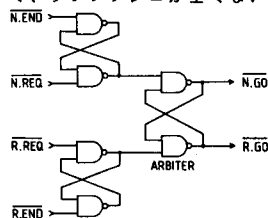


図3 アービタ回路

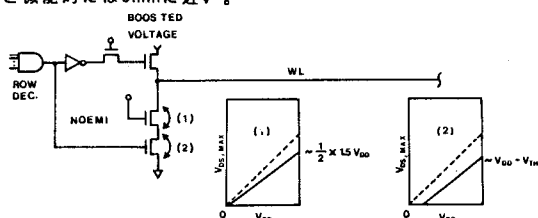


図5 耐ホットキャリア回路(NOEMI)

表1 1MVSRAMと各種RAMの比較

項 目	DRAM	Pseudo SRAM	Virtually SRAM	n-ch SRAM	E/R SRAM
リフレッシュ・タイミングの考慮	要	要	不要	要	要
不規則なリフレッシュ時間のロス	あり	あり	なし	なし	なし
リフレッシュ・アドレスの設定	要	不要	不要	不要	不要
アドレス・マルチプレックス	あり	なし	なし	なし	なし
電池による記憶保持	不可	可	可	不可	可
同期/非同期(S/A)	S	S/A	S/A	A	A
アドレス・スキュー	不可	有限	有限	7 μ s	7 μ s
サイクル時間上限	あり	あり	あり	なし	なし
ライトサイクル時間上限	あり	あり	あり	なし	なし
チップ面積(概算)	1.0	1.2	1.4	3.5	4
製作可能時期(年)	Y	Y	Y	Y+2	Y+2

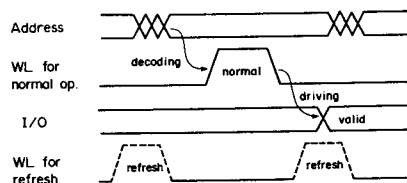


図1 VSRAMの基本動作

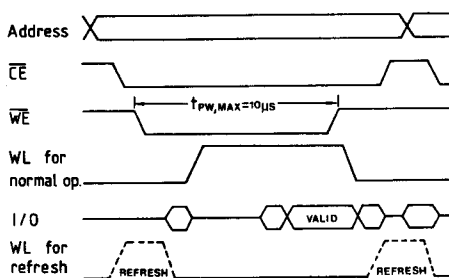


図2 VSRAMのWrite動作

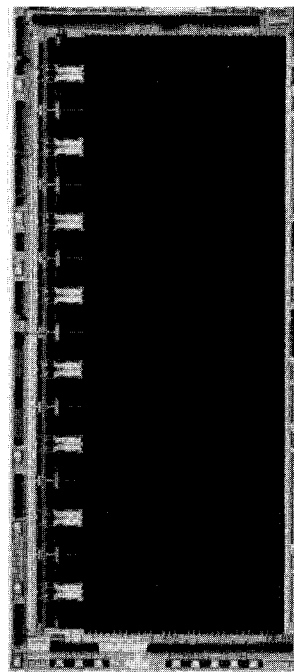


図4 1MVSRAMのチップ写真