

CMOSアービタ／シンクロナイザの最適設計法とサブ
ミクロンデバイスへの適用

桜井 貴 康 ・ 沢 田 和 宏
野 上 一 孝
(東 芝)

1987年8月20日

社団法人 電 子 情 報 通 信 学 会

CMOSアービタ/シンクロナイザの最適設計法と サブミクロンデバイスへの適用 Optimization of CMOS Arbiter/Synchronizer and Its Application to Submicron Devices

桜井貴康

沢田和宏

野上一孝

Takayasu SAKURAI

Kazuhiro SAWADA

Kazutaka NOGAMI

(株) 東芝・半導体技術研究所

Semiconductor Device Eng. Lab., Toshiba Corporation

I. はじめに

最近のVLSIでは、アービタ(調停回路)やシンクロサイザ(同期化回路)がしばしば使われている[1-3]。しかし、これらの回路はメタステーブル問題という確率的な誤動作モードを示すことが指摘されている。例えばアービタで、もし、2つの要求信号が同時に来た場合、アービタはどちらの信号を受け付けるべきか、しばらく判断できないことがある。これはアービタがメタステーブル状態に落ち込んだためである。

このメタステーブル状態が長く続くと、システム的な誤動作を引き起こすので問題である。これと同じ種類の問題は非同期信号の取り込み回路(シンクロナイザ)でも起こる。例えば非同期入力ラッチで、入力が0~5Vの中間値であったような場合"0"と判断するか"1"と判断するかに長時間を要することがある。その他、疑似SRAMでセルフリフレッシュを続けるかどうかの判断回路、ある決まった長さ以下のパルスを消してしまう回路などでメタステーブル問題が起こり得る。

電子回路でのメタステーブル問題は最初Carr[4]によって示唆され、Chaneyら[5-7]によって実験的に検証された。その後、純理論的な側面から[8]、あるいは実験的な側面から[9-13]、あるいは両方の側面から[14-19]多くの研究が報告されている。Veendrick[20]はメタステーブル問題はノイズとは独立であり本質的であることを示した。これはノイズによってメタステーブル状態が解除されることもあるが、同じ確率でノ

イズによってメタステーブル状態に落ち込むことがあるからである。

上述のメタステーブル問題に関する初期の研究は出来あいの集積回路、例えばSN7400シリーズによって構成された回路の評価に限られていたが、最近回路の最適化に興味に移っている[20-23]。それはVLSIの設計では回路定数が任意に選べるからである。NMOS構成を扱った研究[20-21]もあるが、最近VLSIで主流となっているCMOS回路を扱った最初のもはFlannagan[22]のものである。Flannaganのものは最適化の指針を示しており意義深いが、非常に単純化したMOSモデルを使用しているため結果は実用的に満足のものではない。他の最適化法[20, 21, 23]は複雑な解析的モデルに基づいており、個別の回路を最適化するには必ずしも適していない。

本報告では広範に使用されている回路シュミレータSPICE2[24]に基づいた簡便な最適化法を提案する。その最適化法をショートチャネルMOS回路に適用した結果、PMOSとNMOSのチャネル巾の最適な比はFlannaganのものからズレることを報告する。また、回路を構成する他のMOSFETのサイズや電源電圧、温度の依存性も考察した。その他、クロスカップル接続したNANDを非対称にすることや、インバータチェーンを挿入することがメタステーブル問題には本質的には関係のないことを示した。

まず、第2章では最適化法について、第3章では回路構成の選択について述べる。ショートチャネルMOS回路に適用した結果を第4章に、その結果についての考察を第5章にまとめる。ス

ケーリングの効果などその他の考察を第6章で行い、第7章ではまとめを行う。

II. メタステーブル状態の継続期間の最小化

図1にCHOSクロスカッパルNAND型のアービタの典型例[1-3]を示す。この例ではアービタ出力部にCHOSのヒゲ防止回路が付加されている。このヒゲ防止回路はメタステーブル状態になった時、出力に無意味なパルス信号が伝わることは防止するがメタステーブル状態が長続きすればシステム的な誤動作になることに変わりはない。そのためメタステーブル状態である期間(メタステーブル期間)を出来る限り短くすることが望まれる。

SPICE2を利用してこのメタステーブル期間を最小化する手法を以下に述べる。SPICE2にはMOSモデルレベル3など実用上満足いくデバイスモデルがインプリメントされている。第2図(a)のように、まず、クロスカッパルした2つのNANDの出力Out1、Out2をスイッチ用MOSFETによって短絡する(図中のスイッチ)。このスイッチ用MOSFETはスイッチを模擬するためのものである。そのためにMobilityを極端に大きくするとともにサイズを小さくし、ゲート容量によるカップリングの効果を小さくしている。SPICE3[2

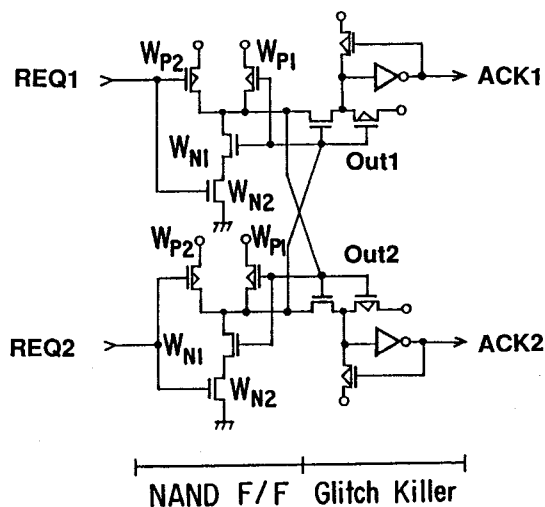


図1. 典型的なクロスカッパル型CHOSNANDアービタ。この例ではCHOSのヒゲ防止回路が付加されている。

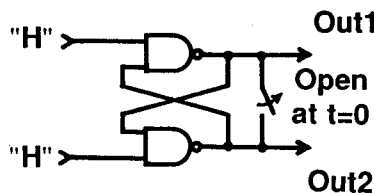
5]の場合はスイッチ素子が用意されているのでこのような技巧を使う必要はない。

次に、スイッチを開くと図2(b)、(c)のようにOut1、Out2の電位差が指数関数的に拡大してくる。その初期の部分がメタステーブル状態である。この指数関数の係数を α (レゾリューション係数)とすると、待ち時間 t_w 以後でもまだメタステーブル状態が続いてしまう確率は $\exp(\alpha \cdot t_w)$ に比例することがVeendrickによって示されている[20]。より正確に書くと、

1年間の誤動作係数 =

$$2 y f_1 f_2 \frac{\Delta V_{\text{final}}}{V_{\text{DD}}} t_T \exp(-\alpha t_w) \quad (1)$$

である。ここで y は1年間の秒数($=31.5 \times 10^6$)、 f_1, f_2 は2つの非同期入力信号の同波数、 t_T はその入力信号の遷移時間、 ΔV_{final} はメタステ



(a)

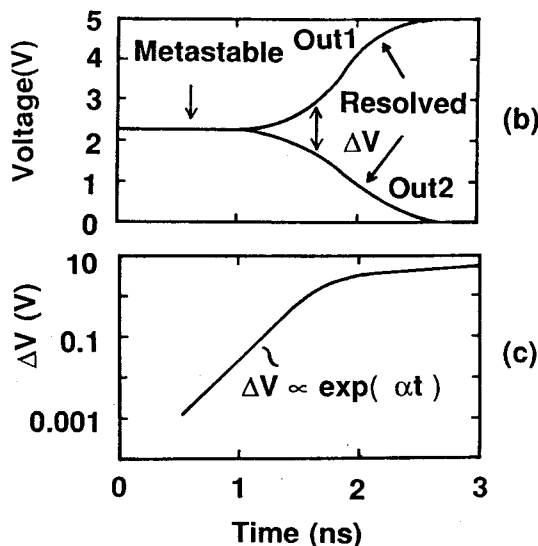


図2. 最適化法。(a)2つの出力節点をMOSスイッチでショートする。(b)次にスイッチをオープンにすると電位差が拡大する。(c)これは指数関数的である。この傾きを最大化する。

ープルが
〜3V程
タステー
はレゾリ
変化させ
この α はS
26]で処理
上述の
もあるい
でき、従
文献[21]
めに2つ
が、少し
ステーブル
間がかかる

III. 回路

ここで、
(a)におい
もメタステ
とを示す。
出力の電位
た2つのイ
N1とP1のM
N2やP2のM
ブル状態を
なMOSFETと
インバータ
テーブル電
る。 g_m は V_1
ある。 V_1 、
 C_2 は出力容

となり、こ
 $\Delta V (=V_1 - V_2)$

ープルが解除されたとき次段が感知する電圧で2~3V程度、 V_{DD} は電源電圧である。従って、メタステーブルによる誤動作確率を小さくするにはレゾリューション係数 α をMOSFETのサイズを変化させながら最大になるようにすれば良い。この α はSPICE2の出力ファイルをUNIXの"awk"[26]で処理することにより容易に得られる。

上述の最適化手法は回路がNOR型でもE/D型でもあるいはファンアウトが大きい場合にも適用でき、従来の手法[20-23]より柔軟性に豊む。又文献[21]ではメタステーブル状態を作り出すために2つの要求入力タイミングを調整しているが、少しでもタイミングが狂うと十分長いメタステーブル状態が発生せず α を求める作業に時間がかかるといった問題がある。

Ⅲ. 回路構成の選択

ここで、回路構成の選択枝の第一として図2(a)において2つのNANDの大きさを非対称にしてもメタステーブル期間の短縮には役立たないことを示す。アービタやシンクロナイザで2つの出力の電位差を増大させるのは正帰還のかかった2つのインバータ部分である。図1でいうとN1とP1のMOSFETで構成されたインバータである。N2やP2のMOSFETは電位差を増大させメタステーブル状態を解除するプロセスにおいては寄生的なMOSFETといえる。図3(a)に正帰還のかかったインバータの等価回路を示す。図中 V_m はメタステーブル電圧であり、図2(b)では2.3V程度である。 g_m は V_m 近傍でのトランスコンダクタンスである。 V_1 、 V_2 はインバータ1、2の出力電圧、 C_1 、 C_2 は出力容量である。この等価回路の方程式は

$$C_1 \frac{dV_1}{dt} = -g_{m1} (V_2 - V_m)$$

$$C_2 \frac{dV_2}{dt} = -g_{m2} (V_1 - V_m)$$

(2a)-(2b)

となり、これを解いて2つの出力の電位差 $\Delta V (= V_1 - V_2)$ は

$$\Delta V = \Delta V_{init} \exp(\alpha t), \quad \alpha = \sqrt{\frac{g_{m1} g_{m2}}{C_1 C_2}}$$

(3a)-(3b)

と表わされる。ここで ΔV_{init} は $t=0$ での電位差の初期値である。この式から C_1 、 C_2 は小さくし g_{m1} 、 g_{m2} を大きくするのが最適設計のポイントであることがわかる。すなわちアービタ等のファンアウトはなるべく小さくするのが良い。

2つのインバータのサイズを x_1 、 x_2 とすると

$$C_1 = k_{CG} x_2 + k_{CJ} x_1$$

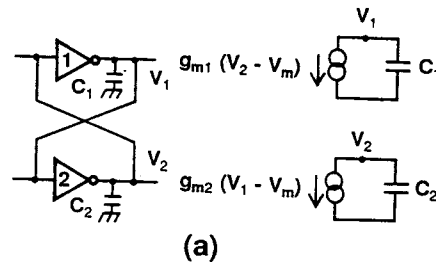
$$C_2 = k_{CG} x_1 + k_{CJ} x_2$$

$$g_{m1} = k_{GG} x_1$$

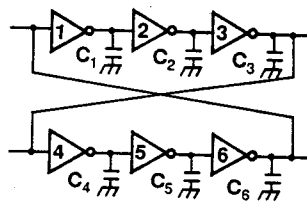
$$g_{m2} = k_{GG} x_2$$

(4a)-(4d)

が成立する。ここで k_{CG} 、 k_{CJ} はゲート容量を接合容量の係数、 k_{GG} はトランスコンダクタンスの



(a)



(b)

図3. 回路構成の選択. (a)非対称なNAND回路とその等価回路. (b)インバータチェーンを挿入したアービタ/シンクロナイザ.

IIで述べた手法をショートチャネルMOSに適用した結果が図4である。アービタやシンクロナイザ回路の本質的な部分を構成するMOSFET、N1、P1のチャネル巾の比 W_{N1}/W_{P1} の最適値は $1\mu\text{m}$ ルールでは2になっていることがわかる。この値はFlannaganの結果[22]では1となつていますが、2にシフトした理由はショートチャネルMOSの速度飽和によつてゐる。詳しい議論は次章で行う。この最適値を求める際、MOSFET、N2のチャネル巾 W_{N2} は極めて大きく、P2のチャネル巾 W_{P2} は極めて小さくした。これは図4(b)、(c)に示される通り、これらのMOSFETはメタステーブル状態を解除するプロセスでは寄生的なもので、例えば、 W_{N2} が小さいと、大きいと出力容量が増大するためである。また、ファンアウトは極めて小さく選んだ。すなわち出力容量はN1、P1のゲート容量と接合容量の和としている。 W_{N1}/W_{P1} が最適値に近い所では α のカーブは比較的ゆるやかで、たとえプロセスのゆらぎ等で多少ズレてもあまり変化しない。しかし、もともとの設計値がズレていて、かつプロセスのゆらぎがあると、誤動作の確率は α に指数関数的に依存するので問題である。(式(1))。

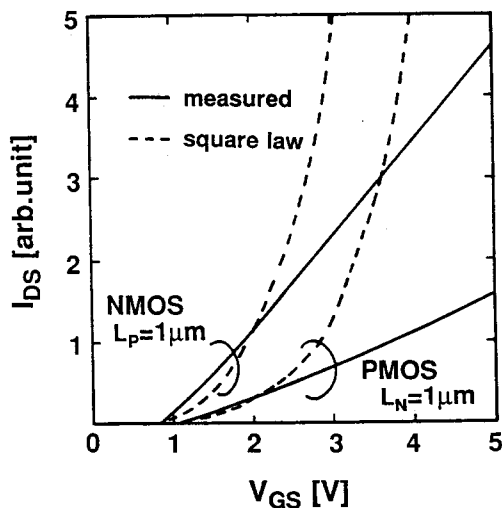


図5. ショートチャネルMOSFETのドレイン電流特性。キャリアの速度飽和により I_{ds} は V_{gs} の n 乗($1 < n < 1.5$)となっている。

図5はショートチャネルMOSFETについて実測されたゲート電圧-ドレイン電流特性である。この図からわかるようにFlannaganが仮定したような古典的な2乗則には乗っていないことがわかる。むしろPMOS、NMOSのドレイン電流 I_P 、 I_N は

$$I_P(V_{OUT}) = K \mu_P W_{P1} (V_{DD} - V_{OUT} - V_{TP})^{n_P}$$

$$I_N(V_{OUT}) = K \mu_N W_{N1} (V_{OUT} - V_{TN})^{n_N}$$

(11a)-(11b)

と表現できる。ここで、 V_{out} はインバータの出力電圧、 μ_P 、 μ_N はPMOS、NMOSに対する実効移動度、 V_{TP} 、 V_{TN} はPMOS、NMOSのしきい値電圧である。 K は定数で、古典的には $(\epsilon_{ox}/2t_{ox} \mu_{eff})$ と書かれた量である。又、 n_P 、 n_N は古典的には2であるが、ショートチャネルになるにつれ、キャリアの速度飽和のため1に近づく。メタステーブル電圧 V_m 、及び V_m 付近でのトランスコンダクタンス g_m は

$$I_P(V_m) = I_N(V_m)$$

$$g_m = \left[\frac{d(I_N(V_{OUT}) - I_P(V_{OUT}))}{dV_{OUT}} \right]_{V_{OUT}=V_m}$$

(12a)-(12b)

と計算される。出力容量 C は $W_{P1} + W_{N1}$ に比例するのでリゾリューション係数 α は式(6)から次のように書ける。

$$\alpha = \frac{g_m}{C} \propto \frac{g_m}{W_{P1} + W_{N1}}$$

(13)

簡単のため $V_{TP}/V_{DD} = V_{TN}/V_{DD} = V_T$ とし、 $n_P = n_N = n$ としてもあまり近似度は落ちない。すると、

(12a)-(12b)、(13)から

$$\alpha \propto \frac{1}{1+W_R} \left[\mu_R W_R (v_m - v_T)^{n-1} + (1 - v_m - v_T)^{n-1} \right]$$

$$v_m = \frac{V_m}{V_{DD}} = \frac{1 - v_T + \mu_R^{1/n} W_R^{1/n} v_T}{1 + \mu_R^{1/n} W_R^{1/n}}$$

$$W_R = \frac{W_{N1}}{W_{N2}}, \quad \mu_R = \frac{\mu_N}{\mu_P}$$

(14a)-(14d)

が導ける。

目的は α を最大にすることである。 $n=2$ という古典的な場合、 α は

$$\alpha \propto \frac{\sqrt{W_R}}{W_R + 1}$$

(15)

のように簡単化され、 α が最大となる $W_R (=W_{N1}/W_{P1})$ は1となる。これはFlannaganの結果と一致する。

次に $n=1$ の極端なケースを考えると、

$$\alpha \propto \frac{\mu_R W_R + 1}{W_R + 1}$$

(16)

となり、 α が最大となる W_{R1} は無限大となる。なぜなら、 $\mu_R (= \mu_N/\mu_P)$ は1より大きいからである。

以上の結果は物理的には次のように解釈される。 W_{N1} が大きいとメタステーブル電圧 V_m は降下する。もし $n=2$ なら、これはNNOSのトランスコンダクタンスの低下を引き起こす。それ故、 W_{N1}/W_{P1} には最適値があることになる。しかし $n=1$ の場合は、 V_m が降下してもインバータのトランスコンダクタンスは変化しない。インバータのトランスコンダクタンスは $W_{N1}+W_{P1}$ を一定とすれば(出力容量を一定とすれば) W_{N1} が大きい方が大きくなるので、 W_{N1} がなるべく大きい方が良いということになる。

より一般的に、 $1 < n < 2$ の場合の数値結果を図6に示す。 n が2から1になるにつれ、 W_R の最適

点が1から ∞ にシフトする様子がわかる。図4(a)の場合は $n=1.2$ 、 $\mu_N/\mu_P=2$ に対応しており、 W_{N1}/W_{P1} の最適点は2になった事が説明できる。

以上の議論から最適点がシフトする原因はショートチャネルMOSにおけるキャリアの速度飽和が原因であることがわかる。

IV. その他の考察

図7はレゾリューション係数 α の温度及び電

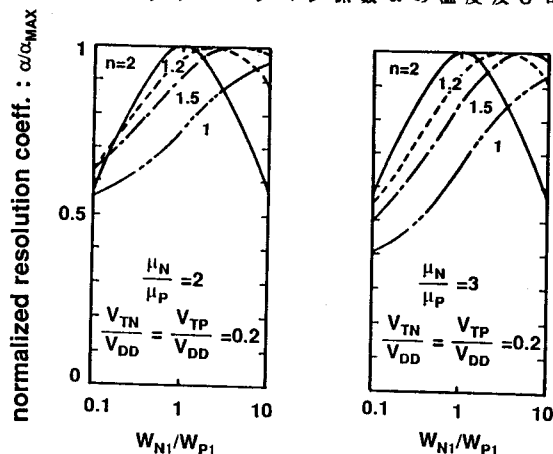


図6. レゾリューション係数 α を最大化する最適な W_{N1}/W_{P1} . (a) μ_N/μ_P が2の場合. (b) μ_N/μ_P が3の場合. n が2から1になるにつれて最適な W_{N1}/W_{P1} は1からズレ1以上になる。

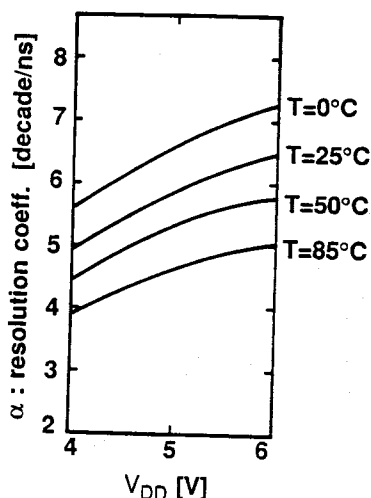


図7. レゾリューション係数 α の電源電圧 V_{DD} 及び温度依存性. 低電源電圧、高温時はメタステーブル時間が長いので注意を要する。

源電圧(V_{DD}) [decade/ns]あたり10ば、温度をがると α は少する。ものためにいの1Vの V_{DD} の確率の増大持ち時間を悪条件を考次にスケえる影響を一定の小さなテムが持つ g_m/C に比例量は一般的性を持つ。体のシステムナイザの遅かし、シス加すれば1必要がありシステム運

VI. 結論

アービタ状態による性に富む最形で提案しでの最適化メタステ誤動作確率計が望まれ
1) アーチャ力法の
2) W_{N1} はり小
3) ショを
4) アー

源電圧(V_{DD})依存性である。ここでは α の単位は[decade/ns]である。これは出力の電位差が1nsあたり10倍で増大することを意味する。例えば、温度を25℃とし、電源電圧が5Vから4Vに下がると α は6[decade/ns]から5[decade/ns]に減少する。もし、システムがアービトレーションのためにいつも5ns持ったとすると($t_w=5ns$)、この1Vの V_{DD} の低下は $10^{6 \times 5} / 10^{5 \times 5} = 10^5$ 倍の誤動作確率の増大をもたらす。そのため、システムの待ち時間を決定するためには高温、低 V_{DD} での最悪条件を考慮して行うことが重要となる。

次にスケーリングがメタステーブル問題に与える影響を考察する。式(1)からわかるように、一定の小さな誤動作確率を保証するためにシステムが持つべき時間 t_w は α に反比例する。 α は g_m/C に比例するので t_w は C/g_m に比例する。この量は一般的な回路遅延の依存性と全く同じ依存性を持つ。それ故、設計ルールが縮小しても全体のシステム遅延に占めるアービタやシンクロナイザの遅延の比は基本的には変化しない。しかし、システムが複雑化しアービタ等の数が増加すれば1つ当りのfailure rateを小さく保つ必要があり、この場合はアービタ等の遅延が全システム遅延に占める割合は多少大きくなる。

VI. 結論

アービタやシンクロナイザのメタステーブル状態による誤動作確率を減少させるための柔軟性に富む最適化手法をSPICE2に基づいた簡便な形で提案した。この手法によればVLSIの環境下での最適化もできる。

メタステーブル状態の継続期間を小さくし、誤動作確率を減少させるためには次のような設計が望まれることがわかった。

- 1) アービタやシンクロナイザ自身を大きなチャネル巾の大きなMOSで設計し、その出力が持続する次段は出来るだけ小さな寸法のMOSを使用する。
- 2) W_{N2} はできる限り大きな、 W_{P2} はできる限り小さなチャネル巾のMOSを使用する。
- 3) ショートチャネルMOSを使った場合は W_{N1} を W_{P1} より大きく設計する。
- 4) アービタやシンクロナイザの出力にはヒ

ゲ防止回路を付加すると良い。
最適化されていないアービタやシンクロナイザの誤動作確率はMOSの寸法に指数関数的に依存するので注意を要する。

謝辞

有用な議論と励ましを頂いた松井、飯塚、海野各氏、及び援助を頂いた白鳥、伊藤両氏に感謝致します。

参考文献

- [1] F.E.Barber, D.J.Eisenberg, G.A.Ingram, M.S.Strauss and T.R.Wik, "A 2K x 9 Dual Port Memory," IEEE ISSCC, Dig. of Tech. Papers, pp.44-45, Feb.1985.
- [2] T.Sakurai, K.Sawada, K.Nogami, T.Wada, M.Isobe, M.Kakumu, S.Morita, M.Yokogawa, M.Kinugawa, T.Asami, K.Hashimoto, J.Matsunage, H.Nozaawa, T.Iizuka, "A 1Mb Virtually Static RAM," IEEE ISSCC, Dig. of Tech. Papers, pp.252-253, Feb.1986, and K.Nogami, T.Sakurai, K.Sawada, T.Wada, M.Isobe, M.Kakumu, S.Morita, M.Yokogawa, M.Kinugawa, T.Asami, K.Hashimoto, J.Matsunage, H.Nozaawa, T.Iizuka, "A 1Mb Virtually Static RAM," IEEE J. Solid State Circuits, SC-21, No.5, pp.662-669, Oct.1986.
- [3] T.Sakurai, K.Sawada, K.Nogami, T.Wada, K.Sato, M.Kakumu, S.Morita, M.Kinugawa, T.Asami, K.Narita, J.Matsunage, A.Higuchi, T.Iizuka, "A 36ns 1Mbit Pseudo SRAM with VSRAM mode," Symposium on VLSI Circuits, to be published, May 1987.
- [4] I.Catt, "Time Loss through gating asynchronous logic signal pulses," IEEE Trans. Electron. Comput., Vol.EC-15, pp.108-111, Feb.1966.
- [5] T.J.Chaney and W.M.Littlefield, "The Glitch Phenomenon," Washington Univ., Computer System Lab. Tech. Memo.10, Dec.1966.
- [6] T.J.Chaney, S.M.Ornstein and W.M.Littlefield, "Beware the Synchronizer," Proc. COMPCON, pp.317-319, Sep.1972.
- [7] T.J.Chaney and C.E.Molnar, "Anomalous Behavior of Synchronizers and Arbiter Circuits," IEEE Trans. on

- Computers, pp.421-422, Apr.1973.
- [8]L.R.Marino, "General Theory of Metastable Operation," IEEE Trans. on Computers, Vol.C-30, No.2, pp.107-115, Feb.1981.
- [9]G.Elinau and W.Wiesbeck, "A New J-K Flip-Flop for Synchronizers," IEEE Trans. on Computers, Vol.C-26, No.12, pp.1277-1279, Dec.1977.
- [10]W.Fleischhammer and O.Dortek, "The Anomalous Behavior of Flip-Flops in Synchronizer Circuits," IEEE Trans. on Computers, Vol.C-28, No.3, pp.273-276, Mar.1979.
- [11]F.Rosenberger and T.J.Chaney, "Flip-Flop Resolving Time Test Circuit," IEEE J.Solid State Circuits, Vol.SC-17, No.4, pp.731-738, Aug.1982.
- [12]T.J.Chaney, "Measured Flip-Flop Response to Marginal Triggering," IEEE Trans. on Computers, Vol.C-32, No.12, pp.1207-1209, Dec.1983.
- [13]T.Okamoto and T.Abeyama, "Measurement of Device Parameters Characterizing Metastable Operation of TTL-NAND Latch," IECE of Japan, Vol.J68-D, No.8, pp.1545-1546, Aug.1985.
- [14]G.R.Couranz and D.F.Wann, "Theoretical and Experimental Behavior of Synchronizers Operation in the Metastable Region," IEEE Trans. on Computers, Vol.C-24, No.6, pp.604-616, June 1975.
- [15]M.Pechoucek, "Anomalous Response Times of Input Synchronizers," IEEE Trans. on Computers, Vol.C-25, No.2, pp.133-139, Feb.1976.
- [16]C.Mead and L.Conway, "Introduction to VLSI Systems," Addison-Wesley, Mass., 1980.
- [17]G.Lacroix, P.Marchegay, and P.Nouel, "Critical Triggering of Integrated Flip-Flops in Synchronizer Circuits," Int. J. Electronics, Vol.49, No.3, pp.179-184, 1980.
- [18]G.Lacroix, P.Marchegay, and N.Hossri, "Prediction of Flip-Flop Behavior in Metastable State," Electronics Letter, Vol.16, No.9, pp.725-726, Sept.1980.
- [19]T.Okamoto and T.Abeyama, "Estimation of Metastable Operations for NAND Latches," IECE of Japan, Vol.J68-D, No.6, pp.1210-1217, July 1985.
- [20]H.J.M.Veendrick, "The Behavior of Flip-Flops Used as Synchronizers and Prediction of Their Failure Rate," IEEE J. Solid State Circuits, SC-15, No.2, pp.169-176, Apr.1980.
- [21]J.H.Hohl, W.R.Larsen, and L.C.Schooley, "Prediction of Error Probabilities for Integrated Digital Synchronizers," IEEE J. Solid State Circuits, SC-19, No.2, pp.236-244, Apr.1984.
- [22]S.Flannagan, "Synchronization Reliability in CMOS Technology," IEEE J. Solid State Circuits, SC-20, pp.880-882, Aug.1985.
- [23]T.Kacprzak, A.Albiki and T.A.Jackson, "Design of N-well CMOS Flip-Flops with Minimum Failure Rate Due to Metastability," IEEE ISCAS, pp.765-767, 1986.
- [24]L.W.Nagel, "A Computer Program to Simulate Semiconductor Circuits," U.C.Berkeley, ERL Memo, No.ERL-M75/520, May 1975.
- [25]T.Quarles, A.R.Newton, D.O.Pederson, A.Sangiovanni-Vincentelli, "SPICE 3A7 User's Guide," U.C.Berkeley, Mar.1986.
- [26]A.V.Aho, B.W.Kernighan, P.J.Weinberger, "Awk - A Pattern Scanning and Processing Language," in unix manual, Bell Lab.

(盛文社)