

THE TRANSACTIONS OF THE INSTITUTE OF ELECTRONICS, INFORMATION AND COMMUNICATION ENGINEERS A

cic **電子情報通信学会**
A **論文誌** VOLJ80-A NO.5 **MAY**
基礎・境界 1997

基礎・境界ソサイエティ

社団法人 **電子情報通信学会**

THE ENGINEERING SCIENCES SOCIETY

THE INSTITUTE OF ELECTRONICS, INFORMATION AND COMMUNICATION ENGINEERS

招待論文

マルチメディア CMOS VLSI のための低電力回路設計技術

黒田 忠広[†] 櫻井 貴康^{††}

Low-Power Circuit Design Techniques for Multimedia CMOS VLSI's

Tadahiro KURODA[†] and Takayasu SAKURAI^{††}

あらまし CMOS 集積回路の電力は、微細化の結果、今後も増大する。本論文では、マルチメディアに求められる高性能で低電力な VLSI を実現するための回路設計技術を概説する。低電力化のための一般的な方策と最近の研究動向を体系化すると共に、MTCMOS や VTCMOS といった低電圧回路技術や低容量回路技術としてのパストランジスタ論理に関する最近の研究成果をまとめる。

キーワード 低電力、低電圧、マルチメディア、パストランジスタ論理

1. ま え が き

マルチメディア LSI では、高い処理性能が求められる。例えばデジタル画像信号の圧縮には、毎秒 10 億の演算を処理できる性能 (1000 MOPS: Million Operation Per Second) が求められる。これは電卓や時計の 100 倍以上の性能に匹敵する。

同時に、電力削減の要求も強い。携帯端末は、少しでも電力を削減して電池寿命を長くしたい。据置き型でも、民生用でコスト削減が強く求められるものは、2 W 以下の電力に抑えて安価なプラスチックパッケージに封印したい。セラミックパッケージに封印しても、うるさい空冷用ファンはできれば回したくないので、電力はできるだけ下げて発熱を抑えたい。

ところがこの 15 年間、CMOS の電力は 3 年で 4 倍の割合で増え続けている [1]。図 1 は、国際会議 ISSCC (IEEE International Solid-State Circuits Conference) の発表から集めたマイクロプロセッサ (MPU: Micro Processor Unit) とデジタル信号処理プロセッサ (DSP: Digital Signal Processor) の電力と電力密度のデータである。CMOS の電力は、1980 年当時に比べて 1000 倍に増え、10 W を超えようとしている。その原因は、微細化により電力密度が増大したからである。このことは、表 1 に示すスケー

リング則からも明らかである。最近の電源電圧の低下を考慮しても、表 1 に示すように微細化を続ける限り、CMOS の電力は今後も増え続ける。

従って、これからは電力と処理性能とコストを常に意識した設計が要求される。すなわち、電力 (P) と回路遅延 (D) とチップ面積 (A) の積 (PDA 積) を最小にする設計が必要になる。

本論文では、マルチメディアに求められる高性能で低電力な VLSI を実現するための回路設計技術に関して、これまでに得られた知見をまとめる。まず、低電力化の一般的な方策と最近の研究動向を 2. でまとめる。次に、低電力化に最も有効な動作電圧の低下に関する回路技術を 3. で検討する。4. では、低電力化にも高速化にも有効な負荷容量の削減に関する回路技術を議論する。最後に、5. で今後の課題とまとめを述べる。

2. 低電力化の方策

CMOS の電力は、次式で与えられる [1]。

$$P = f_{CLK} \cdot p_t \cdot (C_L \cdot V_s \cdot V_{DD} + I_{SC} \cdot \Delta t_{SC} \cdot V_{DD}) + (I_{DC} + I_{LEAK}) \cdot V_{DD} \quad (1)$$

ここで、 f_{CLK} はクロック周波数、 p_t はスイッチング確率、 C_L は負荷容量、 V_s は信号振幅、 V_{DD} は電源電圧、 I_{SC} は貫通電流の平均値、 Δt_{SC} は貫通電流が流れる平均時間、 I_{DC} は直流電流、 I_{LEAK} はリーク電流である。

第 1 項の $f_{CLK} \cdot p_t \cdot C_L \cdot V_s \cdot V_{DD}$ は、負荷の充放電に要する電力である。一般的に V_s は V_{DD} に等しいが、高速化や低電力化のために信号だけを小振幅にする場

Parameters
Device size
Gate thickness
Substrate dopin
Supply voltage
Electric field
Current
Area
Capacitance
Gate delay
Power dissipati
Power density

合もある。1 回荷が V_{DD} の電位を失う。従って C_L を掛ければ電力は、回路遅延に依存しないが、保存する。従って、第 2 項の $I_{SC} \cdot \Delta t_{SC} \cdot V_{DD}$ はスイッチングする。第 3 項の $I_{DC} \cdot V_{DD}$ はインプのように直。4 項の $I_{LEAK} \cdot V_{DD}$ はサブスレッシース、ドレインである。

貫通電流は、

[†] (株)東芝マイクロエレクトロニクス技術研究所, 川崎市
Microelectronics Engineering Laboratory, TOSHIBA,
Kawasaki-shi, 210 Japan

^{††} 東京大学生産技術研究所, 東京都
Institute of Industrial Science, University of Tokyo, Tokyo, 106
Japan

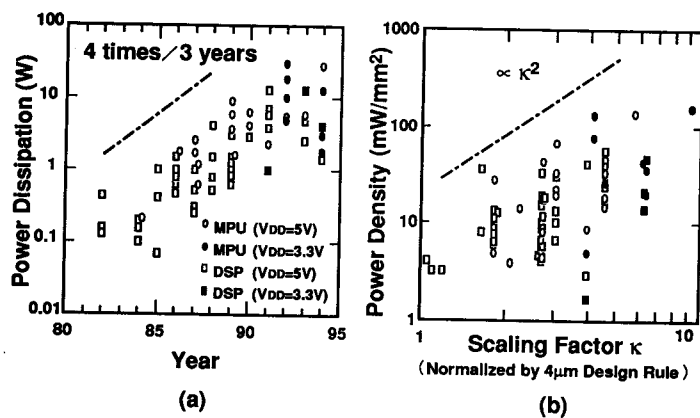


図1 ISSCCで発表されたMPUとDSPの(a)電力と(b)電力密度

Fig.1 (a) Power dissipation and (b) power density of MPUs and DSPs presented in the ISSCC.

表1 スケーリング則
Table 1 Scaling theory.

Parameters	Scaling scenario			
	Const. field	Const. voltage	$\propto 1/\kappa^{0.5}$	
Device size	$1/\kappa$	$1/\kappa$	$1/\kappa$	
Gate thickness t_{ox}	$1/\kappa$	$1/\kappa$	$1/\kappa^{0.5}$	
Substrate doping	κ	κ^2	$\kappa^{1.5}$	
Supply voltage V	$1/\kappa$	1	$1/\kappa^{0.5}$	
Electric field E	1	κ	1	
Current I	$1/\kappa$	$\kappa (\kappa^{-1})$	$1/\kappa$	
Area A	$1/\kappa^2$	$1/\kappa^2$	$1/\kappa^2$	
Capacitance $C = \epsilon A/t_{ox}$	$1/\kappa$	$1/\kappa$	$1/\kappa^{1.5}$	
Gate delay VC/I	$1/\kappa$	$1/\kappa^2 (1/\kappa^0)$	$1/\kappa$	
Power dissipation VI	$1/\kappa^2$	$\kappa (\kappa^{-1})$	$1/\kappa^{1.5}$	
Power density VI/A	1	$\kappa^3 (\kappa^{0.5})$	$\kappa^{0.5}$	

合もある。1回の負荷の充放電につき、 $C_L \cdot V_S$ の電荷が V_{DD} の電位だけ落ちて $C_L \cdot V_S \cdot V_{DD}$ のエネルギーを失う。従って、これに毎秒充放電する回数の $f_{CLK} \cdot p_t$ を掛ければ電力が求まる。このように負荷の充放電電力は、回路の寄生抵抗やMOSFETの電流には依存しないが、負荷容量の非線型性や時間応答には依存する。従って、ゲート容量は、一般に平均値で扱う。第2項の $f_{CLK} \cdot p_t \cdot I_{sc} \cdot \Delta t_{sc} \cdot V_{DD}$ は、ゲートがスイッチングするときに流れる貫通電流による電力である。第3項の $I_{DC} \cdot V_{DD}$ は、例えばメモリのセンスアンプのように直流電流が流れる回路の電力である。第4項の $I_{LEAK} \cdot V_{DD}$ は、オフしているMOSFETを流れるサブスレッショルド電流や逆バイアスされているソース、ドレーンと基板との間のリーク電流による電力である。

貫通電流は、回路設計を注意深くすれば十分に小さ

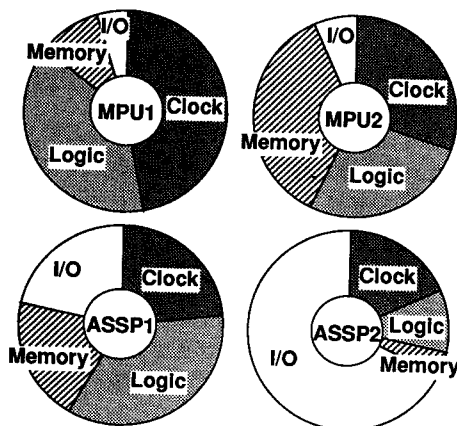


図2 論理CMOS LSIの電力分布
Fig.2 Power use in logic CMOS LSIs.

くできる。リーク電流は、MOSFETのしきい値を極端に下げない限りほとんど流れない。従って、直流電流が流れない通常のCMOS回路では、電力の大部分が負荷の充放電で消費されることになり、

$$P = f_{CLK} \cdot p_t \cdot C_L \cdot V_{DD}^2 \quad (2)$$

のように表すことができる。

この式より、CMOS回路の低電力化の一般的な方策として、三つが考えられる。電源電圧を下げるか、負荷容量を削減するか、スイッチングの回数を減らすかである。スイッチングの回数を減らすことは、本来、アルゴリズムやCADの課題になるので、本論文では扱わない。残りの二つに関する回路技術を次章以降で詳しく検討する。

表 2 低電力 CMOS LSI 回路設計技術
Table 2 Low-power CMOS LSI circuit design techniques.

	P_t	C_L	V_S	V_{DD}	I_{CLK}	I_{SC}	I_{DC}	I_{LEAK}
General		• device scaling	Small Signal	Low V_{DD} • DC-DC conv. [14] • 0.25V Q-Rail [15]		Careful Design • design verif. by CAD		• VTCMOS [3-7] • ΔV_{th} control [4] • High V_{th} for standby [5,7]
Clock	• gated clock	• floorplan to reduce wire length • F/F sizing • Charge Recycling • C stacking [16]	• 1/2 swing [16]					
Bus	• Glitch Suppress. • 3-state-buffer activated after data fix [17]	• C stacking [18]	• 1/4 swing [18]					
Data Path	• latch insertion to deskew data-in [19]	Tr. Reduction • pass-transistor (CPL[8], SRPL[10], DPL, DCVSPG[9])	• pass-tr. (SAPL) [12]		• parallelism			
Random Logic	CAD • permutation of series-connected tr. order [20]	• library & CAD for pass-tr. logic [13] • tr. sizing [21,22]	• current switch logic (MCML) [23]					Sleep Mode • 2 type V_{th} (MTCMOS) [2]
Memory		• memory hierarchy	• reduced swing WL, BL				Cut Current • latch S/A [24]	• switched source-impedance [25]
I/O		• MCM [28] • area pad [26]	• reduced swing I/O [27] (GTL, LVDS)		• phase modulation [28]		• dynamic termination [29]	

電力削減の別のアプローチは、チップのどの部分でどれだけの電力が消費されているかを調べ、電力消費の大きなところから対策を講じることである。図2は、二つのマルチメディア対応 MPU と MPEG 2 デコーダ LSI (図2の ASSP 1) と ATM LSI (図2の ASSP 2) の電力分布を調べた結果である。論理 LSI の多様性を反映して電力分布はさまざまである。チップの電力削減には、随所でいろいろな努力の積み重ねが必要であることがわかる。但しクロックの電力が論理回路の電力に匹敵するほど大きいことは、特筆すべき共通の特徴である。

最近発表された低電力回路技術 [2]~[29] を表2にまとめる。チップのどの部分で、どの電力パラメータが改善されるかという視点から体系化した。

3. 低電圧回路技術

式(2)より、電力は電源電圧 (V_{DD}) の2乗に比例するので、 V_{DD} を下げると最も有効に電力を削減できる。問題は、このときに回路遅延が増大することである。図3に電力 (Power) と回路遅延 (Delay) の電源電圧 (V_{DD}) と MOSFET のしきい値 (V_{th}) の依存性をシミュレーションした結果を示す [1]。回路遅延の図では、遅延時間の等高線も示した。この等高線に沿って、 V_{DD} と V_{th} をともに下げれば、回路遅延を増大させずに電力を削減できる。例えば、 V_{DD} を 3 V

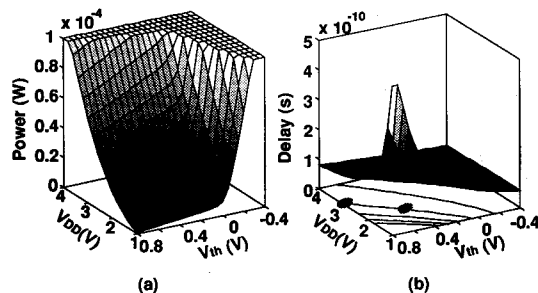


図3 (a)電力と(b)回路遅延の電源電圧 (V_{DD}) としきい電圧 (V_{th}) 依存性

Fig.3 (a) Power dissipation and (b) circuit delay dependence on V_{DD} and V_{th} .

から 2 V に下げ、同時に V_{th} を 0.8 V から 0.4 V に下げると、回路遅延を増大させずに電力を半減できる。

しかし、ここで二つの問題が生じる。一つは、 V_{th} を下げるとオフしている MOSFET のリーク電流が増える。その結果、待機時電力が増大して携帯機器には適用できなくなる。あるいは、製品出荷時のテスト項目の一つであるスタティック電流検査 (I_{DDQ} テスト: Quiescent power supply current) のとき、欠陥不良による電流が正常な MOSFET のリーク電流に埋もれて、不良品選別ができなくなる。もう一つの問題は、 V_{DD} を下げると V_{th} のばらつきも小さくしなければ動作速度が大きくばらつく。例えば V_{th} のばらつ

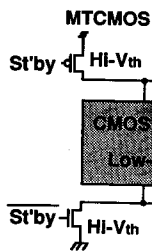


Fig.4 MTCMOS circuit.

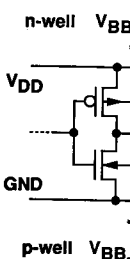


Fig.5 VTCMOS circuit.

きを従来の ± 0.1 V に下げると、動作速度が増大する。これによって、 V_{th} のばらつきによる動作速度のばらつきを小さくできる。しかし、これは、非常に困難な作業である。そこで、これらの問題を解決するために、

一つは、図4に示すように、Threshold CMOS (MTCMOS) を作り、PMOS を高 V_{th} の MOSFET で回路を高速化し、NMOS を低 V_{th} の MOSFET で回路を高速化する。待機時に電源をオフにする。

もう一つの技術は、Variable Threshold CMOS (VTCMOS) の基板

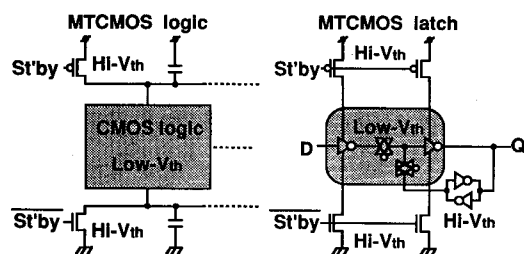


図4 MTCMOS技術

Fig. 4 MTCMOS (Multi-Threshold CMOS) technology.

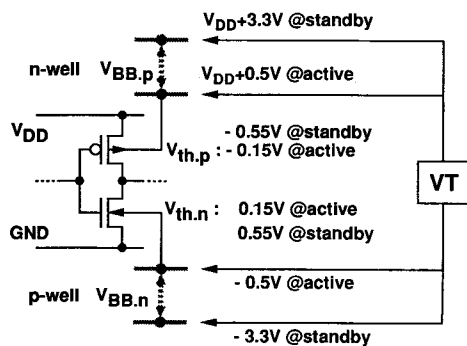


図5 VTCMOS技術

Fig. 5 VTCMOS (Variable Threshold-voltage CMOS) technology.

きを従来の ± 0.1 Vのまま、 V_{DD} を3.3 Vから1 Vに下げると、動作速度のばらつきは、25%から175%に増大する。これでは、精緻なタイミング設計ができない。 V_{th} のばらつきを ± 0.025 Vに小さくできれば、動作速度のばらつきは V_{DD} が1 Vのときでも25%にできる。しかし V_{th} のばらつきを従来の1/4に抑えるのは、非常に困難である。

そこで、これらの問題を解決する回路設計技術が提案されている。

一つは、図4に示すMTCMOS技術 (Multi-Threshold CMOS) [2]である。2種類の V_{th} のトランジスタを作り込み、動作時は、低い V_{th} のMOSFETで回路を高速動作させ、待機時は、高い V_{th} のMOSFETで回路の電源を遮断してリーク電流を切る。待機時に電源を遮断しても回路内部のデータが失わないようにするためのラッチ回路も開発されている。

もう一つの技術は、図5に示すVTCMOS技術 (Variable Threshold-voltage CMOS) [3]である。MOSFETの基板バイアス効果を利用する。基板電位

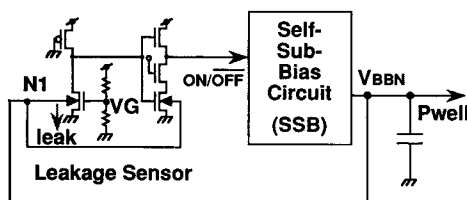


図6 SATS方式

Fig. 6 SATS (Self-Adjusting Threshold Scheme).

表3 各種VTCMOS回路

Table 3 Various VTCMOS circuits.

Objectives	Ref.	Mode	V _{BB} , Int Supply	Comment
Compensate V _{th} fluctuation	(SATS) CICC'94 [4]	Active St'by	SSB -	0.5 μ m circuit block No standby consideration
Increase V _{th} in standby mode	(SPR) ISSCC'95 [7]	Active St'by	Short to V _{SS} /V _{DD} Short to V _{BB,ext}	0.5 μ m circuit block A $\rightarrow$ S: 60ns, S $\rightarrow$ A: 60ns Fast but 3 supplies required
	CICC'96 [5] ISLPED'96 [6]	Active St'by	Short to V _{SS} /V _{DD} SSB	0.3 μ m 188K SOG A $\rightarrow$ S: 100 μ s, S $\rightarrow$ A: 0.1 μ s No V _{sub} fluctuation problem
Compensate V _{th} fluctuation & increase V _{th} in standby mode	ISSCC'96 [3]	Active St'by	SSB SSB	0.3 μ m DCT macro A $\rightarrow$ S: 100 μ s, S $\rightarrow$ A: 0.1 μ s

を変えることで一つのトランジスタの V_{th} を状況に応じて変化させる。例えばトランジスタは、 V_{th} が0 Vになるように製造する。動作時は、基板に-0.5 Vのバイアスを掛けて、 V_{th} を正確に0.15 Vに設定する。待機時と I_{DDQ} テストの際は、基板に-3 Vのバイアスを掛けて、 V_{th} を0.55 Vにする。基板電位は、ポンプ回路で構成した基板電位発生回路 (SSB: Self Substrate-Bias) やスイッチ回路を使って制御する。 V_{th} の値は、トランジスタのリーク電流を調べて検出する。検出された V_{th} が目標値に等しくなるように基板電位を帰還制御して、 V_{th} のばらつきを回路的に補償する (図6) [4] (SATS: Self-Adjusting Threshold Scheme)。 V_{th} のばらつきが ± 0.15 Vから ± 0.05 Vに削減された実験結果が報告されている。VTCMOSを使った回路技術がいくつか開発されている [3]~[7]。主要な特徴を表3にまとめる。

VTCMOSではチップ上の基板コンタクトをすべて配線接続しなければならないので、個々に近くの電源線に落としていたCMOSに比べてチップ面積が大きくなる可能性がある。あるいは、過去に設計したCMOSのレイアウトにそのような修正を後から加えることは一般的に困難なので、過去の設計資産を活用できなくなる懸念がある。しかし、低電圧にすると基板コンタクトの数は大きく削減できることが実験で確認されている [3], [5], [6]。例えば、GAの基板コンタ

クトの数を従来の $1/400$ に減らしても、基板電位の揺れや SRAM や DLL の回路特性の揺らぎは、低電圧では従来に比べて悪くはならない [6]。あるいは、過去に設計された 2 mm 角の離散コサイン変換 (DCT: Discrete Cosine Transform) マクロも、いったん基板コンタクトをすべて削除し、次にウェルを全部つなげるようにレイアウトデータを計算機処理して、周辺だけで基板コンタクトを落としたところ、VTCMOS で正しく制御できて、従来どおりの処理性能が $1/4$ の電力で実現できた [3]。このように、VTCMOS を過去の設計資産に適用することも可能である。

4. 低容量回路技術

負荷容量を削減すると、電力と回路遅延がともに改善されるので望ましい。デバイスの微細化がこれまでどおり低容量化の有効な手段であるが、回路技術としてはパストランジスタ論理が最近注目されている。パストランジスタ論理は、nMOS だけで論理を組む。従って、nMOS と pMOS の相補論理を組む CMOS スタティック回路と比べて少ないトランジスタで回路が構成でき、回路の全容量が減る。また、pMOS を使わないので動作速度も速くなる。パストランジスタ論理による全加算器を図 7 に示す。ゲートとソース (ドレイン) に信号が入力されるが、高レベルの信号が nMOS のドレインに入力されると出力信号は V_{th} だけレベルが落ちるので、レベル再生と負荷の駆動を兼ねて、出力回路が必要になる。各種の出力回路が提案されている。相補論理をとり、低レベルの信号から高レベルの信号を補正する回路の一例を図 8 に示す。CPL は、Complementary Pass-transistor Logic [8]、DCVSPG は、Differential Cascade Voltage Switch with Pass Gate [9]、SRPL は、Swing Restored Pass-transistor Logic [10] の略称である。

パストラジスタ論理を設計者が頭で考えて回路に直すのは難しい。計算機で自動的に論理合成する方法

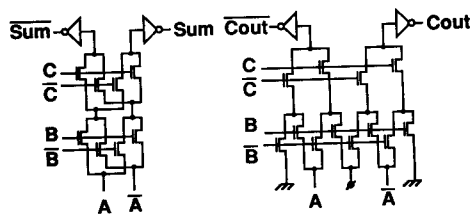


図 7 パストランジスタ論理で構成した全加算器
Fig.7 Full adder in pass-transistor logic.

が研究されている。まず最初に、図 9 に示すように、論理の真理値表を作り、2 分木 (BDD: Binary Decision Diagram) を書く。次に、図 10 に示す規則に合わせて BDD を縮約する。最後に、図 11 に示すように、BDD の枝を nMOS のソースとドレインでつなぎ、枝につく変数をゲートに入力すれば回路が構成できる。この方法では、BDD を書くときの変数の並び順によって異なる回路が生成されるので、最も少ない数のトランジスタからなる回路を見つけることは、容易ではない。しかし、必ず正しい回路が自動的に生成される点は、CAD として考える際に好都合である。複数の論理出力を同時に扱うことで更にトランジスタ

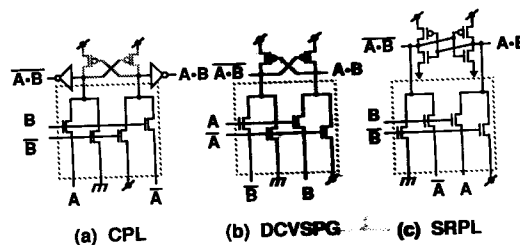


図 8 各種パストランジスタ論理回路
Fig. 8 Various pass-transistor logic circuits.

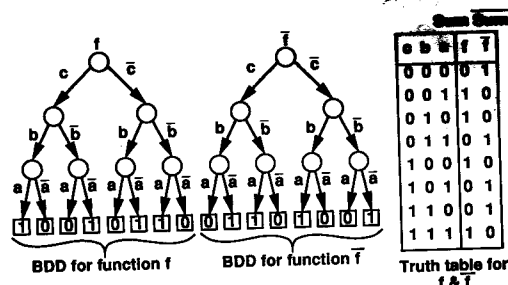


図 9 全加算器の加算出力の(a)BDD 木と(b)真理値表
Fig. 9 (a) BDD (Binary Decision Diagram) tree and (b) truth table of sum output in full-adder.

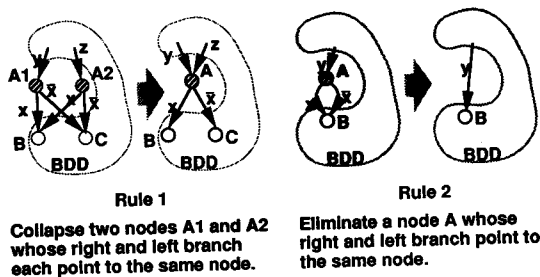


図 10 BDD 縮約規則
Fig.10 BDD reduction rules.



Fig. 12

数を削減する。信号振幅を減らされている[12]。トランジスタ型 transistor L ックなパスポートトラッチ型の。る。MPEG。ろ、電力を。[12].

パストラン
プ全面に採
CMOS のス
減できる。

5. む

マルチメ

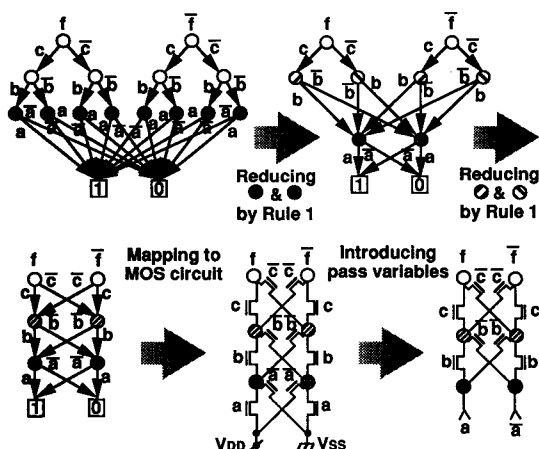


図 11 BDD を縮約して MOS 回路にマッピング
Fig. 11 Reducing BDD and mapping BDD to MOS circuit.

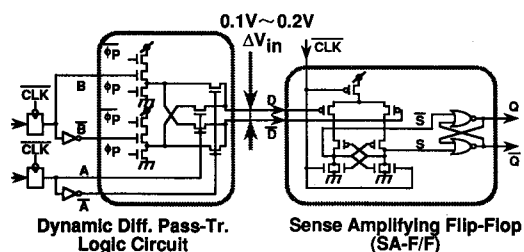


図 12 センスアンプ・パストランジスタ論理 (SAPL)
Fig. 12 Sense-amplifying pass-transistor logic (SAPL).

数を削減する研究も行われている [11].

信号振幅を小さくして電力を削減する試みも提案されている [12]. 図 12 に示すセンスアンプ・パストランジスタ論理 (SAPL: Sense-Amplifying Pass-transistor Logic) では、多段に接続されたダイナミックなパストランジスタ回路の微小出力信号をカレントラッチ型のセンスアンプで高速に検出してラッチする。MPEG 2 LSI 中の DCT マクロに使ったところ、電力を従来の CMOS 回路の半分に削減できた [12].

パストランジスタをスタンダードセルの手法でチップ全面に採用する研究もされている [13]. 従来の CMOS のスタンダードセルに比べて電力は 63% に削減できる。

5. む す び

マルチメディアに求められる高性能で低電力な

VLSI を実現するための回路設計技術を概観した。低電力技術は、集積回路の今後の発展を支える非常に重要な技術になる。また、将来急速に問題となる配線のエレクトロマイグレーションや電源ノイズなどの対策としても、電力や電流の低減は有効である [30]. 本論文では、主に回路技術を議論したが、低電力化の追究は、アーキテクチャ、システム、回路、CAD、デバイス、プロセスの広範な研究と総合技術が要求される。

謝辞 本研究を行う機会を与えて頂いた東芝の海野所長と古山グループ長に感謝します。

文 献

- [1] T. Kuroda and T. Sakurai, "Overview of low-power ULSI circuit techniques," IEICE Trans. Electron., vol. E78-C, no. 4, pp. 334-344, April 1995.
- [2] S. Mutoh, et al., "1 V high-speed digital circuit technology with 0.5 μm multi-threshold CMOS," Proc. IEEE ASIC Conf., pp. 186-189, 1993.
- [3] T. Kuroda, T. Fujita, S. Mita, T. Nagamatsu, S. Yoshioka, F. Sano, M. Norishima, M. Murota, M. Kato, M. Kinugawa, M. Kakumu, and T. Sakurai, "A 0.9 V 150 MHz 10 mW 4 mm² 2-D discrete cosine transform core processor with variable-threshold-voltage scheme," ISSCC Dig. Tech. Papers, pp. 166-167, Feb. 1996.
- [4] T. Kobayashi and T. Sakurai, "Self-adjusting threshold-voltage scheme (SATS) for low-voltage high-speed operation," Proc. IEEE CICC, pp. 271-274, May 1994.
- [5] T. Kuroda, T. Fujita, T. Nagamatsu, S. Yoshioka, T. Sei, K. Matsuo, Y. Hamura, T. Mori, M. Murota, M. Kakumu, and T. Sakurai, "A high-speed low-power 0.3 μm CMOS gate array with variable threshold voltage (VT) scheme," Proc. IEEE CICC, pp. 53-56, May 1996.
- [6] T. Kuroda, T. Fujita, S. Mita, Y. Hamura, T. Mori, K. Matsuo, M. Kakumu, and T. Sakurai, "Substrate noise influence on circuit performance with variable threshold voltage (VT) scheme," Proc. IEEE ISLPED, pp. 309-312, Aug. 1996.
- [7] K. Seta, H. Hara, T. Kuroda, M. Kakumu, and T. Sakurai, "50% active power saving without speed degradation using standby power reduction (SPR) circuit," ISSCC Dig. Tech. Papers, pp. 318-319, Feb. 1995.
- [8] K. Yano, T. Yamanaka, T. Nishida, M. Saito, K. Shimohigashi, and A. Shimizu, "A 3.8-ns CMOS 16 $\times$ 16-b multiplier using complementary pass-transistor logic," IEEE J. Solid-State Circuits, vol. 25, no. 2, pp. 388-395, April 1990.
- [9] F. S. Lai and W. Hwang, "Differential cascade voltage switch with the pass-gate (DCVSPG) logic tree for high performance CMOS digital systems," Proc. IEEE VLSI-TSA, pp. 358-362, 1993.

- [10] A. Parameswar, H. Hara, and T. Sakurai, "A high-speed, low-power, swing restored pass-transistor logic based multiply and accumulate circuit for multimedia applications," Proc. IEEE CICC, pp. 278-281, May 1994.
- [11] T. Sakurai, B. Lin, and A. R. Newton, "Multiple-output shared transistor logic (MOSTL) family synthesized using binary decision diagram," Dept. EECS, Univ. of Calif., Berkeley, ERL Memo M90/21, March 1990.
- [12] M. Matsui, H. Hara, K. Seta, Y. Uetani, L. Kim, T. Nagamatsu, T. Shimazawa, S. Mita, G. Otomo, T. Oto, Y. Watanabe, F. Sano, A. Chiba, K. Matsuda, and T. Sakurai, "200 MHz video compression macrocells using low-swing differential logic," ISSCC Dig. Tech. Papers, pp. 76-77, Feb. 1994.
- [13] K. Yano, Y. Sasaki, K. Rikino, and K. Seki, "Lean integration: achieving a quantum leap in performance and cost of logic LSIs," in Proc. IEEE CICC, pp. 603-606, May 1994, and "Top-Down Pass-Transistor Logic Design," IEEE J. of Solid-State Circuits, vol. 31, no. 6, pp. 792-803, June 1996.
- [14] A. J. Stratakos, R. W. Brodersen, and S. R. Sanders, "High-efficiency low-voltage DC-DC conversion for portable applications," Proc. IEEE IWLPD, pp. 105-110, April 1994.
- [15] L. R. Carley and I. Lys, "QuadRail: A design methodology for ultra-low power ICs," in Proc. IEEE IWLPD, pp. 225-230, April 1994.
- [16] H. Kojima, S. Tanaka, and K. Sasaki, "Half-swing clocking scheme for 75% power saving in clocking circuitry," Proc. IEEE Symposium on VLSI Circuits, pp. 23-24, May 1994.
- [17] A. Chandrakasan, A. Burstein, and R. W. Brodersen, "A low power chipset for portable multimedia applications," ISSCC Dig. Tech. Papers, pp. 82-83, Feb. 1994.
- [18] H. Yamauchi, H. Akamatsu, and T. Fujita, "A low power complete charge-recycling bus architecture for ultra-high data rate ULSI's," Proc. IEEE Symposium on VLSI Circuits, pp. 21-22, May 1994.
- [19] C. Lemonds and S. S. M. Shetti, "A low power 16 by 16 multiplier using transition reduction circuitry," Proc. IEEE IWLPD, pp. 139-142, April 1994.
- [20] S. C. Prasad and K. Roy, "Circuit optimization for minimization of power consumption under delay constraint," Proc. IEEE IWLPD, pp. 15-20, April 1994.
- [21] C. H. Tan and J. Allen, "Minimization of power in VLSI circuits using transistor sizing, input ordering, and statistical power estimation," Proc. IEEE IWLPD, pp. 75-80, April 1994.
- [22] M. Yamada, et al., "Synergistic power/area optimization with transistor sizing and write length minimization," Proc. IEEE Symposium on Low Power Electronics, Oct. 1994.
- [23] M. Mizuno, et al., "A GHz MOS adaptive pipeline technique using variable delay circuits," Proc. IEEE Symposium on VLSI Circuits, pp. 27-28, May 1994.
- [24] T. Sakurai, "High-speed circuit design with scaled-down MOSFET's and low supply voltage," Proc. IEEE ISCAS, pp. 1487-1490, May 1993.
- [25] M. Horiguchi, T. Sakata, and K. Itoh, "Switched-source-impedance CMOS circuit for low standby sub-threshold current giga-scale LSI's," Proc. IEEE Symposium on VLSI Circuits, pp. 47-48, May 1993.
- [26] Q. Zhu, et al., "Low power clock distribution based on area pad interconnect for multichip modules," Proc. IEEE IWLPD, pp. 87-92, April 1994.
- [27] B. Gunning, et al., "A CMOS low-voltage-swing transmission-line transceiver," ISSCC Dig. Tech. Papers, pp. 58-59, Feb. 1992.
- [28] K. Nogami and A. E. Gamal, "A CMOS 160 Mb/s phase modulation I/O interface circuit," ISSCC Dig. Tech. Papers, pp. 108-109, Feb. 1994.
- [29] T. Kawahara, et al., "Low power chip interconnection by dynamic termination," Proc. IEEE Symposium on VLSI Circuits, pp. 45-46, May 1994.
- [30] T. Sakurai and T. Kuroda, "Low-power circuit design for multimedia CMOS VLSI's," Proc. Sasimi Workshop, pp. 3-10, Nov. 1996.



黒田 忠広 (正員)

昭57 東大・工・電気卒。同年東芝入社。現在、システム LSI 技術研究所にて、マルチメディア LSI の設計開発と高速/低電力 VLSI 設計の研究に従事。東大非常勤講師。VLSI 回路シンポジウム, ISLPED, CICC のプログラム委員。



櫻井 貴康 (正員)

昭56 東大・工・電子博士課程了。工博。同年東芝入社。半導体技術研究所にて SRAM, DRAM, ASM, ASIC, 高速プロセッサ, 画像圧縮/伸長 LSI, メディアプロセッサなどの設計開発に従事。平8年7月より東大生産技術研究所教授。高速/低消費電力 VLSI 設計の研究に従事。ISSCC, CICC, DAC, ICCAD, ICVC, ISLPED, ASPDAC, TAU, CSW のプログラム委員, VLSI 回路シンポジウムプログラム委員長。