

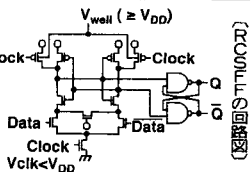
研究開発・新技術

回路設計で消費電力を大幅削減

東大生産技術研究所・櫻井教授ら

回路面積も20%縮小

東京大学生産技術研究所の櫻井教授らは、LSIの消費電力を最大で三分の一に低減する新しいフリップ・フロップ回路「RCSCF」を開発した。同回路を用いることで回路サイズを従来に比べ二〇%縮小するほか、遅延時間も二〇%削減できる。



今回開発したRCSCF(Reduced Clock Switching Flip-Flop)回路はクロックの振幅を低減し、かつトランジスタの数を減らした低消費電力志向のフリップ・フロップ回路であり、クロックの消費電力低減に効果を発揮する。

従来のフリップ・フロップでは、両相クロックが必要だがRCSCFは低消費電力を低減できた。RCSCFは、F回路は、単相フリップ・フロップであるため振幅低減したクロックを受け付けるのが特徴となっている。また、従来のフリップ・フロップではトランジスタが二四個で構成されたが、RCSCF回路では二個で済み、クロッキングされるMOSFETの数も二個から三個に削減できるため回路面積を従来に比べ二律約二〇%削減でき

る。

また、クロック振幅を二・二Vに削減した場合、A型ドライバIは消費電力を四一%、遅延時間を二七%削減。B型ドライバでは、消費電力五二%、遅延時間二七%の削減となる。

また、クロック振幅を一・二Vに低減した場合、A型ドライバでは消費電力を五二%、遅延時間を二七%削減。B型ドライバでは消費電力六三%、遅延時間を二七%削減。また、遅延時間はそれぞれ三%のアップとなっている。

エレクトロニクス製品の小形化・省電力化のニーズが高まっている中、LSIの低消費電力化への対応が求められている。同教授らは、クロックの消費電力を抑えることによりLSIそのものの低消費電力化を実現する回路を開発した。回路設計の変更だけで低消費電力を実現できるのも特徴だ。LSIの消費電力分布はLSIの種類により異なるが、クロックとロジックに起因する消費電力が多い。特に、フリップ・フロップ自身とフリップ・フロップ

クロックの消費電力は、動作周波数、負荷容量、電源電圧、クロック振幅で決まるが、動作周波数や電源電圧を下げる、動作速度が遅くなるなどLSIの性能に影響する。そこで、その他の条件を変えずにクロック振幅を低減することで低消費電力化、高速化を実現した。

クロックの消費電力は、動作周波数、負荷容量、電源電圧、クロック振幅で決まるが、動作周波数や電源電圧を下げる、動作速度が遅くなるなどLSIの性能に影響する。そこで、その他の条件を変えずにクロック振幅を低減することで低消費電力化、高速化を実現した。

クロックの消費電力は、動作周波数、負荷容量、電源電圧、クロック振幅で決まるが、動作周波数や電源電圧を下げる、動作速度が遅くなるなどLSIの性能に影響する。そこで、その他の条件を変えずにクロック振幅を低減することで低消費電力化、高速化を実現した。

クロックの消費電力は、動作周波数、負荷容量、電源電圧、クロック振幅で決まるが、動作周波数や電源電圧を下げる、動作速度が遅くなるなどLSIの性能に影響する。そこで、その他の条件を変えずにクロック振幅を低減することで低消費電力化、高速化を実現した。

クロック・ドライバにはA型とB型の二タイプあり、A型ドライバはD C/Dコンバータや外部電力供給が必要なく設計が簡単。B型ドライバは電力消費の低減にはA型より有効だが設計が難しい。

RCSCFのクロック線の長さを二〇μm、動作周波数を二〇MHzに設定して、クロック振幅三・三Vの場合の消費電力、遅延時間と比較した結果は以下のようになった。

クロック振幅を二・二Vに削減した場合、A型ドライバIでは消費電力を四一%、遅延時間を二七%削減。B型ドライバでは、消費電力五二%、遅延時間二七%の削減となる。