

消費電力、配線遅延から見た LSI の集積化限界 Constraints on LSI by Power and Interconnection Delay

桜井 貴康

Takayasu Sakurai

東京大学、生産技術研究所

Institute of Industrial Science, University of Tokyo

〒106-8558 東京都港区六本木 7-2-2-1

7-22-1 Roppongi, Minato-ku, Tokyo, 106-8558 Japan

E-mail: tsakurai@iis.u-tokyo.ac.jp

アブストラクト

2010 年に向け「ムーアの法則」に従って更なる微細化が進行すると予測されている。このシナリオをスケール則で点検すると、消費電力、配線遅延が悪化することがわかる。このような効果により、集積回路のアーキテクチャや回路技術は変更を受ける。アーキテクチャ的にはシステム LSI 化や階層化、ローカルメモリの使用、局所的同期・大局的非同期などが有望視され、回路的には低電圧回路、低信号振幅回路、配線へのバッファ挿入などが有効である。プロセス、デバイス的には低抵抗材料、低 ϵ 材料、低電圧動作 MOSFET などが期待される。

1. 消費電力

(兆円)

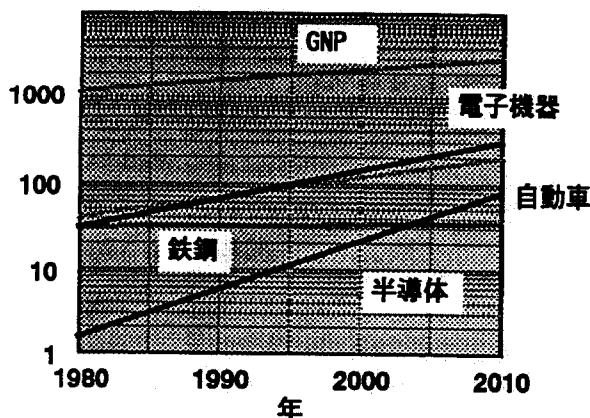


図1 産業別市場の年代推移

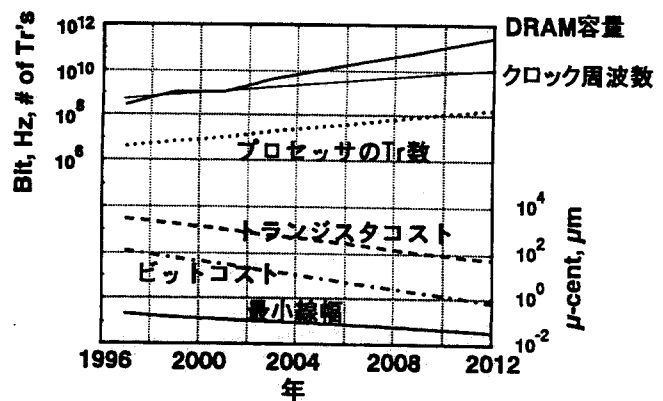
Semiconductor Industry Association roadmap
<http://notes.sematech.org/1997pub.htm>

図2 LSI の容量、速度、集積度、コスト

Vdd scaling	Ideal local scaled	Ideal global scaled	Ideal global unscaled	Ideal global anti-scaled	practical global anti-scaled	const global anti-scaled
Interconnection type						
Interconnection scaling						
Transistors						
Vdd (V)	-1	-1	-1	-1	-0.5	0
Tr. dimensions (x)	-1	-1	-1	-1	-1	-1
Tr. current ($I \sim \mu e/x \times V^{1.3}$)	-0.3	-0.3	-0.3	-0.3	0.35	1
Tr. cap. ($C \sim e/x \times x$)	-1	-1	-1	-1	-1	-1
Tr. delay ($d \sim CV/I$)	-1.7	-1.7	-1.7	-1.7	-1.85	-2
Tr. power ($P \sim VI \sim CVV/d$)	-1.3	-1.3	-1.3	-1.3	-0.15	1
Power density ($p \sim P/A$)	0.7	0.7	0.7	0.7	1.85	3
Interconnections						
Line thickness (T)	-1	-1	0	1	1	1
Width (W)	-1	-1	0	1	1	1
Separation (S)	-1	-1	0	1	1	1
Oxide thickness (H)	-1	-1	0	0	0	0
Length (L)	-0.3	0	0	0	0	0
Resistance ($R_{int} \sim \rho L/W/T$)	1.7	2	0	-2	-2	-2
Cap. ($C_{int} \sim \epsilon LW/H$)	-0.3	0	0	1	1	1
RC delay ($\tau_{RC} \sim RC$)	1.4	2	0	-1	-1	-1
I density ($Vdd \times I \sim P/A$)	2.3	2.7	1.7	6.7	1.38	3
V noise / Vdd ($N \sim IWT/AV$)	3.1	3.7	2.7	1.7	1.65	2

Numbers are powers of K (scale variable).

図3 スケール則、微細化に伴い消費電力、および配線の RC 遅延が増大、配線の信頼性やノイズの問題も起こる。

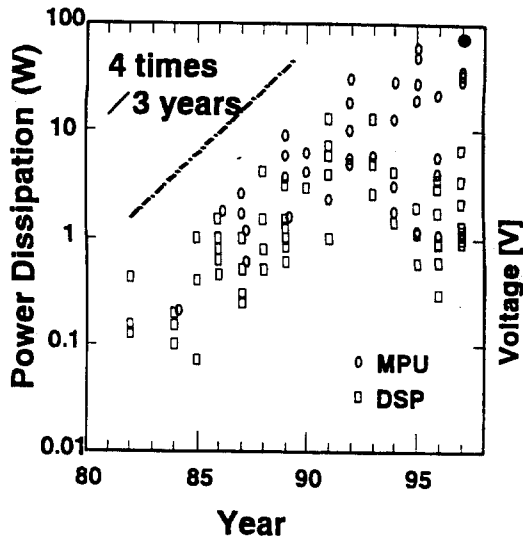


図4 ISSCCで発表されたプロセッサの電力の推移

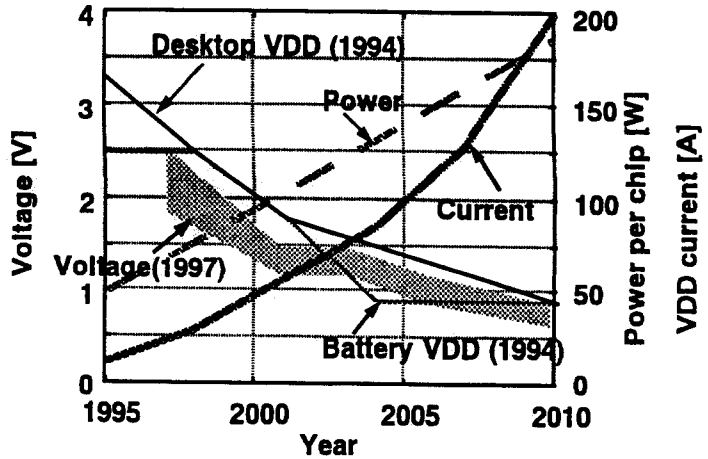


図5 SIAによる消費電力、電源電圧の将来予測

$$\text{Power: } P = p_t \cdot f_{CLK} \cdot C_L \cdot V_{DD}^2 + I_0 \cdot 10^{-\frac{V_{th}}{s}} \cdot V_{DD}$$

$$\text{Delay} = \frac{k \cdot Q}{I} = \frac{k \cdot C_L \cdot V_{DD}}{(V_{DD} - V_{th})^\alpha}$$

($\alpha=1.3$)

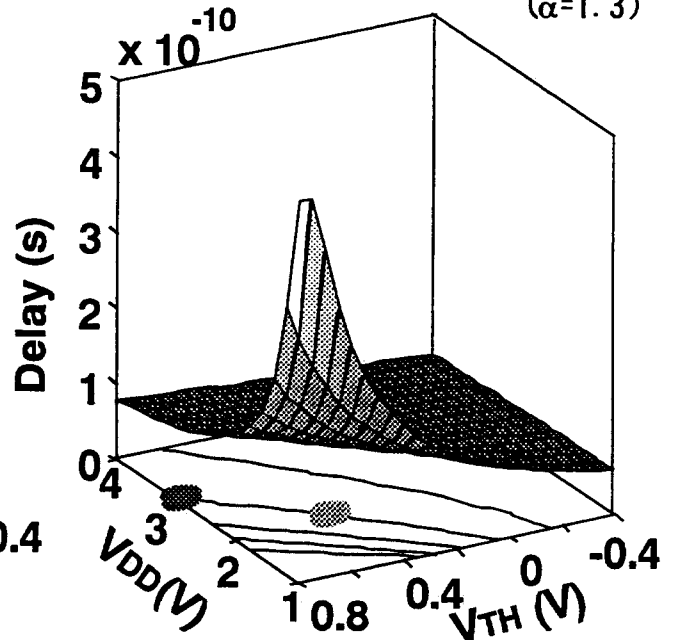
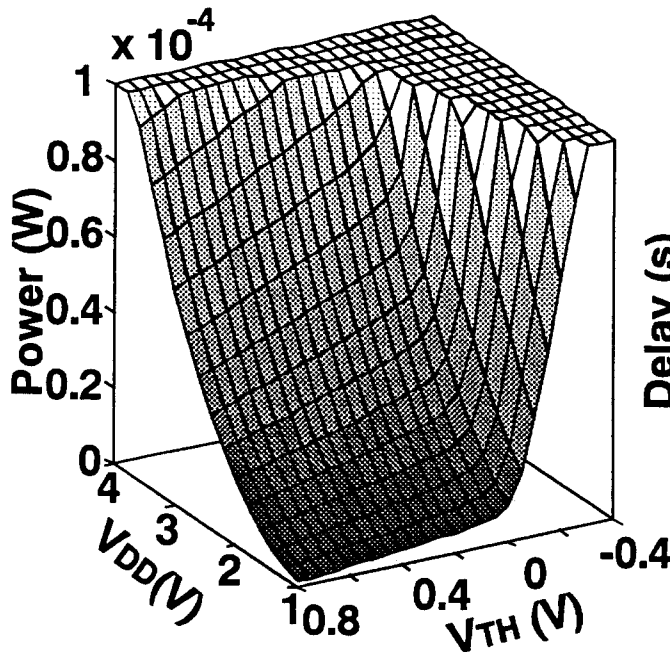


図6 電源電圧、しきい値電圧の関数として表した電力と遅延。電源電圧を下げると同時にしきい値電圧も下げれば、速度を落とさずに消費電力のみ低減できる。しきい値電圧を下げたことによるリークの増加はしきい値電圧を操作することで解消する。^{1), 4)}

CMOS 回路の消費電力は次式で与えられる。

$$P = p_t \cdot (C_L \cdot V_s \cdot V_{DD} + I_{sc} \cdot \Delta t_{sc} \cdot V_{DD}) \cdot f_{CLK} + I_{LEAK} \cdot V_{DD}$$

ここで、 p_t : スイッチング確率、 C_L : 負荷容量、 V_s : 信号振幅、 V_{DD} : 電源電圧、 I_{sc} : 貫通電流の平均値、 Δt_{sc} : 貫通電流が流れる時間、 f_{CLK} : クロック周波数、 I_{DC} : 差動増幅器などの直流電流、 I_{LEAK} : リーク電流である。第1項の $p_t \cdot C_L \cdot V_s \cdot V_{DD} \cdot f_{CLK}$ は、負荷の充放電に要する電力である。 V_s と V_{DD} は一般的には等しいが、高速化や低電力化のために信号を小振幅にすることがある。第2項は、ゲートがスイッチングするときに流れる貫通電流による消費電力である。第3項のリーク電流の主なもの、MOSトランジスタのサブスレッショルド電流である。この中、貫通電流は、回路を注意深く設計することで小さくでき、将来的に第2項の第1項に対する比はほぼ変わらないことが示されている²⁾。入力信号が出力信号に比べて速く変化するほど、貫通電流は小さくなる。入力信号と出力信号の遷移時間(立ち上がり、立ち下がり時間)がだいたい等しくなるように回路設計をしている限り、貫通電流による電力は、スイッチングに要する全電力の10%以下に小さく抑えることができる。

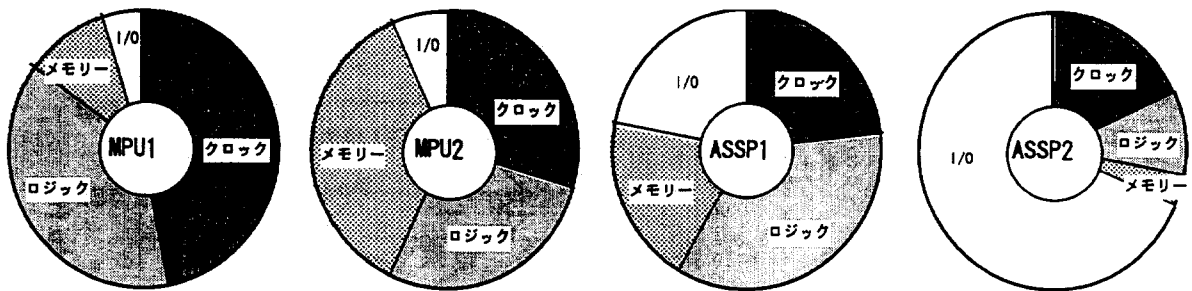
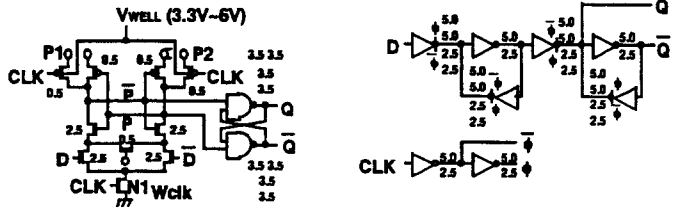


図7 このグラフを見ると、電力分布にはかなりの広がりがあることが分かる。



(a) RCSFF
Voltage swing of CLK is reduced to Vclk down to 1V.

(b) Conventional F/F

H. Kawaguchi and T. Sakurai, "A Reduced Clock-Swing Flip-Flop (RCSFF) for 85% Clock Power Reduction," in Symp. on VLSI Circuits '97, June, 1997.

図8 クロックの振幅を低減した F/F (RCSFF) ³⁾

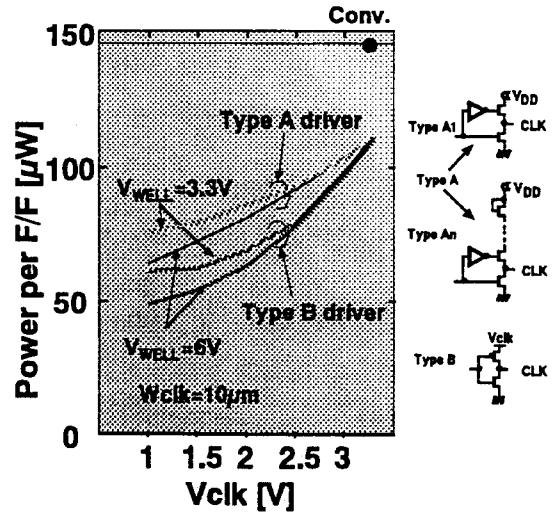


図9 振幅を 1V に下げると消費電力が 33% になる

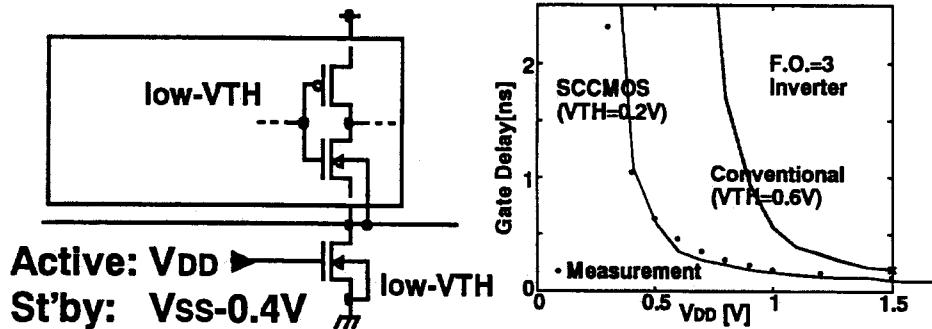
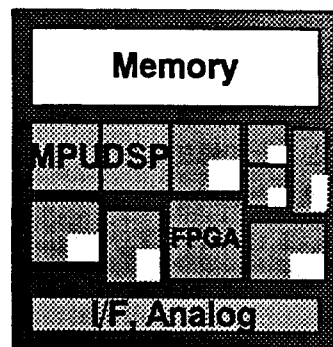


図10 直列に入れた MOSFET のゲートを負にすることにより、リークを完全にカットできる。動作時は低い値電圧のため高速動作が可能。⁷⁾

MPEG2 Decoder の例

- MPU (PentiumII 25W@220MHz)
~25W
- DSP (Mipact + α 3W@63MHz)
~4W
- 専用エンジン
~0.7W



専用
エンジン

Heterogeneous Architecture

(Low-power, more efficient)

図11 アーキテクチャ的には専用化、システム LSI 化をすると大幅に低消費電力化できる。

- C_{int} / C_{tr} increases
- Cross-section shape changes
- Multi-layer interconnections
(coupling cap.) / (grounding cap.) increases

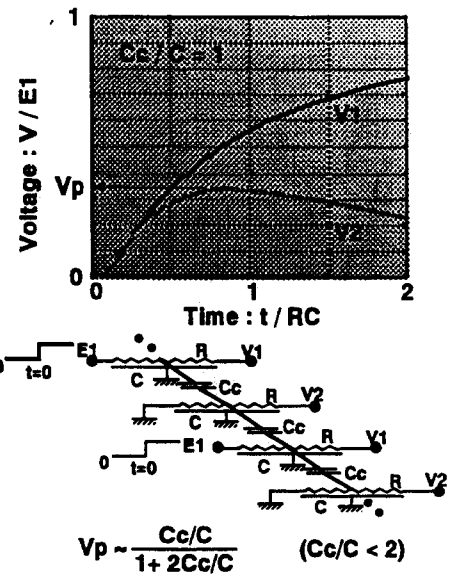
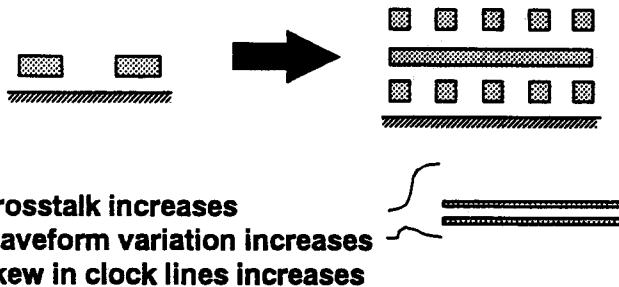


図 12 ディープサブミクロンではカップリング容量の増大により、ノイズや遅延のバラツキが増大する。カップリングノイズは 40% 以上になる。^{5, 6)}

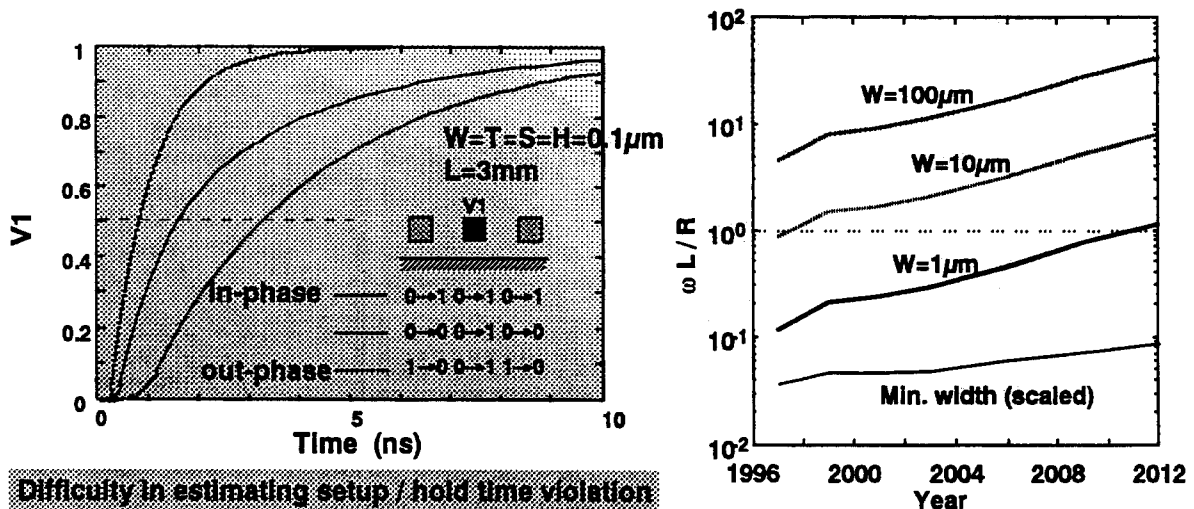


図 13 ディープサブミクロンではカップリング容量の増大により、遅延バラツキが増大する。バラツキは 3 倍以上になる。また、

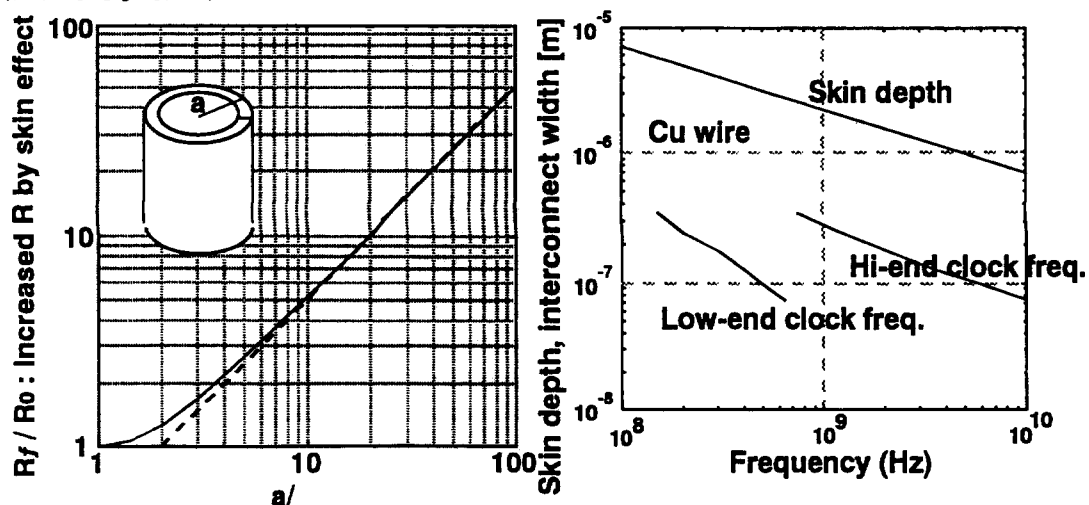


図 14 表皮効果については、skin depth が配線の半径に等しくなるまでは、抵抗はほとんど変わらず、その後、急速に抵抗が増加する。銅配線を仮定すると skin depth は、周波数を f としては $66/\sqrt{f(\text{MHz})}$ (μm) と表される。これと、周波数 f が達成されると予想される時代の線幅との関係を示した。

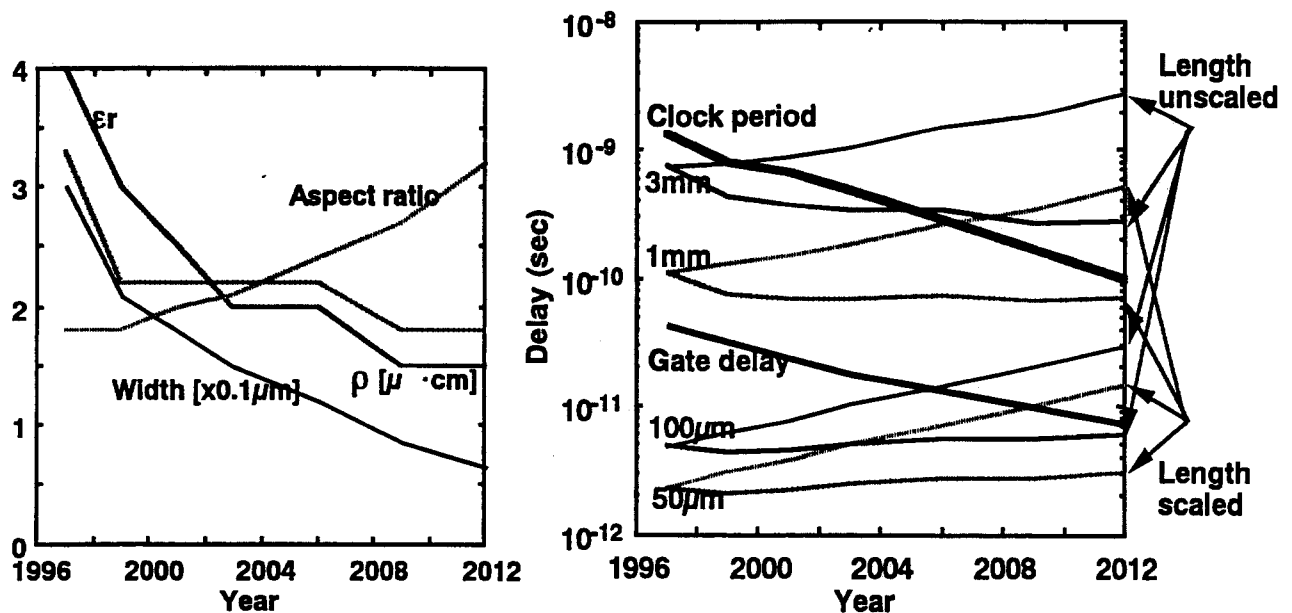


図 15 年代による配線技術の進歩の予想(SIA)と配線遅延の変化。局所配線の配線遅延が問題になることはないが、長距離配線はクロック周期を容易に越えてしまう。スケールされない配線層やリピータの使用、あるいはアーキテクチャ上の工夫が必要。(8, 9, 10)

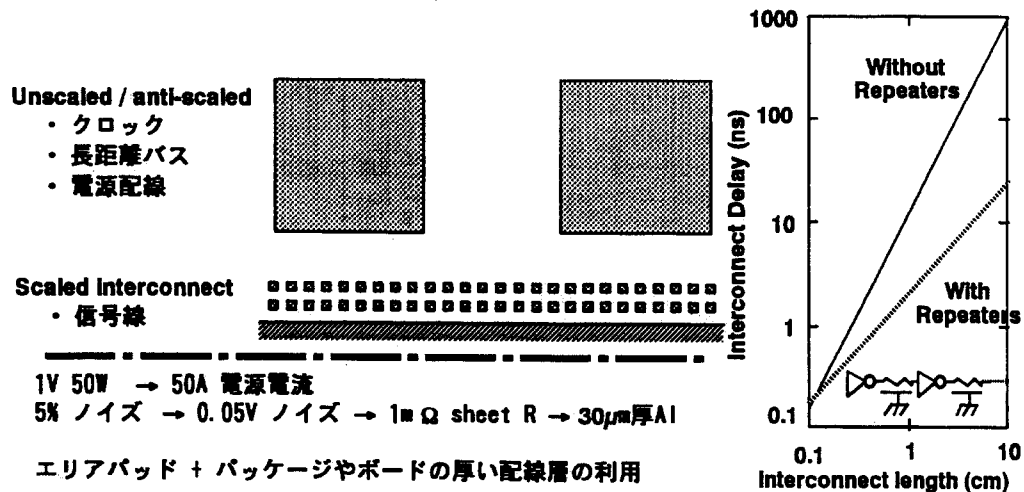


図 16 スケールされない、もしくは逆スケールされた配線層が遅延低減に有効。リピータ(バッファ)の挿入も長い配線の遅延低減に効果がある。

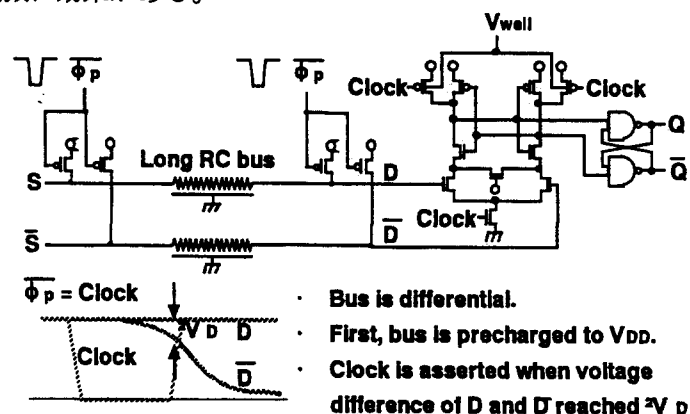


図 17 配線を低振幅駆動することによって配線遅延の低減と低消費電力化を達成できる。

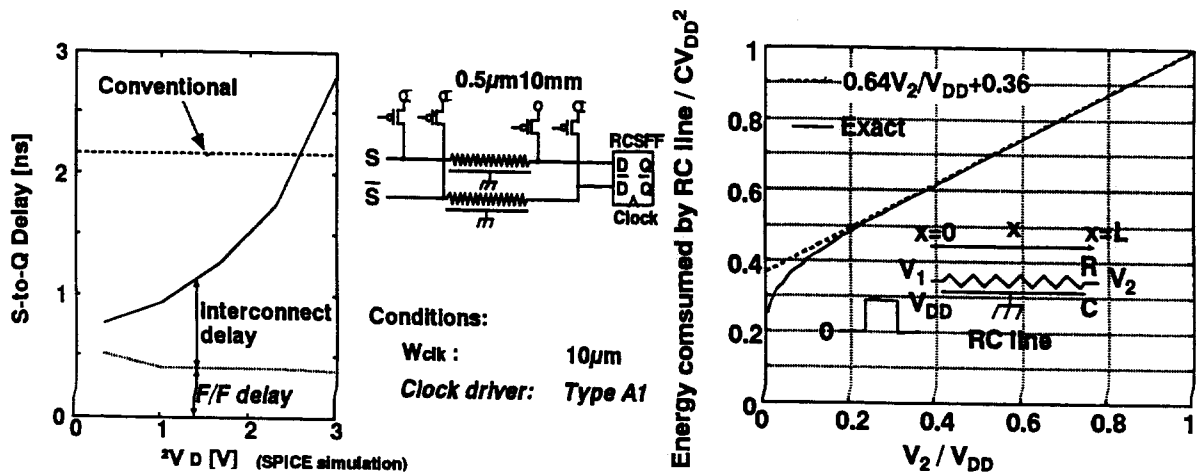


図 18 配線を低振幅駆動することによって配線遅延の低減と低消費電力化を達成できる。

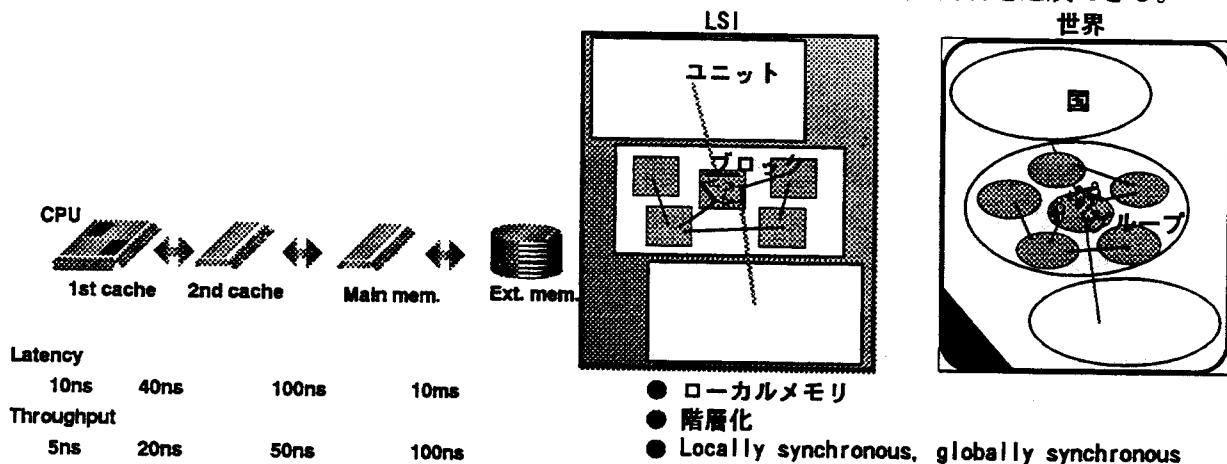


図 19 アーキテクチャ的にはローカルメモリ、階層化、locally synchronous, globally asynchronous [1, J. Rabaey]などが本質的に配線遅延の問題を回避する。

参考文献

- 1) リアライズ社、「低消費電力、高速 LSI 技術」、桜井貴康編著、1998. 1.
- 2) K. Nose and T. Sakurai, "Closed-Form Expressions for Short-Circuit Power of Short-Channel CMOS Gates and Its Scaling Characteristics," ITC-CSCC (Korea), to be published, July 1998.
- 3) H. Kawaguchi and T. Sakurai, "A Reduced Clock-Swing Flip-Flop (RCSFF) for 63% Clock Power Reduction," 1997 Symposium on VLSI Circuits Digest of Tech. Papers, pp. 97-98, June 1997 and to be published, IEEE J. of Solid-State Circuits, May 1998.
- 4) T. Sakurai, H. Kawaguchi and T. Kuroda, "Low-Power CMOS Design through VTH Control and Low-Swing Circuits," 1997 International Symp. on Low-Power Electronics and Design, pp. 1-6, Aug. 1997.
- 5) H. Kawaguchi and T. Sakurai, "Noise Expressions for Capacitance Coupled Distributed RC Lines," 1997 ACM/IEEE International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems, pp. 270-279, Dec. 1997.
- 6) H. Kawaguchi and T. Sakurai, "Delay and Noise Formulas for Capacitively Coupled Distributed RC Lines," 1998 ASPDAC, Digest of Tech. Papers, pp. 35-43, Feb. 1998.
- 7) H. Kawaguchi and K. Nose, T. Sakurai, "CMOS Scheme for 0.5V Supply Voltage with pico-Ampere Standby Current," 1998 ISSCC, Digest of Tech. Papers, pp. 192-193, Feb. 1998.
- 8) T. Sakurai, K. Tanaru, "Simple Formulas for Two- and Three-Dimensional Capacitances," IEEE Trans. on ED, ED-30, No. 2, pp. 183-185, Feb. 1983.
- 9) T. Sakurai, "Approximation of Wiring Delay in MOSFET LSI," IEEE J. Solid State Circ., SC-18, No. 4, pp. 418-425, Aug. 1983.
- 10) T. Sakurai, "Closed-Form Expressions for Interconnection Delay, Coupling and Crosstalk in VLSI's," IEEE Trans. on ED, Vol. 40, No. 1, pp. 118-124, Jan. 1993.