

2010年のVLSIを目指して

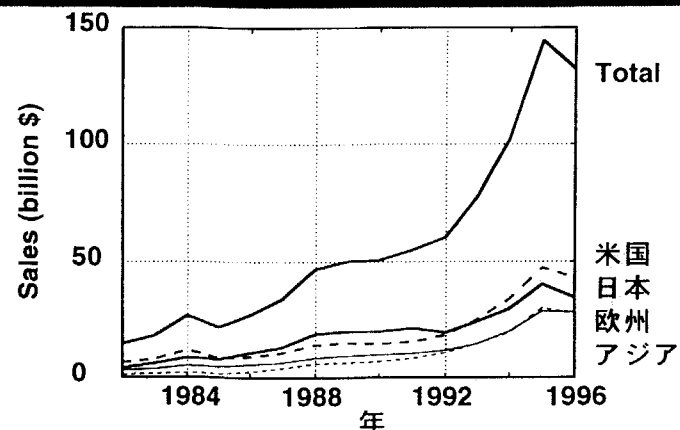
桜井 貴康

東京大学、生産技術研究所

e-mail: tsakurai@iis.u-tokyo.ac.jp

T.Sakurai

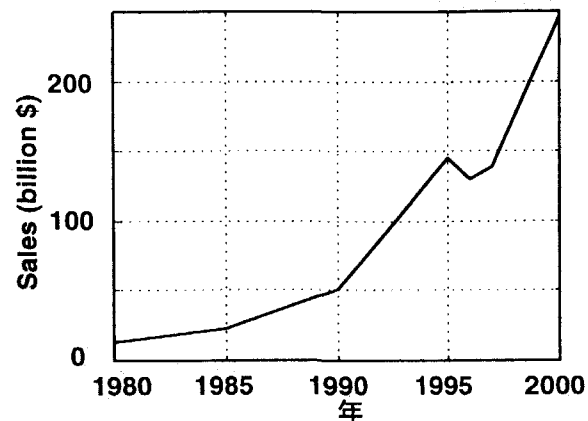
世界の地域別半導体出荷額



Semiconductor Industry Association roadmap
<http://notes.semtech.org/1997pub.htm>

T.Sakurai

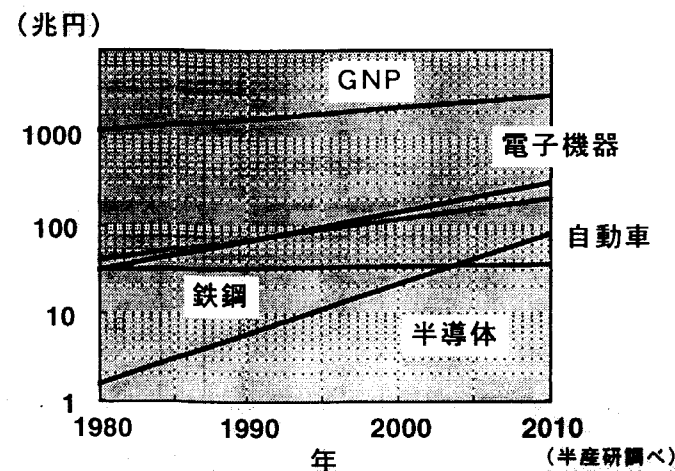
世界の半導体出荷額予想



Semiconductor Industry Association roadmap
<http://notes.semtech.org/1997pub.htm>

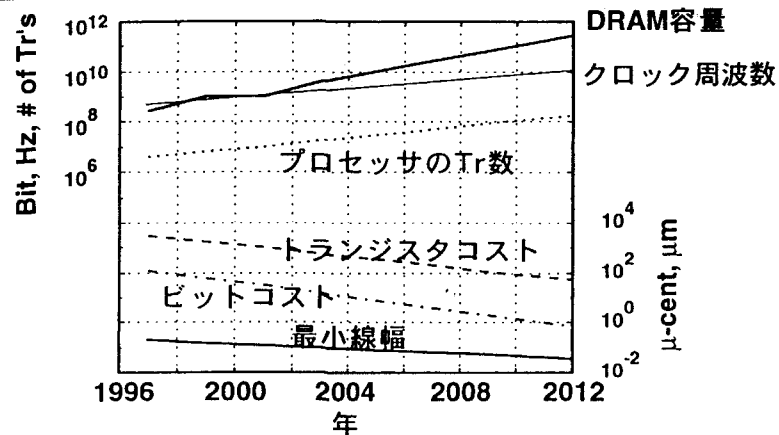
T.Sakurai

世界の半導体市場予測と他産業の比較



T.Sakurai

テクノロジートレンド



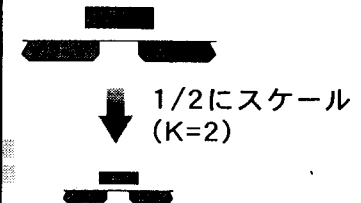
Semiconductor Industry Association roadmap
<http://notes.semtech.org/1997pub.htm>

T.Sakurai

スケール則で見る今後の問題点

Vdd scaling	1 / K	1 / K
Interconnection type	local	global
Interconnection scaling	scaled	unscaled
Vdd (V)	-1	-1
Tr. dimensions (x)	-1	-1
Transistors		
Tr. current ($I \sim \mu/x \cdot x/x \cdot VV$)	-1	-1
Tr. cap. ($C \sim \epsilon/x \cdot xx$)	-1	-1
Tr. delay ($d \sim CV/I$)	-1	-1
Tr. power ($P \sim VI \sim CVV/d$)	-2	-2
Power density ($p \sim P/A$)	0	0
# of Tr's (N)	2	2
Interconnections		
Line thickness (T)	-1	0
Width (W)	-1	0
Separation (S)	-1	0
Oxide thickness (H)	-1	0
Length (L)	-1	0
Resistance ($R_{int} \sim \rho L/W/T$)	1	0
Cap. ($C_{int} \sim \epsilon LW/H$)	-1	0
RC delay ($RC \sim R_{int}C_{int}$)	0	0
Current density ($J \sim pWL/VW$)	1	1
V noise / Vdd ($N \sim JWR_{int}/V$)	1	2

Numbers are powers of K (scale variable).



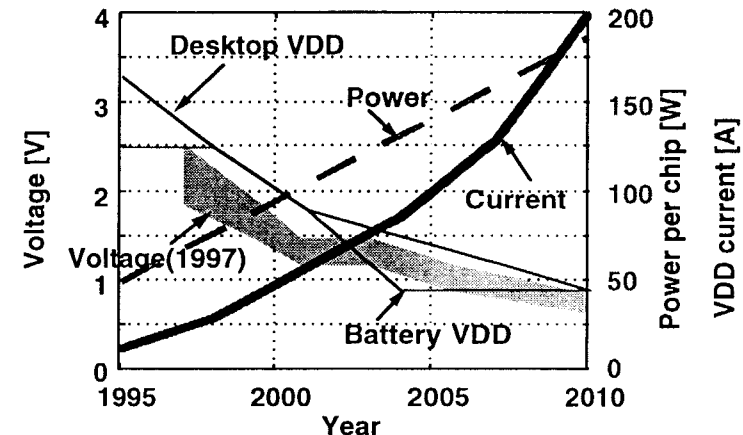
T.Sakurai

2010年のLSIに向けて

- 消費電力の危機
200WのLSI (200Aの電流!)
- 配線の危機
トランジスタより配線が速度や電力、面積を決める。
- 複雑さの危機
本当に設計やテストができるの？

T.Sakurai

電源電圧、電力、電源電流の推移



SIA 1994 estimate

Semiconductor Industry Association roadmap
<http://notes.semtech.org/1997pub.htm>

T.Sakurai

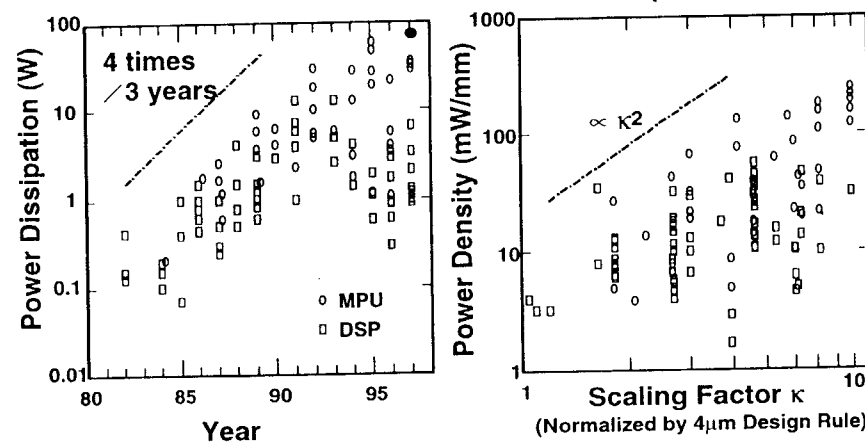
何がテクノロジーを決めてきたか

- NMOS $\rightarrow$ CMOS
Cost up
- Bipolar $\rightarrow$ CMOS
Speed down
- コストや速度ではなく、消費電力によってトレンドが決まる。

T.Sakurai

Power Dissipation for the Past 17 Years

(From ISSCC)



by T.Kuroda

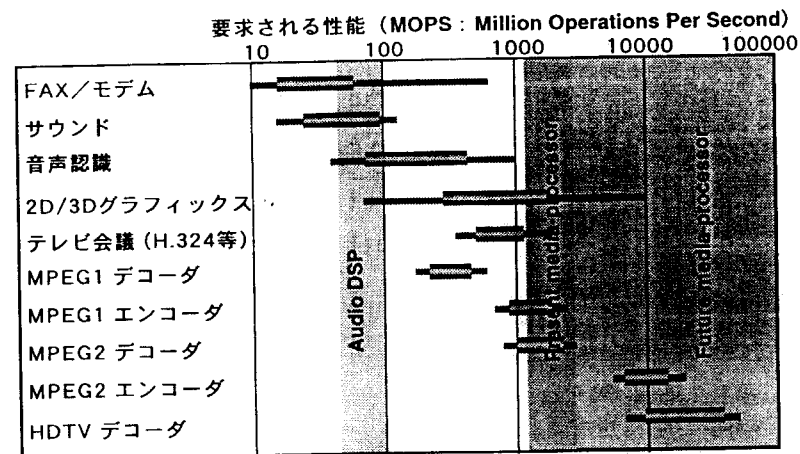
T.Sakurai

低消費電力設計の必要性

Power range	Concerns	Typical applications (All need high-perf.)
< 0.1W	• Battery life	Portable • PDA • Communications
~ 1W	• Plastic package limit • System heat (10W / box)	Consumer • Set-Top-Box • Audio-Visual
> 10W	• Ceramic package limit • IR drop of power lines	Processor • High-end MPU's • Multimedia DSP's

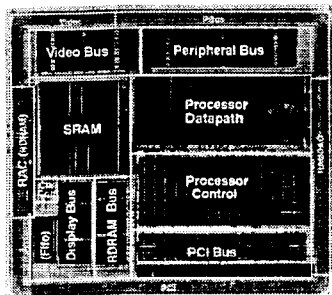
T.Sakurai

マルチメディア機能に要求される処理能力



T.Sakurai

Mpactメディアプロセッサ



Tr. count :
1.3 million

Die size :
7.5mm x 8.5mm
(@0.3μm 3Al CMOS)

Power :
3W (3.3V)

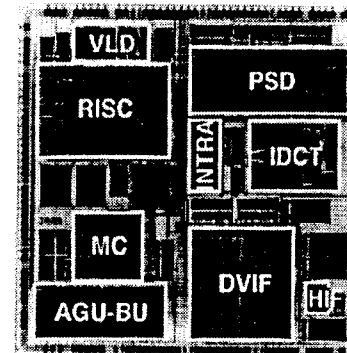
Package :
240pin QFP

T.Sakurai

An Example of MPEG2 Decoder

Features

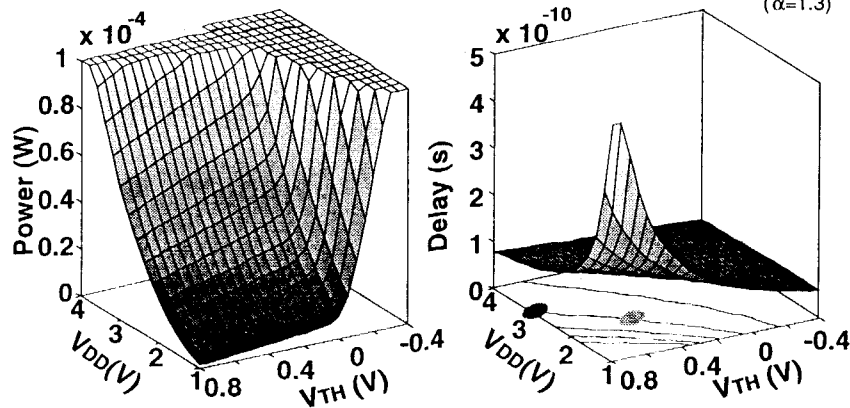
- MP@ML
- Main clock 27MHz
- Chip size 11mm x 11mm
- Tr. count 1.1M Tr.
- Process 0.4μm 2Al CMOS
- Supply voltage 3.3V (5V input)
- Power 1W
- Package 160 pin HQFP



T.Sakurai

電力と遅延の電源電圧依存性

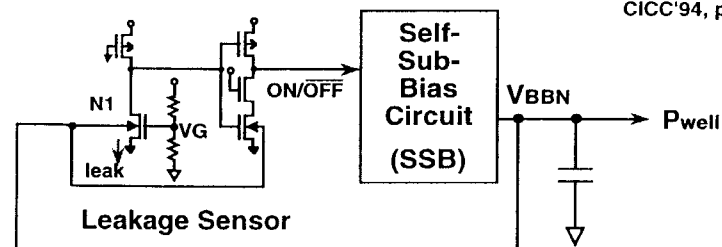
$$\text{Power : } P = p_i \cdot f_{CLK} \cdot C_L \cdot V_{DD}^2 + I_0 \cdot 10^{\frac{V_{th}}{S}} \cdot V_{DD} \quad \text{Delay} = \frac{k \cdot Q}{I} = \frac{k \cdot C_L \cdot V_{DD}}{(V_{DD} - V_{th})^\alpha} \quad (\alpha=1.3)$$



T.Sakurai

Self-Adjusting Threshold-voltage Scheme (SATS)

CICC'94, pp.271-274



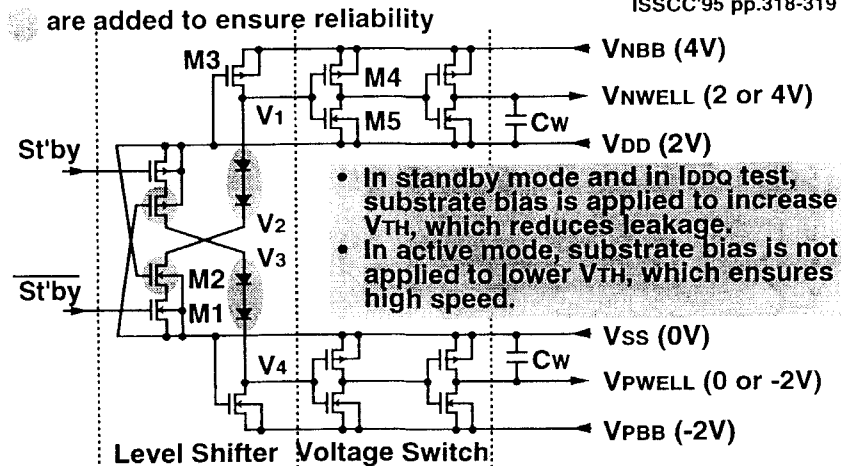
low V_{th} → large leakage → SSB ON → deep VBB → high V_{th}
high V_{th} → little leakage → SSB OFF → shallow VBB → low V_{th}

- control V_{th} to adjust leakage current
- compensate V_{th} fluctuation

T.Sakurai

Standby Power Reduction (SPR) Circuit

ISSCC'95 pp.318-319

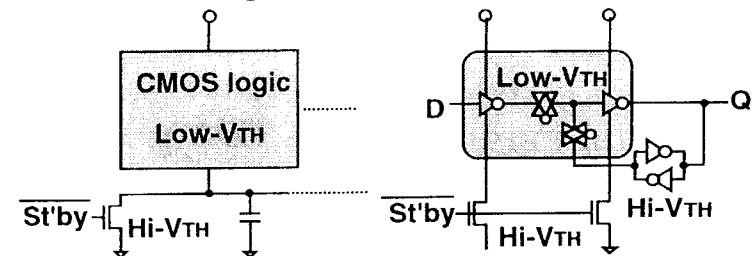


T.Sakurai

Multi-Threshold CMOS Circuit

MTCMOS logic

MTCMOS latch



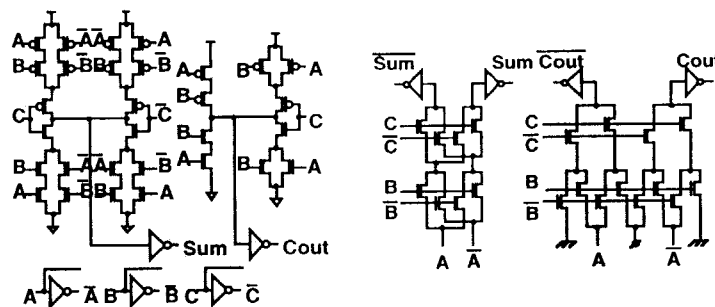
- In active mode, low- V_{TH} MOSFETs achieve high speed.
- In standby mode when St'by signal is high, high- V_{TH} MOSFETs in series to normal logic circuits cut off leakage current.

リアライズ社：低消費電力、高速LSI技術（桜井編）¥45000

T.Sakurai

CMOS Static vs. Pass-Transistor Logic

Full adder



CMOS static logic
Tr. count : 40

Pass-tr. logic
Tr. count: 28

Reduced number of transistors

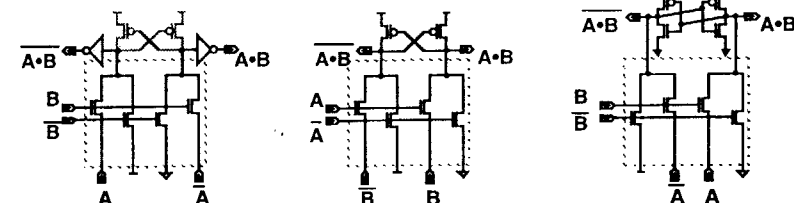
T.Sakurai

Various Pass-Transistor Logic Circuits

CPL

DCVSPG

SRPL

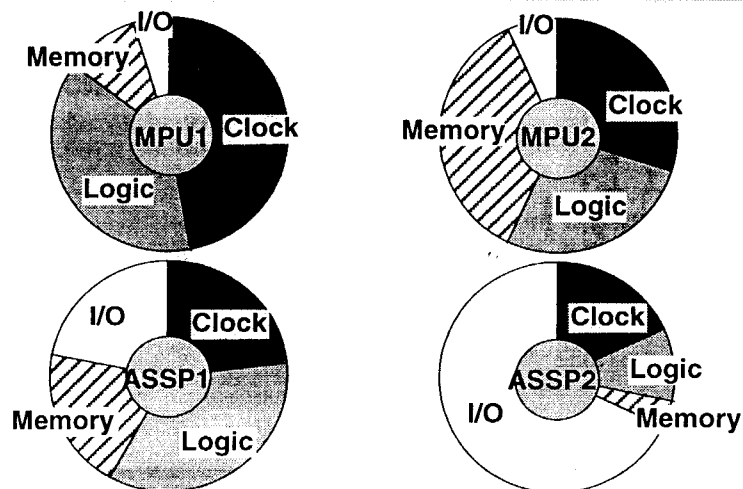


0.4 μ m device (full adder)

Items	Tr. Count	Delay (ns)	Power (mW/100MHz)	P·D (Normalized)	E·D (Normalized)
Circuit					
CMOS static	40	0.82	0.52	1.00	1.00
CPL	28	0.44	0.42	0.43	0.23
DCVSPG	24	0.53	0.30	0.37	0.24
SRPL	28	0.48	0.19	0.21	0.13

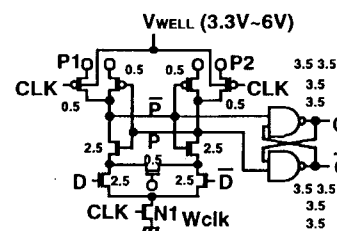
T.Sakurai

Power Distribution in CMOS LSI's

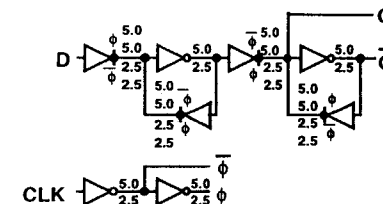


T.Sakurai

Reduced Clock Swing Flip-Flop



(a) RCSFF
Voltage swing of CLK is reduced to V_{clk} down to 1V.

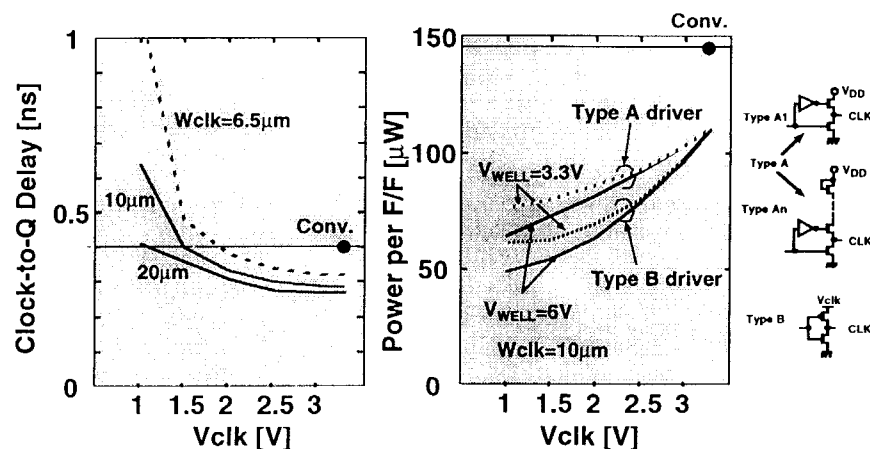


(b) Conventional F/F

H.Kawaguchi and T.Sakurai, "A Reduced Clock-Swing Flip-Flop (RCSFF) for 63% Clock Power Reduction," in Symp. on VLSI Circuits '97, June, 1997.

T.Sakurai

Delay and power comparison



T.Sakurai

低消費電力へのアプローチ

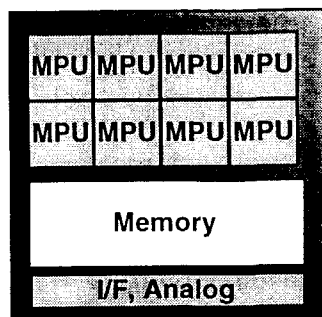
アーキテクチャーからの視点

MPEG2 Decoderの例

- MPU (PentiumII 25W@220MHz)
~25W
- DSP (Mpack + α 3W@63MHz)
~4W
- 専用エンジン
~0.7W

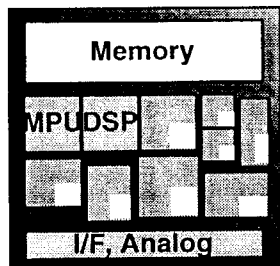
T.Sakurai

Homogeneous vs. Heterogeneous



Homogeneous Architecture

(High flexibility)



Heterogeneous Architecture

(Low-power, more efficient)



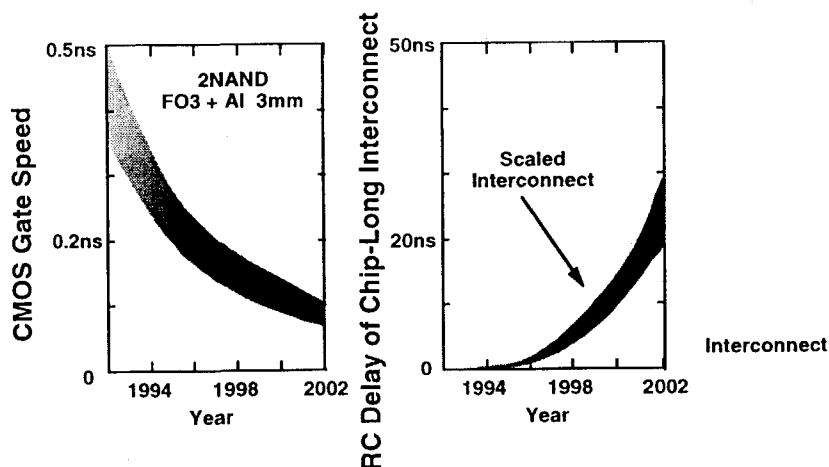
T.Sakurai

2010年のLSIに向けての設計

- 消費電力の危機
200WのLSI (200Aの電流!)
- 配線の危機
トランジスタより配線が速度や電力、面積を決める。
- 複雑さの危機
本当に設計やテストができるの？

T.Sakurai

RC delay trend



T.Sakurai

ディープサブミクロン配線での質的变化

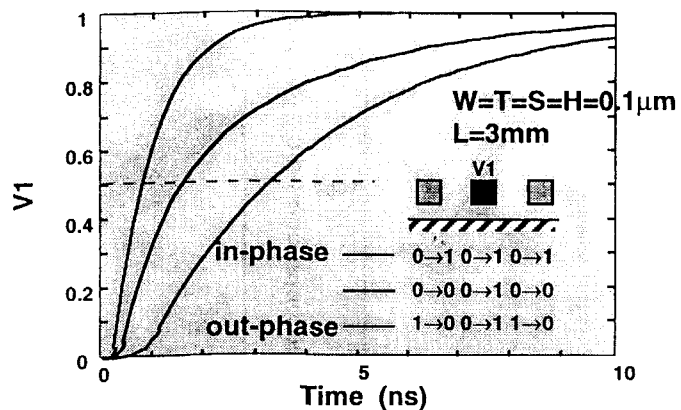
- C_{int} / C_{tr} increases
- Cross-section shape changes
- Multi-layer interconnections
(coupling cap.) / (grounding cap.) increases



- Crosstalk increases
- Waveform variation increases
- Skew in clock lines increases

T.Sakurai

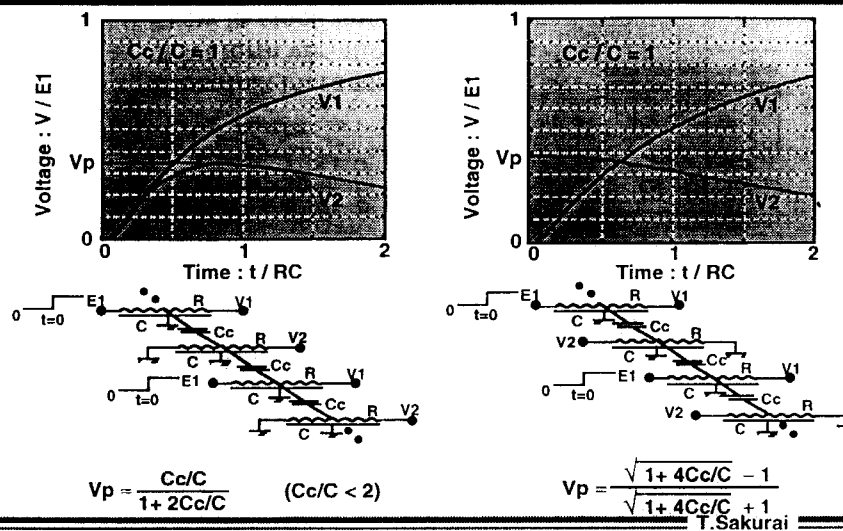
Waveform variation by coupling



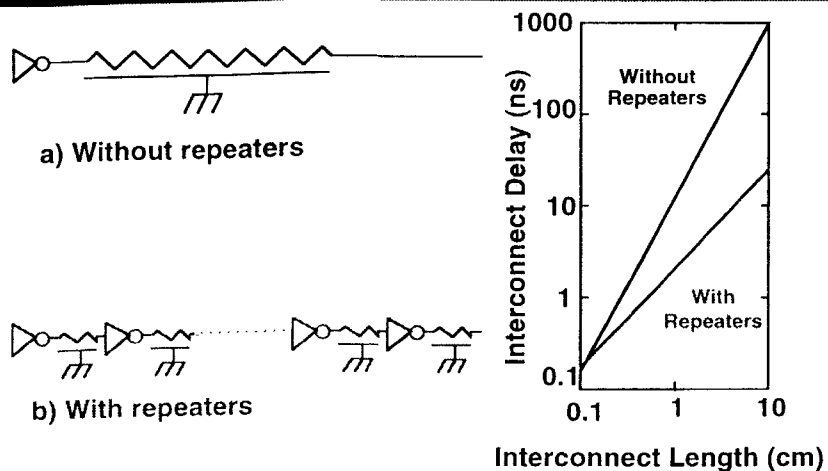
Difficulty in estimating setup / hold time violation

T.Sakurai

Coupling noise in RC bus

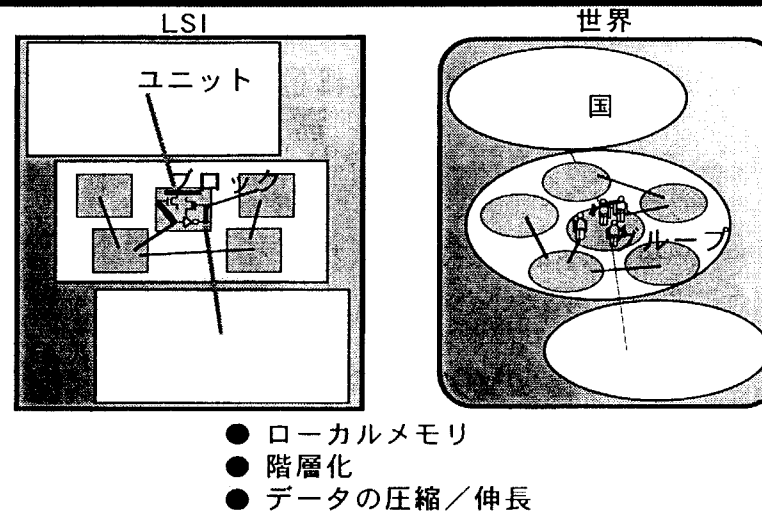


Repeaters



T.Sakurai

遠くとはあまり交信しない

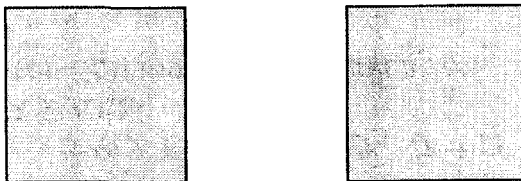


T.Sakurai

多層配線、エリアパッド

Unscaled / anti-scaled

- ・ クロック
- ・ 長距離バス
- ・ 電源配線



Scaled interconnect

- ・ 信号線



1V 50W → 50A 電源電流

5% ノイズ → 0.05V ノイズ → 1mΩ sheet R → 30μm厚Al

エリアパッド + パッケージやボードの厚い配線層の利用

T.Sakurai

2010年のLSIに向けての設計

● 消費電力の危機

200WのLSI (200Aの電流!)

● 配線の危機

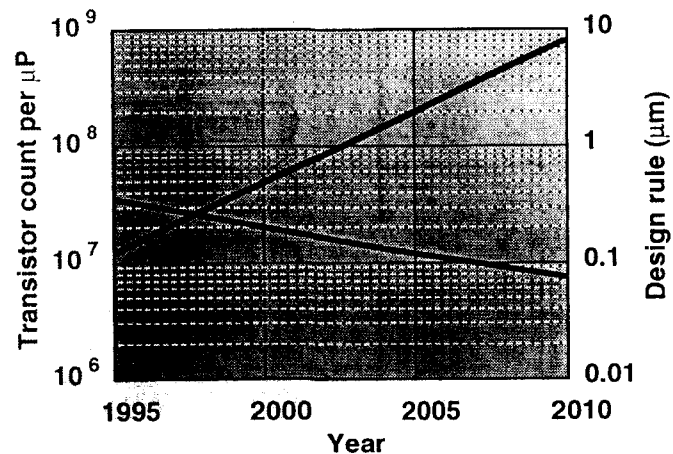
トランジスタより配線が速度や電力、面積を決める。

● 複雑さの危機

本当に設計やテストができるの?

T.Sakurai

設計の複雑さの危機



T.Sakurai

複雑さの危機の克服

● 設計の再利用や共有

VSI Virtual Socket Interface

● コンピュータを駆使した設計

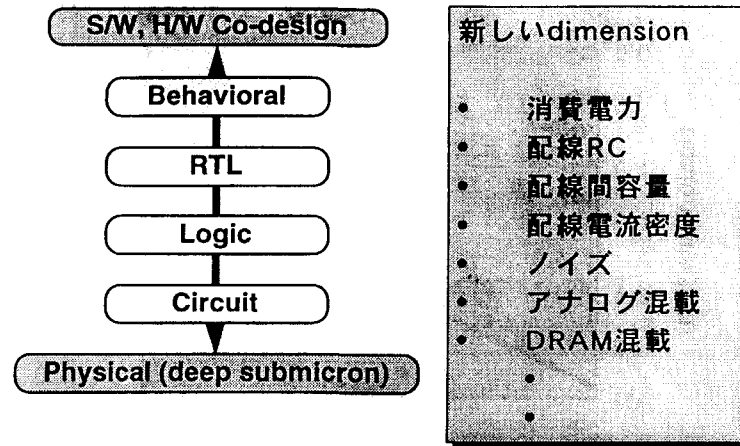
● InternetやWebを利用した設計と流通

● BIST (Built-In Self-Test)

2010年には90%の部分はBISTでカバーされる (SIA)

T.Sakurai

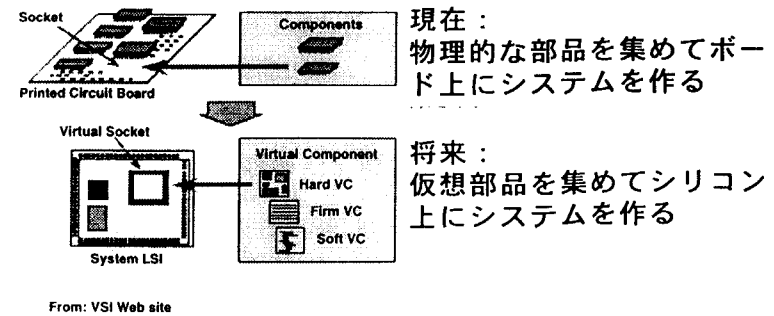
Hotな設計課題→CAD分野



T.Sakurai

VSI : Virtual Socket Interface

機能コンポーネントの再利用と共有



T.Sakurai

方向性

- メモリ → アジア
- Hi-endプロセッサ → 米国
- 日本 → プロセッサやメモリ、ロジック、アナログを搭載したシステムLSI
(民生やComputer-Consumer-Communication カスタマの近く)

T.Sakurai