

高集積システム LSI の動向と低消費電力化対応技術

Trend in highly integrated system LSI and low-power technology

桜井 貴康

Takayasu Sakurai

東京大学 国際・産学共同研究センター及び生産技術研究所

Center for Collaborative Research, and Institute of Industrial Science,

University of Tokyo

講演概要:

高集積システム LSI は4000万素子を集積するものも出現し、今後とも益々集積度が高まっていくと考えられている。高集積システム LSI の将来を展望すると、スケール則の帰結として「消費電力の危機」、「配線の危機」、「複雑さの危機」が浮かび上がってくる。中でも、消費電力を抑えることはこのようなスケール則上の問題を解決したいという要求だけでなく、携帯機器市場や新しい市場を開拓するという積極的な目的からも重要検討課題となっている。

LSI の電力は充放電電力 ($\alpha f C V_S V_{DD}$) とリーク電力と CMOS 論理回路以外の電力の和として表される。 $\alpha f C V_S V_{DD}$ という量をみて分かるように、低消費電力化には低電圧化、低信号振幅化、低キャパシタンス化、低 αf 化といったアプローチがありうる。リーク電力に関して言えば、現在はサブスレショルド電流によるリークが問題だが、今後はトンネルによるゲート・リークや Gate Induced Drain Leakage (GIDL) によるドレイン・リークも問題となる。DTMOS などの特殊デバイスでは順方向にバイアスされた接合電流リークも問題となる。CMOS 論理回路以外の電力ではアナログ部分の電力が大きい。メモリのセンスアンプなどもこれに入る。アナログ回路に対しては低電圧化があまり効果ないと言われており、アナログ処理を極力デジタルに置き換える、あるいは常時電流が流れる回路を使わずにオンオフする回路を使うことなどが低消費電力化のアプローチである。

前述の低電圧化という観点では可変 V_{DD} あるいは複数 V_{DD} を使うことが有効。可変 V_{DD} ではソフトウェア制御という考え方もでてくる。低電圧化すると速度が低下する。これを補うためにしきい値電圧を下げるのが考えられるが、これはリークの増大につながる。この種の問題には可変 V_{TH} や複数 V_{TH} といった方面から研究開発がなされている。低電圧化に関しては超低電圧論理回路や低電圧メモリなどの研究も重要である。電源電圧が 1V を切ると、回路速度が正の温度特性を持つことが知られており、現在までの常識とは異なるので注意が必要である。

低信号振幅化というアプローチはバスやクロックで有望である。また、低キャパシタンス化ということになると低誘電率絶縁や SOI といったデバイスレベルの対策から、トランジスタ・サイジング、機能当たりのトランジスタ数を減らすといった回路レベルのもの、混載メモリの使用や専用システム LSI 化して無駄を省くなどアーキテクチャレベルのもの、外部メモリへのアクセスを減らすといったソフトウェアレベルのものまで幅広い低消費電力化技術が提案されている。CMOS の低 αf 化に関してはクロック・ゲーティングや共有バスの不使用などが検討されている。

低電力化にはこれだけやっておけば良いといった決め手はない。益々増加する消費電力に、今後ともデバイス、回路、アーキテクチャのレベルからソフトウェアに至るまでの各レベルでの取り組みが必要となる。