

特集

桜井 貴康(東京大学教授 工学博士
国際・産学共同研究センター 生産技術研究所第3部)

第8回電子回路世界大会 大会基調講演 2010年のLSIと電子システム～LSIからのメッセージ～

桜井でございます。この世界大会は、実装あるいはプリント基板関係の方々に参加されていると聞いておりますが、私の専門分野は集積回路(LSI)の設計ですので、本日は、集積回路が直面しております幾つかの問題についてお話をし、集積回路だけではとても解けない多くの問題を、皆様と一緒に考える礎を作ればと思っております。

LSIは、スケール則、あるいは比例縮小則と呼ばれている法則によってだんだん小さくなってきておりますが、これに関して、大きな問題が3つ顕在化しています。

それは、電力が大きくなるという問題、配線に関連する問題、そして、電子システムそのものが複雑になって、設計およびテストが本当にできるのかという問題の3つです。これらにつきまして、それぞれの問題点の詳細と、解決へ向けてどのような取り組みが成されているか、ということをもとめてお話したいと思います。

(半導体を取り巻く環境)

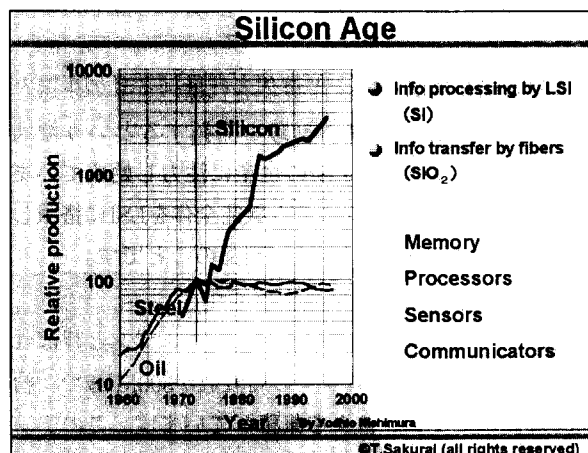
半導体を取り巻く環境について最初にお話します。1974年の世界生産量を1とすると、鉄鋼および原油生産額はほぼ飽和しているのに対して、シリコンの生産量は指数関数的に伸びており、まさにシリコンの時代に突入しているといえます。そして、半導体の市場は2000数年に、鉄鋼産業の市場規模に肩を並べるだろうという予測がなされています。

Electronic Circuits World Convention '99/9

LSI's and Electronic Systems towards the Year 2010

Prof. Takayasu Sakurai
Center for Collaborative Research, and
Institute of Industrial Science,
University of Tokyo
E-mail: tsakurai@iis.u-tokyo.ac.jp

- 1 Scaling and three crises
- 2 Power crisis
- 3 Interconnection crisis
- 4 Complexity crisis



電子工業全体の市場成長に対して半導体市場の成長速度はより急速です。これは電子システムにおいて、半導体の占めるコストあるいは付加価値が増していくということを示しているわけです。ここ4年間ほど、半導体のセールスは世界的に少し落ち込んでおります。

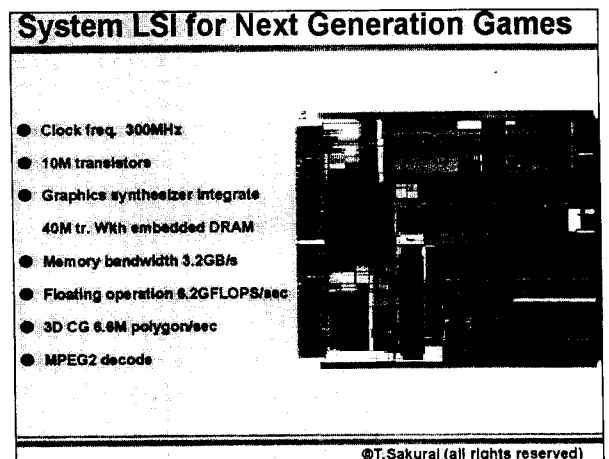
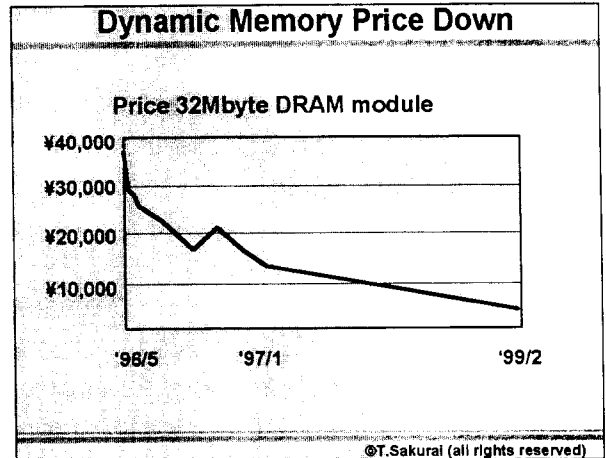
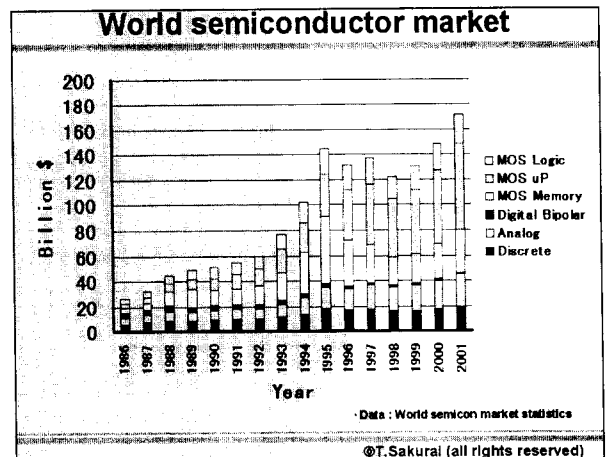
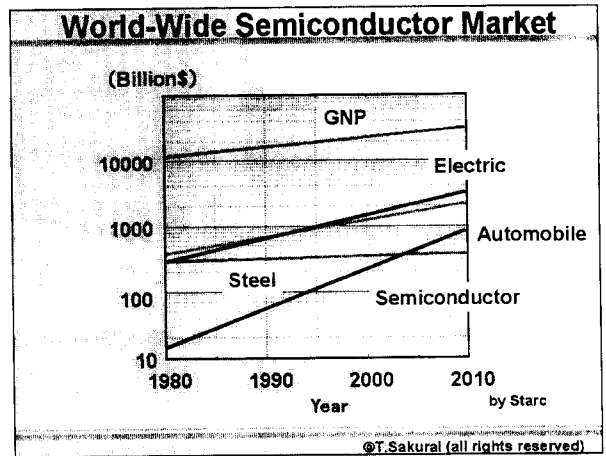
しかし、マクロに見ますと、今後とも順調な伸びが期待されています。成長する半導体市場の内訳をもう少し詳しく見てみましょう。数年前まではメモリが非常に大きな伸びを示していましたが、今後は、MOSトランジスタ論理集積回路、あるいはマイクロプロセッサの市場が非常に大きくなってくると予測されています。

こうなる原因の一つは、今まで稼ぎ頭と言われておりましたダイナミックメモリ(DRAM)の価格の急落です。半導体の場合、年に20~30%のプライスダウンは十分生産技術で吸収できますが、2年あるいは3年で、1/5あるいは1/6に価格が下がってしまえば、対応できません。

この状況を反映して、半導体各社はメモリの生産から、より付加価値の高い分野を開拓するという意図で、いわゆるシステムLSIの生産に注力し始めています。システムLSIとはシステム機能全体をLSIに搭載して、より高付加価値化したLSI製品の事です。

次世代のゲーム機用エモーションエンジンと呼ばれるシステムLSIは、クロックの周波数が300MHzで、約1000万個のトランジスタを集積しています。このチップと一緒に使われるグラフィックシンセサイザLSIはワンチップに4千万トランジスタを集積しています。今、システムLSIではこのぐらいの集積化技術まで達成されています。

動作性能に関していうと、このチップは毎秒62億回の浮動小数点の演算が可能です。これは、パソコンに使われる最高級のCPUに比べても、3倍から4倍も高い性能になります。このように専用化したシステムLSIを



半導体で作るということは、非常に無駄のない設計ができ、汎用のプロセッサよりも数倍高性能なものが実現できるという点で、大変将来性のある技術になっています。

(半導体技術の進歩)

半導体産業の歴史を技術的に見てみましょう。

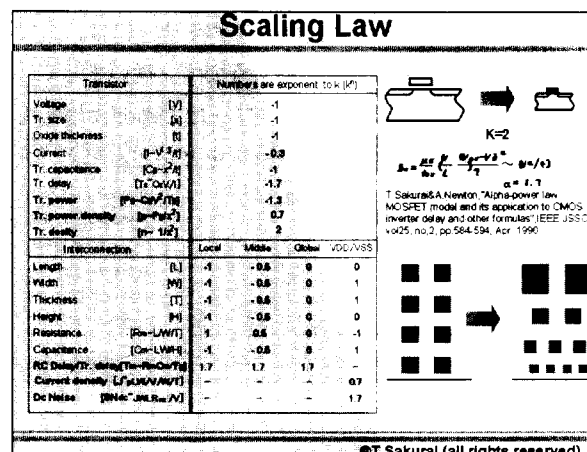
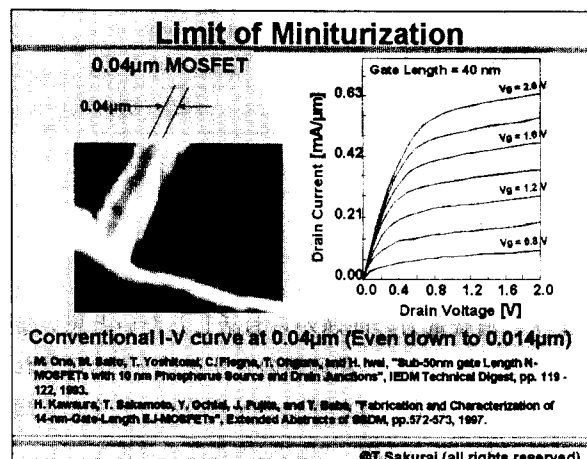
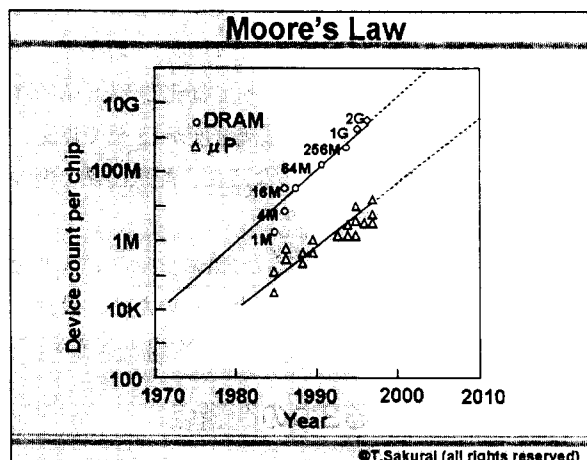
半導体産業にはムーアの法則と呼ばれる高集積化法則があります。これは、基本的に3年で4倍、あるいは1.5年で2倍の速度でワンチップ上に集積化されるトランジスタ数が増加するというものです。この傾向が、すでに30年程続いています。

集積度を高めるためには、素子そのものを小さくしなくてはなりません。小さくすると、トランジスタの速度も速くなります。さらにコストも安くなります。同じ製造工程を経ても、たくさんのチップが同時にできるのでコストが安くなるわけです。これに加えて性能も高くなるというのですから良いことづくめだったわけで、これが、ムーアの法則が30年続いてきた理由です。

今後もこの微細化、高集積化の傾向は続くと思われていますが、この傾向がどこまで続くかということ占う1つのデータがあります。そのデータは、ある国際会議で発表されたもので、小さなトランジスタがどこまで動くかというデータです。現在、微細化の最前線はゲートの幅にして0.2ミクロンですが、すでに0.04ミクロンのトランジスタが動いていることが示されています。実は最近0.014ミクロンのトランジスタもちゃんと動くことが実証されており、トランジスタをスイッチとすること自体には、まだまだ先があるといえます。現在の微細化のペースが続くことを仮定すると、これから25年から30年ぐらいの間はトランジスタをスイッチとして使える可能性があるということです。

さて、トランジスタのサイズ、すなわち縦、横、高さを半分にしたとき、使う電圧もちょうど半分にしますと、いろいろな所に掛かる電界が一定に保たれますので、素子を壊さずに、ずっと縮小していくことができます。これがスケール則です。

この法則を踏襲しますと、いろいろな量が自動的に計算できます。例えばスピードは、素子のサイズを1/2にすると約2倍速くなることが分かっています。しかし、実は悪い効果も出てくることが示されます。どこが問題になってくるか。



このまま縮小して、半分のサイズにすると消費電力が1.6 倍ずつ大きくなります。また、配線の断面積が小さくなってくると、抵抗が高くなって、信号が通りにくくなります。信号が通りにくいということは、信号を伝えるための時間が大変掛かるということです。これは、RC遅延あるいは配線遅延と呼ばれる現象で、配線遅延はトランジスタ遅延に比べて世代ごと3.6 倍で増えてしまいます。また配線の電流密度が1.8 倍で増え、ノイズは2.5 倍で増えるというように、配線関係で幾つかの問題が出てまいります。

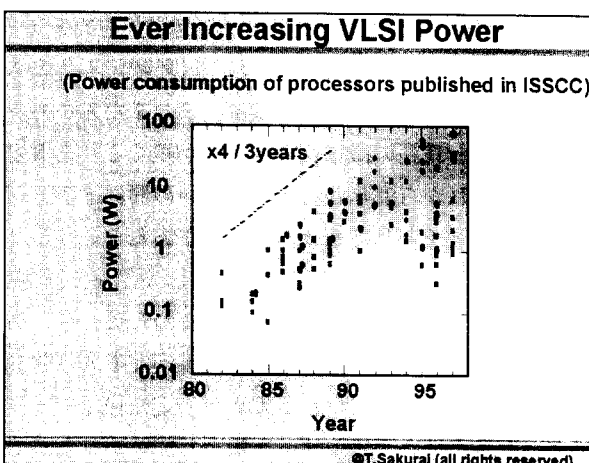
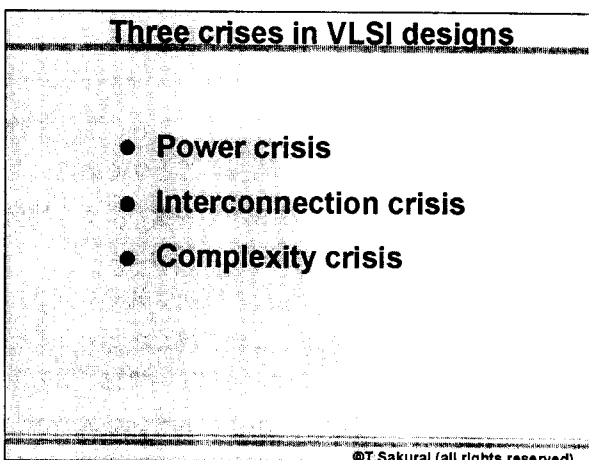
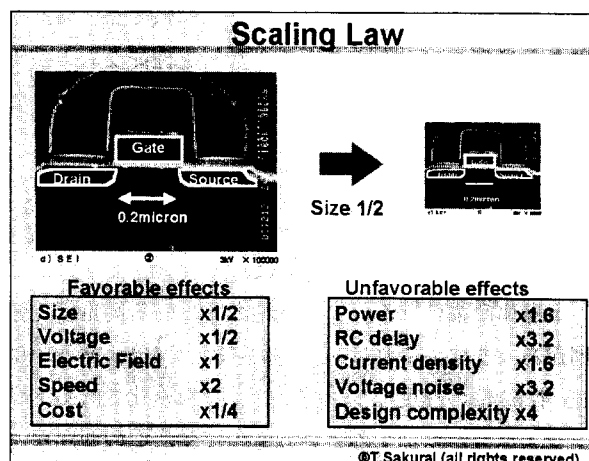
そして、サイズを1/2にすると4倍のトランジスタを設計あるいはテストしなければならないため、設計・検証の複雑さが4倍になるという問題も出てきます。

(半導体の直面する3つの問題点)

以上のように、LSIが直面している問題は、3つに大きく分類されます。1つは、消費電力が大きくなってしまいう危機。それから配線の危機、それと複雑さの危機、この3つです。

まず、消費電力の問題からお話したいと思います。ISSCCという、集積回路のオリンピックと呼ばれている学会で発表されたプロセッサのパワーを年代順にプロットしてみると、3年で4倍程度の速度でパワーが増えています。

1997年には72ワットというマイクロプロセッサが発表されましたが、最近、Webサイトを見ておりましたら、このマイクロプロセッサ・ファミリーには、すでに100ワット以上の製品があるようです。従いまして、理論上ではなくて、現実にもパワーはどんどん増えており、このままでいくと100ワットをどんどん超え、大変なことになってしまいます。



パワーは将来どんなふうになるかという予測を、半導体工業会が発表しています。それによると、2010年ごろになりますと、パワーは170 W程度のものが出るということです。それから電源電圧は現在の3.3Vか2.5V から、0.8Vから0.5VへとLSIの主要電圧が下がってまいります。パワーが170Wで、電圧が0.8Vだと仮定しますと200A以上の電流が必要になり、もっと電圧が下がれば、300A、あるいは500Aの電流が必要だということになります。

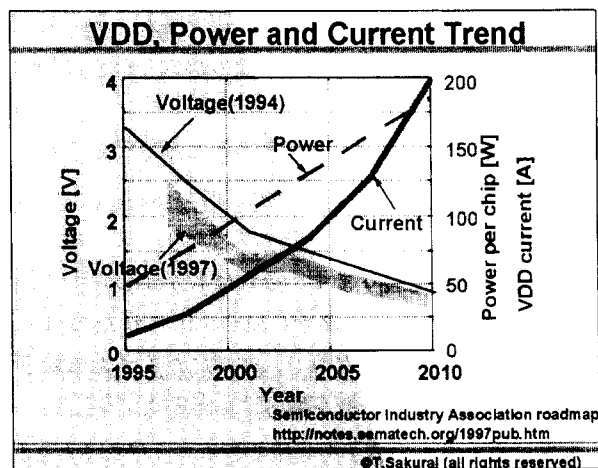
このように消費電力は熱の問題のみならず、電流の問題も引き起こします。このような大電流をLSIに運ぶということは、実装を含めてよく考えなければいけない問題で、何百Aの電流をどういうふうにチップに供給するかが大きな課題になってくると考えられます。それから、低消費電力化が大変重要になってくることがお分かり頂けると思います。

もちろん今お話ししたのは10W以上のハイエンド・プロセッサの場合です。0.5W以下の低いパワーのものは大体携帯用途に使いますが、この領域ではバッテリーの寿命を長くする目的で低消費電力化が重要です。また、1ワット程度のLSIにおいては、パッケージを少しでも安いものを使いたい、プラスチックやチップ・スケール・パッケージなど、ローコストな実装にしたいという意味から、低消費電力化が要求されています。

このように、いろいろな観点から、低消費電力化というのが大きな課題になっていることがお分かり頂けると思います。しかし、低消費電力化と言いましても、電卓や時計などとは違います。

マルチメディアの各種の処理をするために必要な計算能力はMOPSという単位で計られます。これは、毎秒100万回の演算処理能力が必要という意味です。さて、MPEG2と呼ばれるデジタルテレビの基本となる画像圧縮・伸張方式になりますと、大体2000MOPS、あるいは毎秒20億回の演算が必要で、明らかに毎秒数万回程度の時計や電卓とは大きく違っており、低消費電力といえども高速を必要とする全く新しい技術分野なのです。

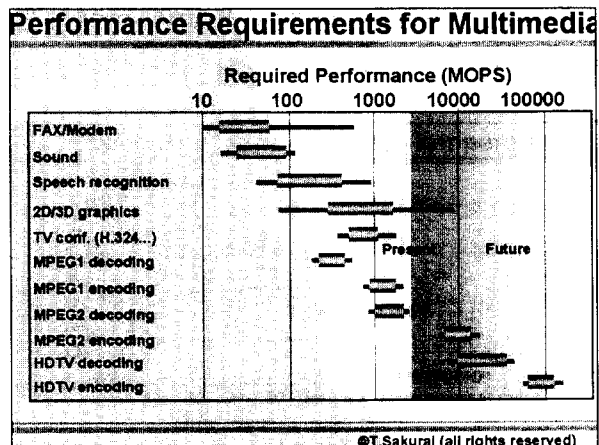
パワーという量が如何に重要かを示す実例があります。素子の技術を見る上でスピードが速いとか、コストが安いということに目が向けられがちですが、実は半導体技術の流れを決めてきたのはパワーなのです。



Necessity for Low-Power Design

Power range	Concerns	Typical applications (All need high-perf.)
< 0.1W	Battery life	Portable · PDA · Communications
~ 1W	Inexpensive package limit · System heat (10W / box)	Consumer · Set-Top-Box · Audio-Visual
> 10W	Ceramic package limit · IR drop of power lines	Processor · High-end MPU's · Multimedia DSP's

©T.Sakurai (all rights reserved)

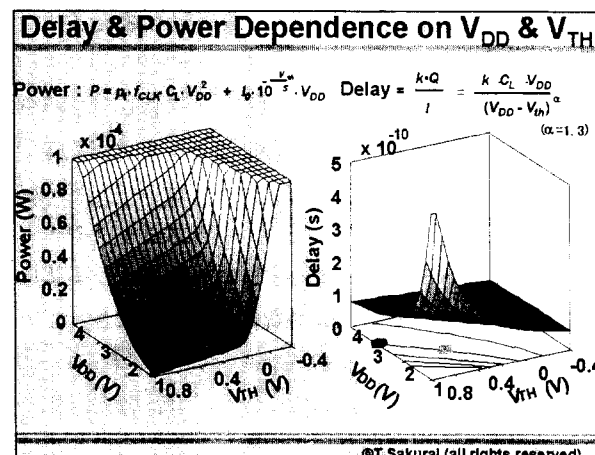
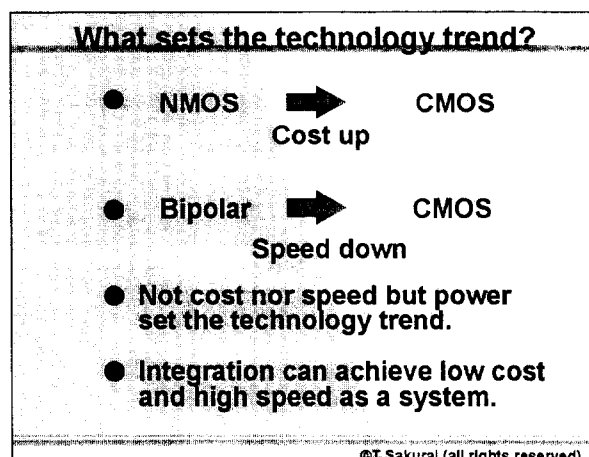


今はCMOSという回路形式が主流ですが、その前はNMOSという回路形式でした。この形式の遷移は1980年代に起こりました。バイポーラ・トランジスタから、MOSトランジスタに集積回路の基本素子が変わったのも1980年代です。これらの変化において、実は素子レベルでは製造コストがアップしたり、スピードが遅くなったりしております。それにもかかわらず、ほとんどすべての集積回路がCMOS化されたのは、CMOSがとても低消費電力で、非常にたくさんの素子を集積できるという特徴を持っていたからです。

非常にたくさんの素子を集積できるようになると、1つ1つのトランジスタはコストが高かったり、スピードが遅かったりしても、システムとしてはスピードが上がったり、コストが下がったりします。CMOSは低消費電力だったがゆえに高集積化できたということが、テクノロジートレンドを決めてきたといえます。従いまして、今後LSIがどのように進むかについて考える上で、消費電力が果たす役割が非常に大きいと考えられるわけです。

さて、消費電力は何によって決まるのでしょうか。実は、CMOS回路の消費電力は電源電圧の二乗に比例します。従って、消費電力を下げたければ、電源電圧を下げるのが効果的です。今まで5V、そして3.3Vの時代が長く続いていましたが、今後、急速に低電圧化が進み、近い将来、1ボルトを切った製品群が出てくると思われます。

つまり低電圧化が進むわけですが、実はトランジスタには、ある電圧を掛けないとオンしないという閾値電圧があります。閾値電圧以下ではオフで、閾値電圧を超えるとオンになります。この閾値電圧は、今0.6Vぐらいで、0.6V以上を掛けないとトランジスタはオンしません。しかし、そういうトランジスタを使って、どうやって0.5Vで動く回路を作れば良いのでしょうか。オンしないわけですから。



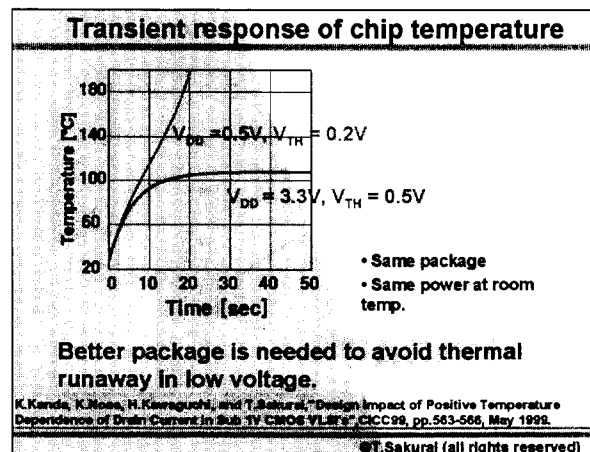
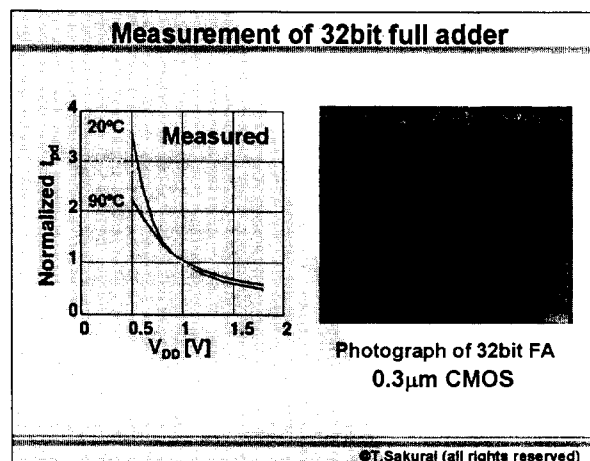
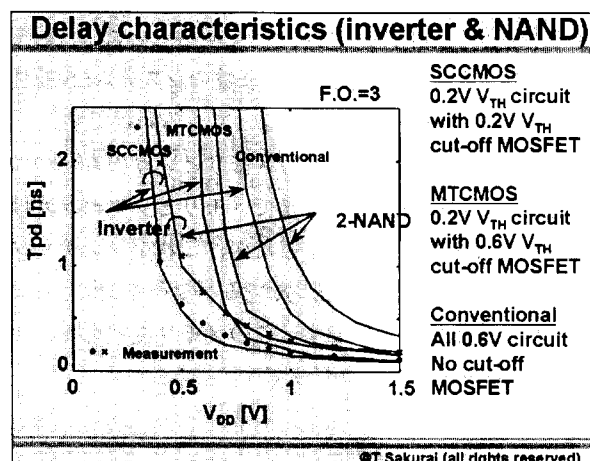
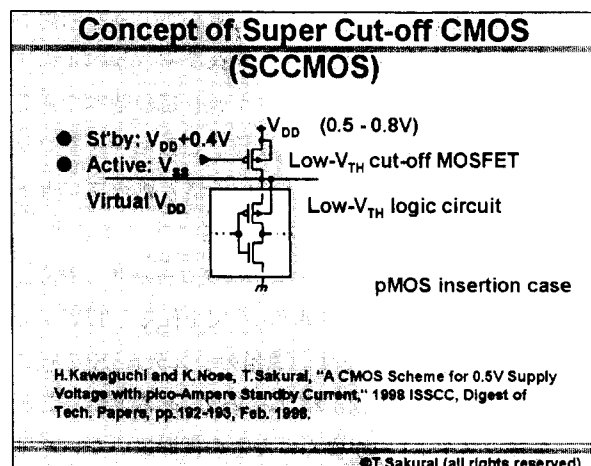
先程お話ししたISSCCという学会で発表した、わたしどもの新しい回路アイデアがあります。測定結果を見てみると電源電圧が1Vを切ってくると、従来の回路は急速に遅延を増してしまい、使い物になりません。これに対して新しい回路形式を使いますと、0.5Vでも十分動く回路が実現されております。この0.5Vぐらいの動作領域には、非常に大きなアイデア勝負の新大陸がございます。この辺でいかにアイデアを出していくかというのが、今後の差別化の決め手になっていくかと思われます。

また、どんどんチップの内部電圧は低電圧化しても、外部とのインターフェイスは低電圧でないため、LSIでは複数の電圧を使うことになるというのがトレンドになります。従いまして、LSIの中に電源電圧の変換回路が組み込まれるというようなことが1つの流れでしょう。

0.5V程度の動作領域になりますと、今までとは違うことがたくさん起きてまいります。現在では動作温度を高くしますとLSIは遅くなってしまいますが、0.5ボルトぐらいですと、温度を高くしますと速度が速くなるという、まったく逆の現象が起こります。温度を高くすると、速度が増すということになりますと、大きな電力を食います。電力を食うと、熱がまた発生して温度が高くなる。温度が高くなると、またスピードが速くなって熱を発生する。

これは、熱暴走です。従って、超低電圧では今まで以上にパッケージの選択やクーリングに気をつけないと、LSIが壊れるということになるわけです。この辺も実装とご一緒に考えていかなければいけない問題になるかと思えます。

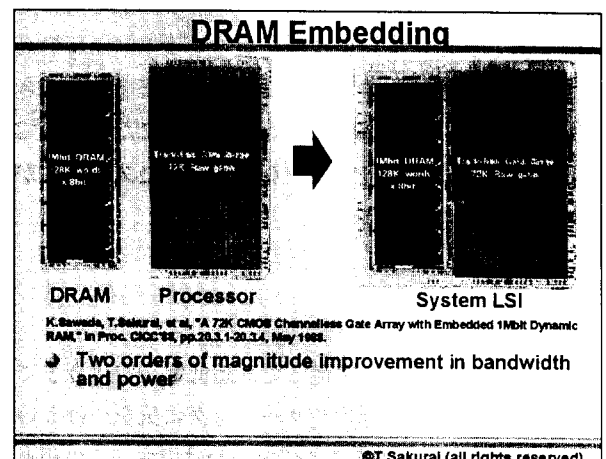
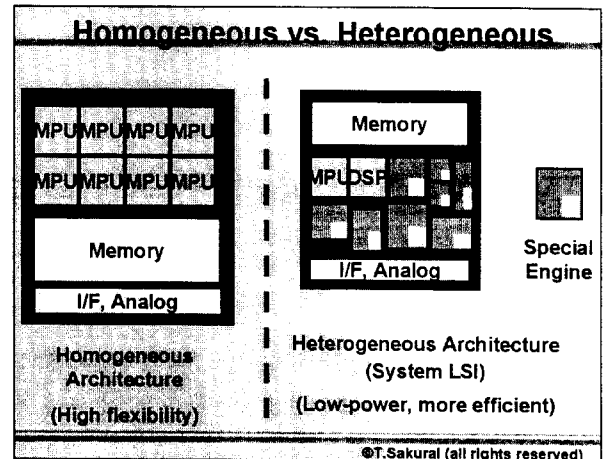
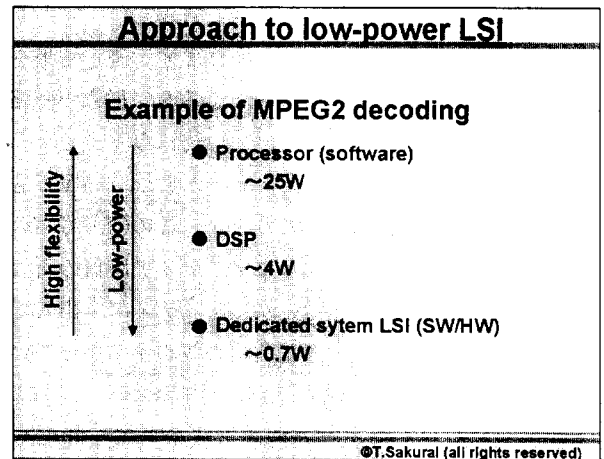
それでは、集積回路はどこまで低電圧にしても動くのかは興味があるところかと思えます。実は電源電圧0.14ボルトぐらいまで室温で動いていることが確認されております。



低消費電力化には、今までご説明したような回路レベルのアプローチの他にアーキテクチャ・レベルのアプローチがございます。デジタルテレビの基本であるMPEG2のデコードを考えましょう。これはマイクロプロセッサでも、DSPと呼ばれている信号処理プロセッサでも、あるいは専用のシステムLSIでもできます。

しかしながらパワーが、マイクロプロセッサでやると25Wかかりますが、それを専用のLSIを作ると0.7Wでできることが示されています。専用のシステムLSIを起こすことによって、2桁近くパワーを減らせるということで、今後システムLSIが盛んになるのは間違いないと思われます。つまり、究極のマイクロプロセッサが1つできて半導体の設計がすべて終わりということには決してならず、たくさんの設計者が多種のシステムLSIを作るということが時代の要請になってくるわけです。

アーキテクチャ的には混載メモリというのも一つの低消費電力化技術です。今までメモリとプロセッサは別々のチップで作っていましたが、これをワンチップ化いたしますと、入出力に要するパワーを2桁ぐらいローパワー化できるのです。このメモリ混載もシステムLSIのキー・テクノロジーです。



ソフトウェアによる低消費電力化も進んでいます。データや命令情報を外部メモリまで取りに行こうとすると、非常に大きなエネルギーが消費されることが分かっています。従いまして、チップの中にあるレジスタなどのメモリで多くの仕事をして、なるべく外部メモリに情報を取りにいかないようにするというのが低消費電力プログラミングの基本となります。

このように、作る側も、回路設計もローパワー化のために各種の努力をしていますし、アーキテクチャあるいはソフトウェア、もちろん実装を含めて、すべての分野の方々が今、協力して電力の問題を解こうとしているのです。

以上が、いわゆる電力の危機に対して、集積回路がどんなふうに取り組んでいるかというお話でした。

(配線の問題)

次に、配線の問題を少し一緒に考えたいと思います。

現在のLSIの配線は、昔の配線と比べると、大変きれいな配線になっております。1985年ごろの配線と、現在の配線を比べて見ると、昔の配線というのは非常に起伏があり、これで5層、6層重ねますと、うまくいかないというのは目に見えております。最近はいろんな技術により、大変きれいなものができるようになりました。

配線の総数を見ても、現在の5、6層程度から、いずれ8層、9層のLSIができてくると予想されています。LSIを作る際のプロセス工程数も配線工程が支配的になり、トランジスタを作るのは大した工程数ではないということになってきます。従って、LSIのコストが配線で決まる時代になります。

遅延に関しても配線の遅延の割合がどんどん増してきます。これに対して、いろいろな対策が考えられています。アルミニウムの配線から、銅の配線に切り換えるということもその一つです。絶縁膜は今、二酸化シリコンつまりガラスを使っていますが、これに添

Energy of various operation	
Integration (system LSI) is the key to low-power	
Operation	Energy/Op (pJ)
Add	7
3-2 Add	2
Multiply	40
Latch	1.8
Internal read	36
Internal write	71
I/O	80
External memory	16000

S.M.Gordon, E. Tolan, T. Meng, "Design of a Low Power Video Decompression Chip Set for Portable Applications," J. of VLSI Signal Processing Systems 13, pp.125-142, 1996

©T.Sakurai (all rights reserved)

Good reference for low-power design

Realize Publishing

"Low-power High-speed LSI Circuits and Technology"

Phone: +81-3-3815-8511

Fax: +81-3-3815-8529

¥56,000

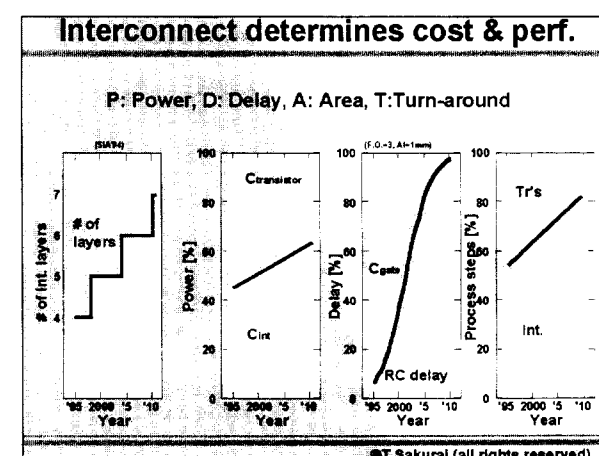
©T.Sakurai (all rights reserved)

Advances in interconnection technology




Interconnection in 1985 Interconnection in 1998

©T.Sakurai (all rights reserved)



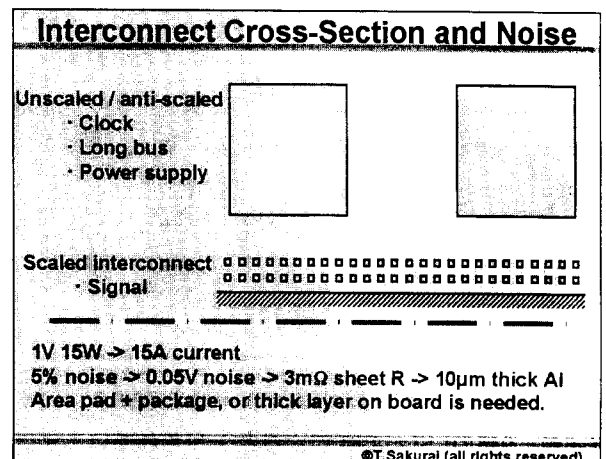
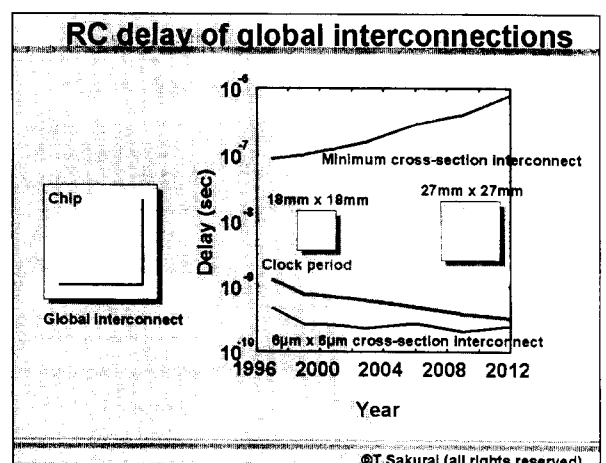
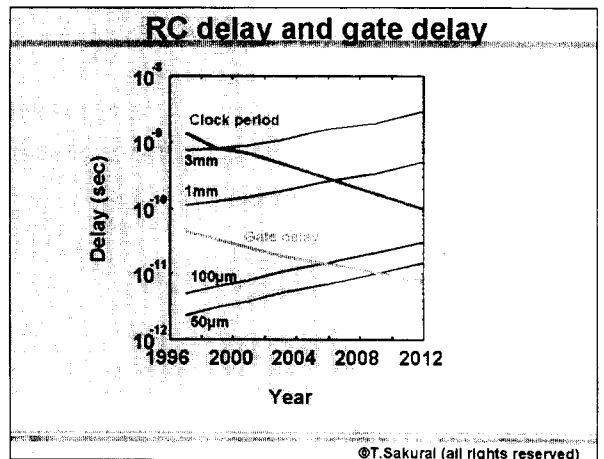
加物を加えますと、誘電率が下がってLSIが速くなるといふ現象があり、盛んに追求されています。

そういう各種の配線遅延の低減化の取組みが全部うまくいったと仮定しましょう。それでも2010年ごろには50ミクロンぐらいの配線遅延が、ゲートの遅延と同じぐらいの遅延になってしまいます。また、3ミリも配線を伸ばせば、とても信号を1クロックの間に伝送できないということになってまいります。

チップの端から端まで行くような配線を考えましょう。チップがだんだん巨大化することを考慮し、クロックサイクルが短縮されることも考えに入れます。このような長い配線に最も微細化された配線を使いますと、100 サイクルとか1000サイクル掛けないと、チップの端から端まで信号を送れないという事態になります。

そこで、6×6ミクロンという断面サイズを持った配線を考えます。このようなLSIにとっては巨大な配線ですが、こうすると初めて1クロック内にチップの端から端まで信号を送れることになります。

この6×6ミクロンというのは、半導体の製造工程とはなじみがよくないので、今後、半導体だけでこういう問題をすべて解決するのは経済的でないでしょう。チップの端から端まで信号を渡したい場合、パッケージ上、あるいはボード上の厚い配線を使い、集積回路とパッケージあるいはプリントボードが一緒になって解決しないとイケません。



従いまして、これからは、LSIのみならず、パッケージおよびプリント基板を一緒に設計するというco-designが重要な課題になってくると思われます。配線遅延の問題を解くため以外に、何百アンペアの電流を供給しなければいけないことを考えても、非常に厚い配線層が必要で、LSI、パッケージ、ボードのco-designが重要となります。

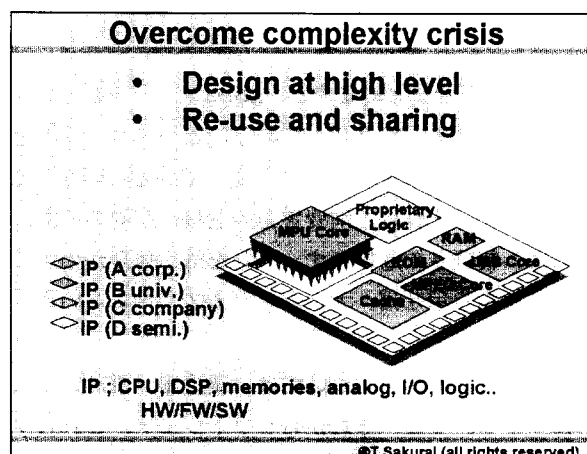
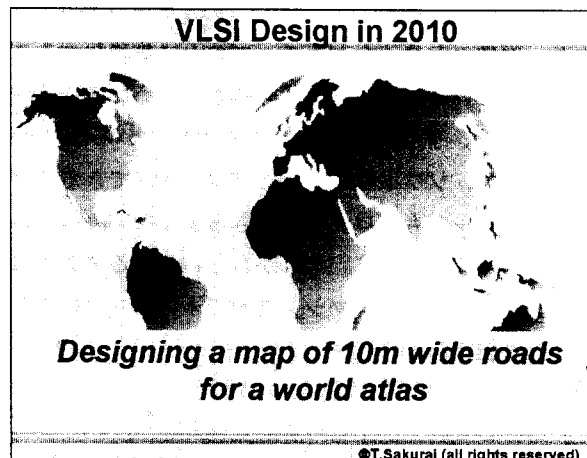
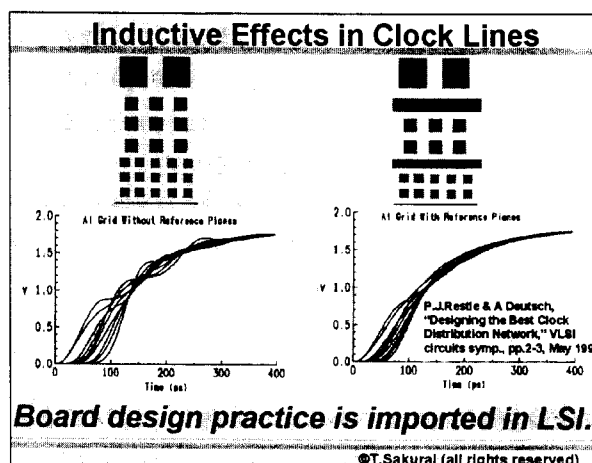
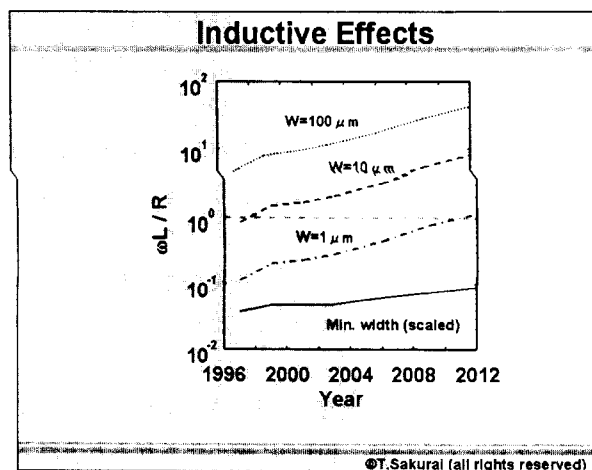
高速LSIの配線ではLSIの内部配線でも新しくインダクタンスの影響がでます。このような影響が出てくると信号波形が乱れます。この乱れを小さくするためには、電源プレーンを信号線2層おきにはさんでいく試みが始まっています。これはプリント基板では常識だったわけで、こういう回路設計技術が、今度はLSIのほうに移入し、応用される時代に入ってきたと言えます。

(2010年の半導体設計)

最後に、2010年の半導体設計を考えてみます。このころの設計の複雑さは世界の大陸に10メートルのデザインルールで道路を敷きつめろ、と同じぐらいの複雑さになります。従いまして、とても今までのように人手で、一から積み上げていく方式では設計、テストできないということになります。

これを克服する手だての決め手と目されておりますのが、設計を共有する、あるいは再利用することです。今までは、例えばA社のLSIの中には、A社のデザインのものしか入ってなかったわけですが、今後ある意味でシリコンがプリント基板のようになり、いろいろな会社が持ち寄ったLSIの設計を、シリコンチップの上に寄せ集めて、LSIを作っていくことになるわけです。

これは、既にプリント配線板ではやられているわけですが、LSIの上でもこういうことが達成されるでしょう。そうしますと、デザインを売る会社、つまりintel-



lectual property供給会社(IPプロバイダー)がたくさん出てきて、これが現在の部品供給会社のようになって、LSIメーカは、現在ボードを組み立てて売る会社のようになるわけです。もちろんこのようなLSIが今度はボードの上で複数つながれて、より大きな電子システムを作っていくということになるわけです。

今までいろいろな観点からLSIを見てきました。これらを考え合わせて2010年にはどんなLSIになっているのでしょうか。

デザインルールは、現在の0.18ミクロンが、2012年に0.05ミクロンぐらいに、約1/3に縮小化されると予想されています。それからワンチップで使えるトランジスタ数は、今の70倍ぐらいになります。パワーは2倍ぐらいでとどまってくれないと困ります。電源電圧は今の1/3ぐらいになるでしょう。しかし電流は今の7倍になりますから、実装面で大きな問題になると思います。

クロックの速さは今の8倍と、非常に高速化されると期待されています。そのとき、チップ内部は10ギガヘルツのクロックが使われると予想されています。ボードにはさすがに10ギガヘルツは出せませんので、1.5ギガヘルツぐらいで使われるでしょう。パッケージのピン数は2700本ぐらいのものが使われるだろうということになります。

こんな技術を使ったLSIの2012年のイメージと言いますと、画像センサーなどもチップの上に集積化することができているでしょう。信号処理のためにメモリやプロセッサ、アナログブロックなどいろいろなIPが入っていて、ソフトウェアでもプログラムできるし、ゲートレベルでもプログラムできるようなメカニズムも入ってくるでしょう。それから、いわゆるアクチュエータなどもマイクロマシンなどでオンチップになることは可能でしょう。

(まとめ)

今までの話をまとめますと、LSIはスケール則という大きな原理によって進化しており、このスケール則を検討しますと、3つの危機が差し迫っているということになります。それは、消費電力の危機、配線の危機、そして、複雑さの危機です。これを解く何らかのアイデアを指し示せば、大きなビジネスになるということになります。

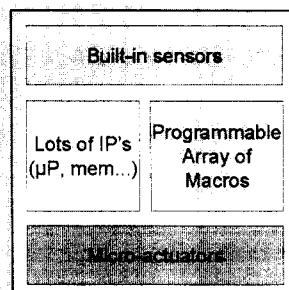
まずパワーの問題については、製造側、設計、システムサイド、実装、それからソフトウェア、これら

LSI in 2012

Year	Unit	1999	2012	Factor
Design rule	μm	0.18	0.05	0.3
Tr. Density	/cm ²	6.2M	180M	30
Chip size	mm ²	340	750	2.2
Tr. Count per chip (μP)		20M	1.4G	70
DRAM capacity		1G	256G	256
Local clock on a chip	Hz	1.2G	10G	8
Global clock on a chip	Hz	1.2G	3G	2.5
Power	W	90	175	1.9
Supply voltage	V	1.8	0.5	0.3
Current	A	50	350	7
Interconnection levels		6	9	1.5
Mask count		22	28	1.3
Cost / tr. (packaged)	μcents	1735	50	0.03
Cost / chip (packaged)	\$	350	700	2.0
Chip to board clock	Hz	500M	1.5G	3.0
# of package pins		810	2700	3.3
Package cost	cents/pin	1.25	0.85	0.5
Package cost	\$	10	18	1.8

©T.Sakurai (all rights reserved)

Chip in 2012



- Sensors/actuators on chip
- 0.05 μm 1.4G Si FET's with V_{TH} & V_{DD} control
- Locally synchronous 10GHz clock, globally asynchronous

©T.Sakurai (all rights reserved)

Summary

- The scaling law indicates that LSI will face power, interconnection and complexity crises.
- Power crisis should be solved by cooperation with device, assembly, system, and software engineers
- Some of the interconnection issues are to be solved by chip / package / board co-design.
- Complexity crisis is to be solved by design reuse and sharing, which was a long lasting practice for the system on board.

©T.Sakurai (all rights reserved)

べての人がかかって、これを解いていく状況になるでしょう。

配線の問題に関しては、チップとパッケージとボードのco-designが大きなテーマになってくると思われます。

複雑さの危機に対しては、デザインの共用と再利用というのが大きなキャッチフレーズです。これは既にプリント配線板技術の上で成されていたことですので、この技術を再学習するようになってきていると考えられます。

今後、LSIと電子システムと実装というのは、電子産業を支えていくわけですが、それぞれが協力しないと、電子回路の前に立ちはだかる大きな問題を解決できません。お互いの産業界の交流を通じて、より良い電子システムを組み上げていくというのが今後の課題になってくると思います。

ご清聴、どうもありがとうございました。

(この講演内容は、大会当日の講演を録音し、それをまとめたものです。尚、図表については、当日使用したOHPをそのまま掲載しています。)