

高集積化と混載技術を基盤とする システムLSI

いかに短期間に設計するかが課題に

システムLSI中心のビジネスモデルに移行してきた。

システムLSIが今後の電子システムのキーコンポーネントになるからである。

そこでは、「何を作るか」が大きな課題となる。

しかし、依然として「いかに作るか」「短期間にいかに設計するか」がシステムLSIの成功の鍵である。

システムLSIは高集積化と混載技術を基礎とする。高集積にともなう微細化は、消費電力の危機・配線の危機・複雑さの危機を生む。

また、メモリ、ロジック、アナログといった異種回路をワンチップ上に混載することによって、たとえば回路間のノイズの影響が新たに生じる。

ここに、EDA(Electronic Design Automation)の重要性がある。

システムLSI中心の ビジネスモデルに移行

DRAMの価格低迷などを背景に、日本の半導体メーカーはシステムLSI中心のビジネスモデルに移行してきている。システムLSIとはシステムそのものをワンチップ化したLSIで、現在では16MビットのDRAMとプロセッサ、各種インタフェースをワンチップ化したLSIなどが発表されて

いる¹⁾。

さて、システムLSIの大きな問題は「何を作るか」だが、「いかに作るか」も依然大きな課題である。とくに、システムLSIを「いかに設計するか」はシステムLSI成功の鍵である。なぜなら、最近では億単位のトランジスタをワンチップに集積化できるようになり、一方でムービングターゲットを追いかける市場から、より短工期が求められるようになってきて、設計は多くの要求を同時に満たさなければならな

い高度な工程となってきたからである。

本稿では、今後のシステムLSI設計の技術的課題と、それを解決する一助となるEDA(Electronic Design Automation)環境について述べる。

高集積化技術と混載技術

技術的に見るとシステムLSIは2つの基礎技術によって成り立つ。1つは高集積化技術、他の1つは混載技術である。

高集積化技術というのは、システムLSIでなくても集積回路の進化の方向として当然必要なものではある。しかし、システムLSIではシステムそのものといった複雑な機能を実現するため、高集積化技術は必須になる。この高集積度は微細化から生まれる。現在、 $0.25\mu\text{m}$ あるいは $0.18\mu\text{m}$ プロセス技術が先端的な微細化技術である。このあたりのデザインルールになるとディープサブミクロン設計のいくつかの新しい問題が顕在化してくる。EDA環境はこれらの問題に対応する必要がでてきた。

また、取り扱うトランジスタ数が億単位になることで、設計および評価が極端に複雑になった。SIA(米国半導体産業会)のロードマップ(<http://notes.sematech.org/97melec.htm>)によれば今後とも年率約60%で伸びる集積度に対して、設計者1人当りの生産性向上は年率20%程度であり、システムLSIの「設計の危機」は深刻さを増すばかりである。新しいアプローチが必須になる理由がここにある。

一方、混載技術はDRAMやEEPROM、アナログ、高電圧回路、および従来のロジックなど、これまでボード(基板)上に載っていた各種チップをワンチップ化するのに必要である。特に、混載DRAMはシステムLSIに新しいディメンションを付加するものとして注目されている。

高集積化技術の3つの課題 ——配線・消費電力・複雑さ

高集積化は高性能、低コストが達成されるといった好ましい効果のため、集積回路が産声をあげてから一貫して追求されてきた。しかし、微細化の指導原理であるスケール則をひも解くと、高集積化

には悪い効果もあることがわかる。

デバイスや配線のサイズを1/2に縮小すると消費電力は1.6倍、配線遅延は3.6倍、配線電流密度は1.8倍、配線の電圧相対ノイズは2.5倍、設計の複雑さは4倍になる。これから、3つの危機が認識される。

1つは「消費電力の危機」で、SIAのロードマップでは10年後には150W級のチップが登場すると予測されている。

2つ目は「配線の危機」で、配線遅延の増大や配線電流密度の増大に伴う配線信頼性の低下、多層化する配線のコスト増、配線間カップリングの増大、配線ノイズの増大など、トランジスタ中心のLSI像が配線中心のLSI像にパラダイムシフトしてきている。

3つ目は扱うトランジスタ数が増大することからくる「複雑さの危機」である。

今後とも一層の高集積化を達成するためには、以上の3つの問題の克服が重要課題であり、EDAツールはこれらの問題の解決に大きな力を発揮するのというまでもない。

米国ではMARCOプロジェクト(<http://marco.fcrp.org/index.htm>)が始動した。テーマは2つ。配線と設計/評価である。上述の「配線の危機」と「複雑さの危機」に対応する。それぞれのテーマに年間1000万ドルを注入し、10年を見通して大学中心でこれらの問題の解決に取り組む。2年に2つずつテーマを増やして行く。MARCOでは複数の大学が協調して一つの課題に取り組むという米国では珍しい形態をとり、意欲的で気合が入っている。

低消費電力化をEDA技術で実現

CMOSゲートの消費電力は充放電成分($a \cdot f \cdot C \cdot V^2$)とサブスレシヨルドリーク

成分との和である²⁾。aは活性化率、fは周波数、Cは負荷容量、Vは電源電圧である。

電源電圧は2乗で効くので、消費電力を押さえるためには、低電圧化が有効である。しかし、低電圧化はそのままでは遅延の増大につながる。そのため、MOSFETが活性化するときのしきい電圧を低くすることが常套手段になるが、一方ではサブスレシヨルドリーク成分を増大させる。

このジレンマに対処するため、しきい値電圧を多種類用意したり、しきい値電圧を可変にしたりする工夫が現れている。このような工夫は現行のEDA環境、とくに配置配線環境の中で実現できるため、すでに大規模なLSIにも適用され一部実用に供されている。ただ、将来は高いしきい値電圧のトランジスタサイズをどの程度にするかや時間的、空間的なしきい値電圧の最適化など新しいツールの余地がある。

一方、必要な時と部分に応じて低電圧を与えるというアプローチも上述の遅延と低電圧化のジレンマを解消する一手段である。仕事量の少ない場合は周波数と電源電圧を下げたり、遅くてよい部分には低電圧を与えたりする。ここでも多電源方式と可変電源方式がある。このような適応型電源電圧方式の実用化のためオンチップのDC-DCコンバータの開発や新しいCADツールの整備が進んでいる。

少し前まで、LSIの設計の良し悪しは遅延D(Delay)と面積A(Area)によって測られてきた。しかし、最近では消費電力P(Power)がこれに加わった。場合によっては工期T(Turn-Around Time)もこれに加わる。

(p.130へ続く)