大規模LSI

故障個所簡単に診断

大東 テストの限界突破へ

待機時電流の検出回路開発

東京大学の桜井貴康教授らは、大規模LSIの故障個所を簡単に診断できる内蔵型マイクロ待機時電流（IDDQ）テスト回路を開発した。設計ミスなどで電源線に微小な待機時電流が流れた時に発生する磁界を利用する。磁界を検出するローレンツカMOS（LMOS）を開発、これをLSI内に配置し、5ピン増やすだけで診断できる回路を構成した。LSIの大規模化につれて、複雑さを増してテストに限界が訪れる問題を克服する新技術と注目される。

マイクロIDDQテスト回路の顕微鏡写真（上部LMOS、下部シフトレジスター）

LMOSは電源線の下に作り込んだ4端子構造。電源線に微小な漏れ電流が流れると、垂直の面に磁界が発生する。磁界により、LMOSのソース・ドレイン間を流れる電子がローレンツ力を受けて軌道を変え、LMOSの交差するほかの2端子に生じる電圧を検出する仕組み。

つまり電源線に流れる待機時の漏れ電流を、磁界を介して非接触・非破壊で電流検知できる。LMOSを例えば、1000万個のトランジスタが集積するLSIの1万のブロックごとに並列配置し、レジスターでどこがオンしているかを読み取れば、どこにどの程度のリーク電流が流れるかを判定できる。これによる面積増は1%に満たないという。

VLSIシンポから

LSIは21世紀には1億個の集積規模が予想され、その故障診断テストはますます複雑さを増す。LSI設計のミスやプロセスマージンなどにより、欠陥の中で最も多いのが配線の断線やショート。IDDQテスト回路を内蔵しておけば、こうした欠陥がどの部分にあるか、絞り込みが容易になる。

こうしたデータを蓄積すれば、不良モード解析にもつながり、歩留まり向上にも生かせる。

IDDQテストは従来、電源線に抵抗を入れて、両端の電圧を測る手法などが提案された例はあったが、抵抗を入れると電圧が乱れるなど、実際には使えなかった。

米国半導体工業会もロードマップに、回路を部分的に分けるか、内蔵型電流センサーが研究されるべきだと、将来のテスト問題の深刻さをあげている。