

修士論文

Adiabatic 手法を用いた
CMOS 回路用クロックジェネレータ

2001 年 2 月 2 日提出

指導教官 桜井 貴康 教授

東京大学大学院工学系研究科
電子工学専攻

学籍番号 96429

浅野 雄太郎

内容梗概

本研究では、通常の CMOS 回路による LSI におけるクロックジェネレータとして、低消費電力向けである Adiabatic 論理回路において用いられている Clocked Power Generator を応用することを目的とする。

チップ全体の消費電力の大きさは種類により異なるが、プロセッサ全体の消費電力に対するクロックが消費する電力の割合は一般的に 20% ~ 45% 程度を占めており、その消費電力量はロジックが消費する電力とほぼ同程度の割合であると言われている。プロセッサの低消費電力化を考えた場合、クロック生成回路が消費する電力を少なくすることができれば、設計するプロセッサの種類によらず、チップ全体の消費電力削減に貢献できることが期待される。

Adiabatic 論理は、CMOS 論理とは異なる回路方式であり、Charge Recycling という手法により低消費電力に適しているが、現在のところ、まだ実用化までは至っていない。そのため、Adiabatic 論理で用いられている Clocked Power Generator に着目し、その回路を通常の CMOS 回路のクロックジェネレータとして応用することにより、CMOS によるクロックジェネレータと比較して低消費電力であることを解析式で示すと共に、SPICE によるシミュレーション、チップの試作を行った。また、出力クロックのタイミングにあわせて共振の制御を行う回路を提案し、負荷容量のばらつきに対して消費電力増加が抑制されることを確認した。

ところで、現在、プロセッサの低消費電力化が進んでおり、それに伴いトランジスタのしきい値も次第に下がっているが、電源電圧低下による遅延の増加に対する対策として、回路の全体もしくは一部のトランジスタのしきい値をさらに低下させ、デプリーション形のトランジスタを用いることが有効であると考えられる。しかし、デプリーション形 CMOS 回路が動作可能なしきい値には下限が存在する。そこで、ノイズマージンの制約という観点からしきい値の下限について解析を行った。

目次

第 1 章	序論	7
1.1	はじめに.....	7
1.2	クロックの消費電力.....	10
第 2 章	ADIABATIC 手法を用いた CMOS 回路用クロックジェネレータ ..	13
2.1	LC 共振ドライバによるクロック信号の生成.....	13
2.2	モデルによる消費エネルギーの解析.....	19
2.3	シミュレーション.....	24
2.4	チップの試作.....	27
2.5	バラックによる波形の測定.....	31
2.6	パラメータのばらつきに対応したタイミング制御.....	36
2.6.1	キャパシタンスのばらつきによる共振周波数の変動.....	36
2.6.2	共振周波数のばらつきに対応したタイミング制御方式.....	39
2.6.3	シミュレーションによる解析.....	41
第 3 章	DEPLETION 形 CMOS ゲートの特性	46
3.1	はじめに.....	46
3.2	デプリーション形回路のノイズマージン.....	47
3.3	デプリーション形回路の遅延時間.....	51
第 4 章	結論	55
参考文献		57
本研究に関する発表		59

謝辭	60
----------	----

図表目次

図 1.1 Adiabatic 論理ゲートの例[1]	8
図 1.2 CMOS LSI における消費電力分布[10]	10
図 1.3 CMOS 回路における消費電力	12
図 2.1 RC 回路による配線モデル	14
図 2.2 共振ドライバの原理	14
図 2.3 自己発振形クロックジェネレータ[11].....	15
図 2.4 クロックの遷移時間の影響	16
図 2.5 制御可能な共振ドライバ	17
図 2.6 クロックドライバの制御信号ダイアグラム	18
図 2.7 クロックドライバの単純なモデル化	19
図 2.8 共振時の電流の計算	20
図 2.9 抵抗による振幅の減衰	21
図 2.10 減衰した振幅の補償	21
図 2.11 CMOS との消費電力の比較	23
図 2.12 SPICE シミュレーションと解析結果の比較.....	24
図 2.13 クロックジェネレータのシミュレーション波形	25
図 2.15 試作回路全体写真	27
図 2.16 試作回路拡大図(レイアウト図).....	28
図 2.17 試作ボードの回路図	32
図 2.18 試作ボードの測定装置の一覧と測定の様子	33
図 2.19 データジェネレータによる入力信号の作成	34
図 2.20 試作ボードの出力波形	34
図 2.21 キャパシタンスのばらつきによる出力クロック波形の乱れ	37

図 2.22 キャパシタンスのばらつきと消費電力の関係 (キャパシタンスが 100pF として設計)	38
図 2.23 新しい制御方式によるクロックジェネレータの構成図	40
図 2.24 共振周波数のずれに対応する回路のシミュレーション結果	42
図 2.25 制御回路の変更による消費電力の減少	43
図 3.1 SNM の定義	47
図 3.2 インバータにおけるノイズマージン	48
図 3.3 ノイズマージン一定条件での $V_{DD}-V_T$ 特性	49
図 3.5 CMOS 回路の消費電力と遅延時間	51
図 3.6 オフ電流の増加による影響	52
図 3.7 しきい値と遅延時間の関係	53

第 1 章 序論

1.1 はじめに

デジタルシステムの分野では、モバイルコンピューティングの普及や組み込み形システムへの応用が進むにつれ、プロセッサに対する低消費電力化への要求は非常に強くなっている。例えばバッテリーの寿命や重さ、サイズなどはシステムに要求される消費電力に直接影響を及ぼすものである。そのため、システム全体のパフォーマンスは、デジタルシステムの消費電力に依存していると考えられ、いかにしてプロセッサの消費電力を減らすかという点が大きな鍵となっている。

現在まで、低消費電力デジタルシステムの設計には主として CMOS テクノロジーが用いられている。その大きな理由としてあげられるのは、半導体微細化技術の進歩に伴うデバイスのサイズの縮小により、1 デバイスあたりのスイッチングエネルギーが年々減少してきているためである。また、もう一つの重要な理由として、その特性から、CMOS トランジスタはほぼ理想的なスイッチング素子として用いることができる点が挙げられる。スイッチング時に消費される電力に比べ、スタティック時の電力消費が非常に小さいという特性は、システムの低消費電力化に対し非常に有益な特徴であるといえる。

低消費電力化の要求に答えるため、プロセスの進歩による特性の向上を期待するだけではなく、電源の低電圧化や回路方式の改良など、多くの研究が精力的になされている。しかし、CMOS テクノロジーにおいては、回路構成の大幅な変更というのは現在まであまり行われておらず、電源の低電圧化による消費電力の減少の実現が現在多く行われている。

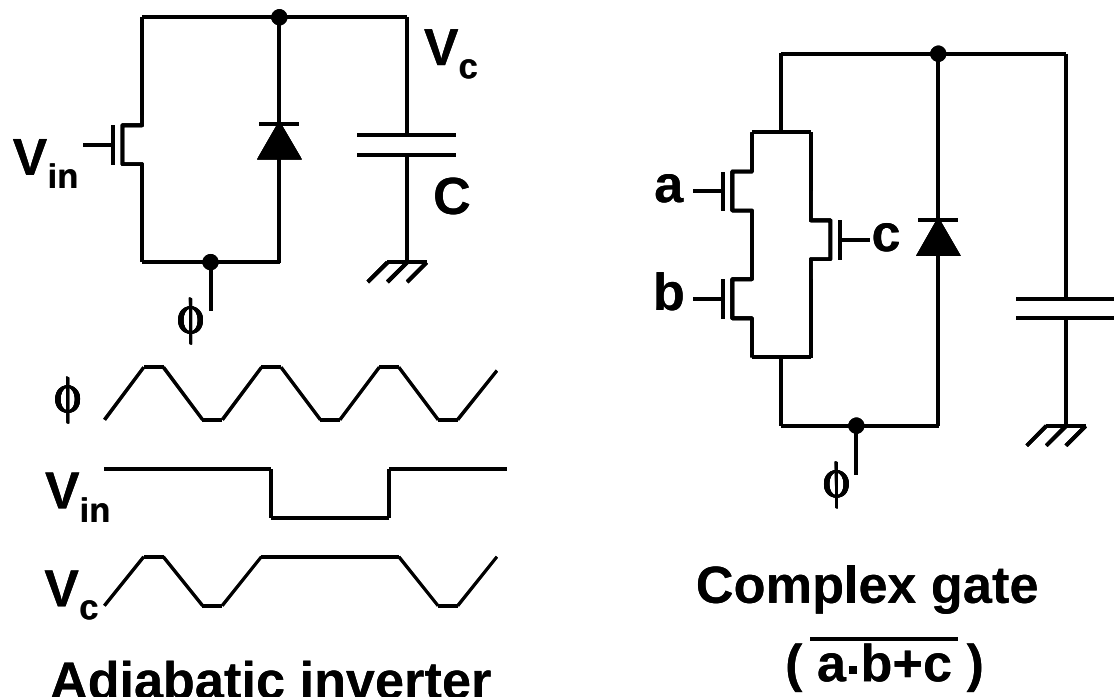


図 1.1 Adiabatic 論理ゲートの例[1]

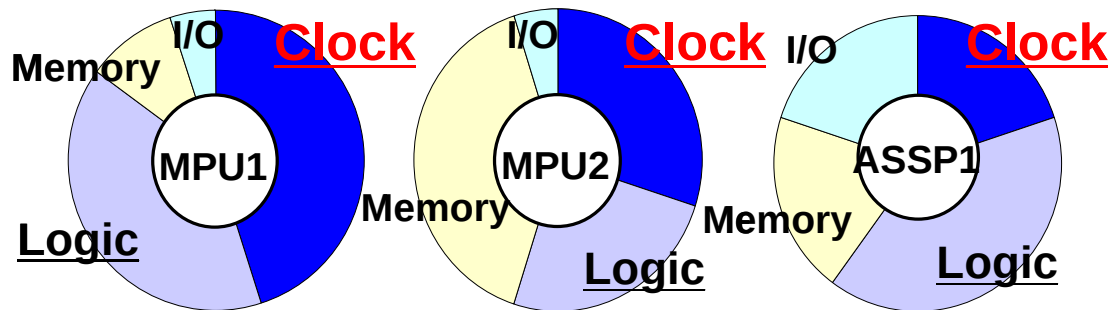
通常の CMOS ロジックではない回路としては、いわゆる adiabatic ロジックと呼ばれている低消費電力のための回路方式が存在する[1-9]。図 1.1に示したのは、Adiabatic 論理によるインバータの例である。低消費電力の実現のために電源電圧を小さくするのではなく、電源電圧を上下させることにより、電源から回路に注入された電荷を再び電源へと回収し、通常ならばグラウンドに流れてしまう電荷エネルギーの再利用を行えるような回路になっているので、その結果、回路の消費電力を減少させている。

従って、Adiabatic 回路では電源がクロックとなり回路が動作するのが特徴である。電源の電位の変化は、インダクタとキャパシタを組み合わせた共振回路によるクロックジェネレータを用いて実現させている。しかし、欠点として、Adiabatic ロジックではその実現のために、回路構成が複雑になってしまうこと、また、必要となる周辺回路により消費される電力が必要であることなどがハードルとな

っており、現在までに多くの回路方式が提案されているにもかかわらず実用化されているものは少ない。

本研究では、プロセッサで消費される総消費電力の中で、クロッキングシステムにより消費される電力成分に着目し、インダクタとキャパシタによる共振を利用してクロック信号を生成する Adiabatic クロッキングシステムを CMOS ロジックへのクロックジェネレータとして応用することにより、従来の CMOS を用いたクロックジェネレータと比較し、より低消費電力でクロック信号を生成する回路の実現を目指している。

1.2 クロックの消費電力



- クロック系とロジック部における消費電力は
ほぼ同程度である (総消費電力の20-45%)



- ロジック部の消費電力の削減と共に、
クロック系のパワーを減少させることが重要

図 1.2 CMOS LSI における消費電力分布[10]

図 1.2の 4 つの円グラフは、さまざまな種類のプロセッサについて、その消費電力を構成要素ごとに区分した場合の各要素の比率をあらわしている。この図からは、プロセッサの種類によりその割合はまったく異なるように見える。しかし、ここでクロックが消費する電力に着目してみる。すると、その他の要素はプロセッサごとに大きくその割合が異なるのに対し、チップ全体の消費電力に対するクロックが消費する電力の割合は、どのプロセッサにおいても 20% ~ 45% 程度を占めており、その消費電力量は決して無視できない大きさであることがいえる。したがって、プロセッサの消費する電力を減らすことを考えた場合、クロック生成回路が消費する電力を少なくすることができるならば、その結果は設計するプロセッサの種類によらず、チップ全体の消費電力を減らすために貢献できること

が期待される。

従来の CMOS によるクロック生成回路はインバータによりクロックのゲートを駆動しているため、その消費電力は電源電圧と駆動するゲート容量により決定してしまう。したがって、クロック生成回路の消費電力を減少させるためには、ゲート容量を減少させるか、もしくは電源電圧を低下させなければならないことになる。しかし、ゲート容量はそのプロセッサの処理能力と密接な関係にあり、プロセッサの処理能力をある水準に到達させるためにはそれに応じるだけのゲート数を必要とするため、目標とするプロセッサの処理能力を決定してしまうとゲート容量の値はほぼ決定してしまうといえる。したがって、クロック生成回路のパワーをより減少させるためには、電源電圧を低下させなければならない。電源電圧を低下させることは、電力消費量を減少させる非常に有効な手段であるが、電源電圧をだんだん低下させていくに伴い、回路の応答速度が遅くなるため、回路の動作周波数に限界が出てくるという問題が出てくる。また、電源電圧の低下に伴って信号の振幅も減少するため、ノイズに対する信号の耐性が下がってしまう。このことは回路の誤動作へと結びつき、プロセッサに対して重大な問題となってしまう。

1回の信号の遷移に必要なエネルギー:

$$E = \frac{1}{2}CV_{DD}^2$$

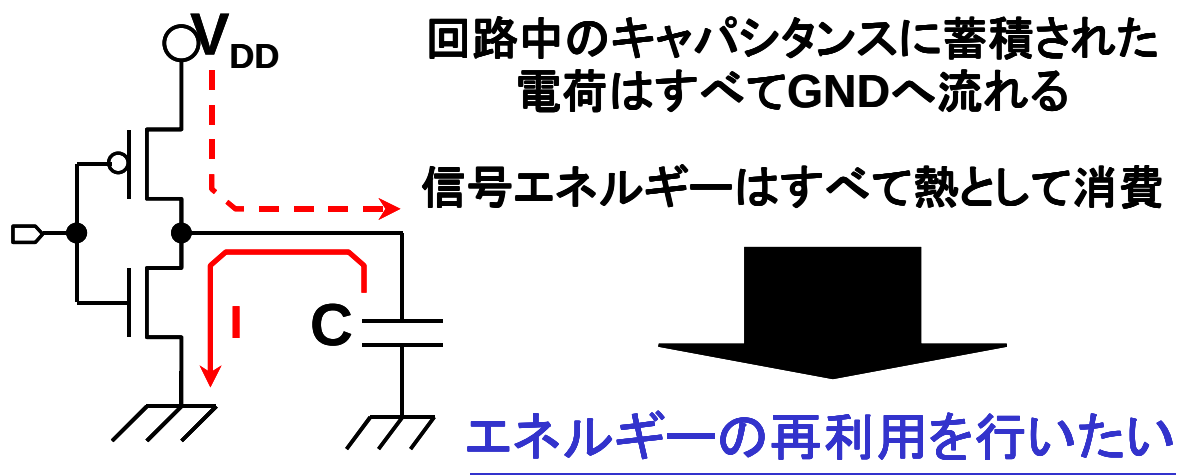


図 1.3 CMOS 回路における消費電力

クロック生成回路の電力を減少させるためには、図 1.3のように負荷のゲート容量へ充電した電荷を毎周期ごとに必ず消費してしまう従来の CMOS による回路ではこのような問題がある。負荷の容量を充電するのに用いた電荷をそのまま消費しないで再利用できるような、従来とは別の回路形式によるクロック生成回路を利用することにより、ゲート数に直結しているゲートの負荷容量を減らさず、また電源電圧を極端に減少させることによるマイナスの効果を回避しながらクロック信号を生成するための消費電力を低下させることが可能となると考えられる。そのためには Adiabatic ロジックで用いられているクロックジェネレータを応用することで解決できると考えられる。

第2章 Adiabatic 手法を用いた CMOS 回路用 クロックジェネレータ

2.1 LC 共振ドライバによるクロック信号の生成

クロックジェネレータで生成されたクロック信号は、クロック配線を通してプロセッサ中の各フリップフロップへと伝えられている。クロック配線には配線抵抗 R が存在するので、クロックジェネレータの負荷は図 2.1 のような RC 回路の等価回路であらわすことができる。このクロックジェネレータとして図 2.2 のようなインダクタを用いた回路を RC 回路に接続すると、全体として LCR の共振回路ができることになる。したがって、その回路はある共振周波数で自律的に発振をはじめ、負荷であるキャパシタにもこの回路の共振周波数で充放電が繰り返される。この回路の抵抗成分がゼロならば、一度発振をはじめた回路には、追加のエネルギーを与える必要はなく、自発的な発振を永久に続けさせることができる。この発振している波形をクロックとして用いることができれば、クロック生成に必要なエネルギーを非常に小さくすることが可能であり、従来よりも回路の消費電力を抑えることができる。抵抗成分によりエネルギーが消費され、信号の振幅が小さくなるのを補償するために、pMOS と nMOS によるスイッチをもちいている。

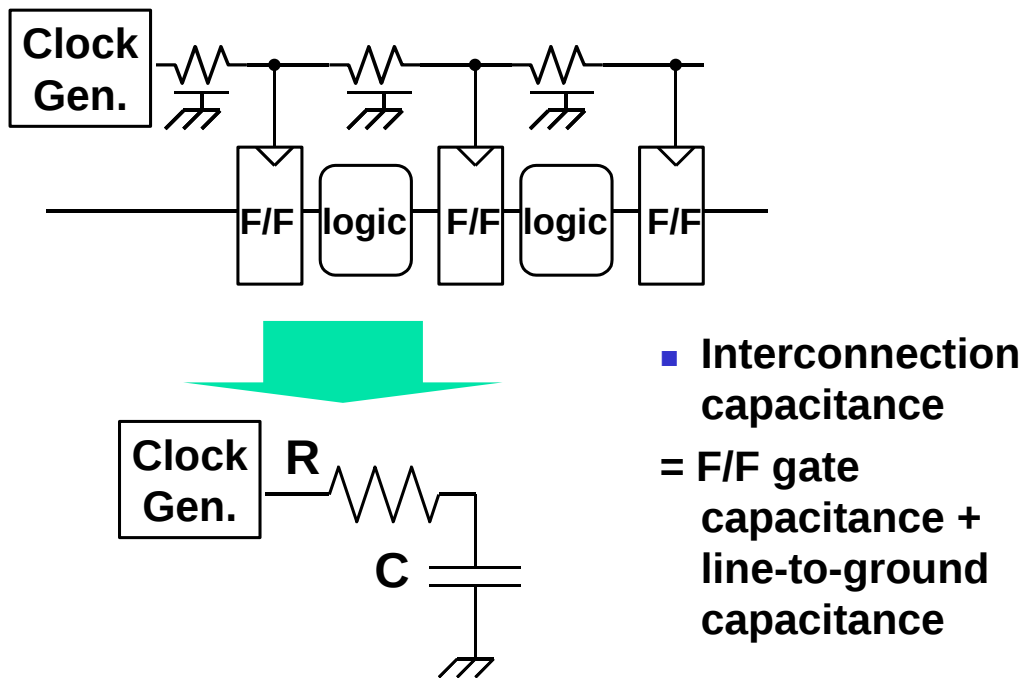
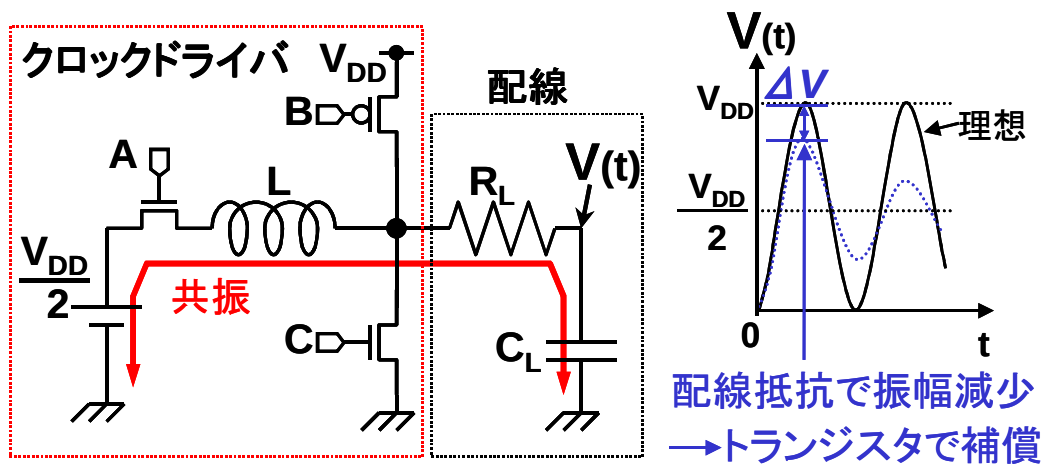
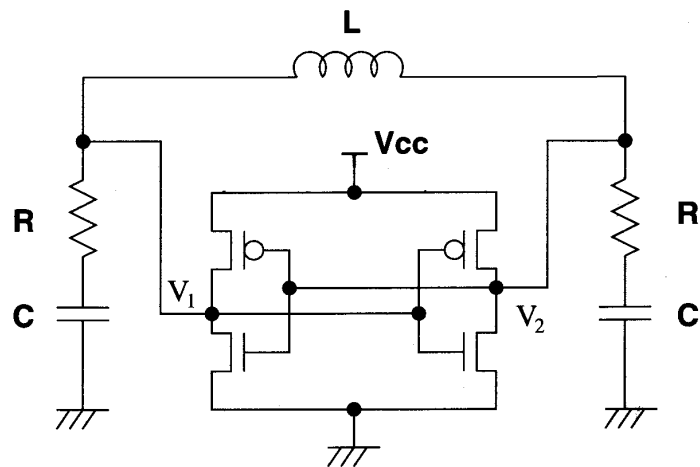


図 2.1 RC 回路による配線モデル



- $V_{DD}/2$ の電圧を与えることで振幅 V_{DD} の共振が起こる
- トランジスタB、Cでクロック振幅の補償を行う

図 2.2 共振ドライバの原理



- The reference supply source is not used.
- No modification scheme of the clock frequency
- Sinusoidal curve

図 2.3 自己発振形クロックジェネレータ[11]

通常、このクロックジェネレータは図 2.3 のように 2 つの回路を組にして、互いに逆相の信号が出力されるようにして用いられる。また、このようにラッチに双方の出力を接続することにより、双方の出力が常に逆相になることを保証している。

Large transient time

→ Large short-circuit current, Large clock skew

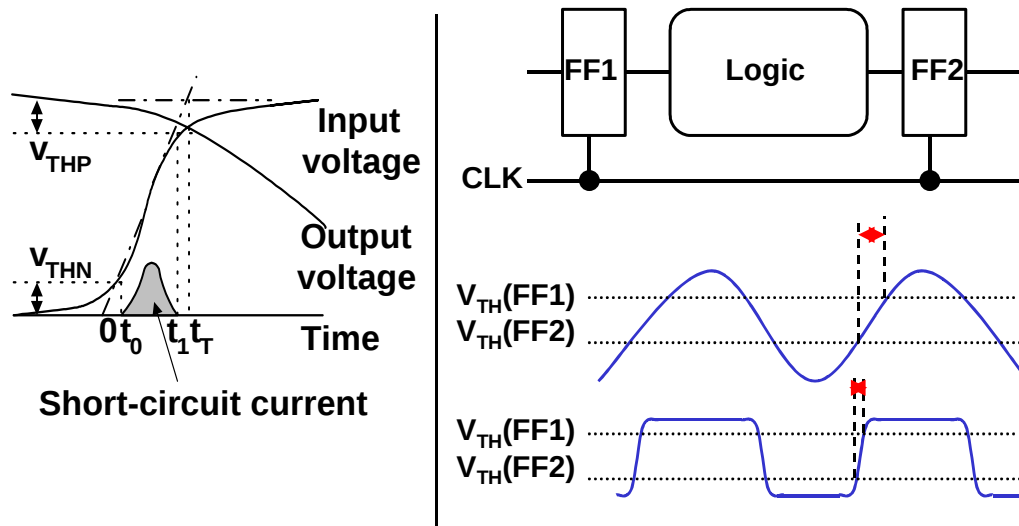
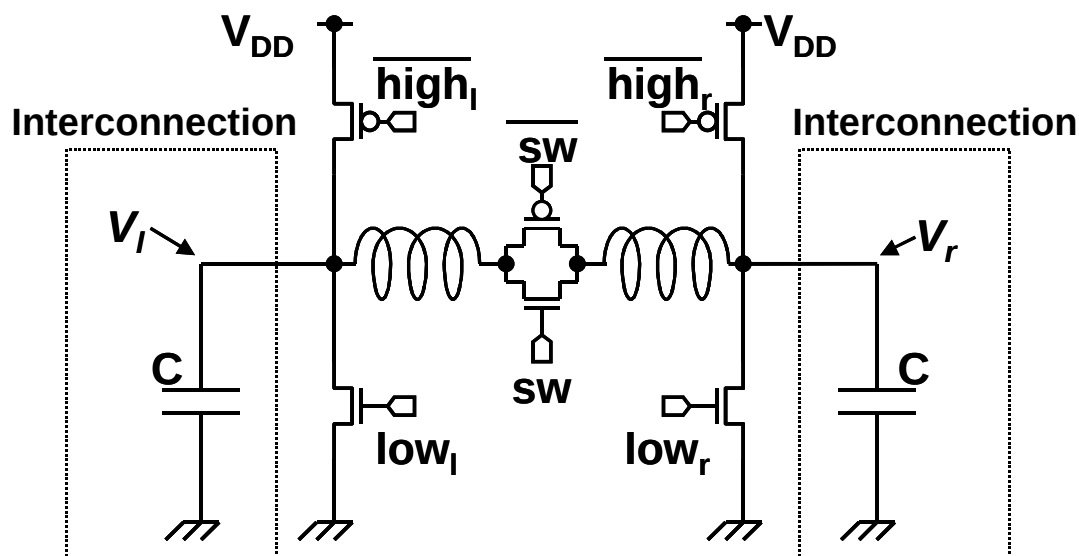


図 2.4 クロックの遷移時間の影響

しかし、この回路による発振の波形はクロックとして用いられるデジタルの方形波ではなく、共振による正弦波となっている。そのため、この回路の出力をそのままの波形でクロック信号として用いると、図 2.4 で示したような問題が生じる。まず、クロックの立ち上がり立ち下がりがなだらかなため、クロックスキューが大きくなってしまふ。そして、そのときに短絡電流が大量に流れてしまふ。また、この回路の発振周波数は、インダクタとキャパシタの大きさにより決定してしまい、外部からの周波数の補正を行うことが考えられていない。通常は、クロック信号は外部からの信号と同期させて発生させるのに対し、自立的に発振するこの回路では外部からの発振周波数の制御ができなくなっている。

従って、図 2.5 に示した回路のように、出力の波形を方形波にするため、また外部からの制御を可能にするために、トランスミッションゲートにより発振の ON / OFF が制御できるようにし、発振を停止している期間では、電源電圧また

は 0V に出力をクランプするためのスイッチにより値を保持させる。回路中の抵抗成分により消費された電力は、電圧の保持の時にクランプ用の回路から供給することにより、出力の電圧の振幅を常に維持し、クロッキングが正しく行われるようにする。



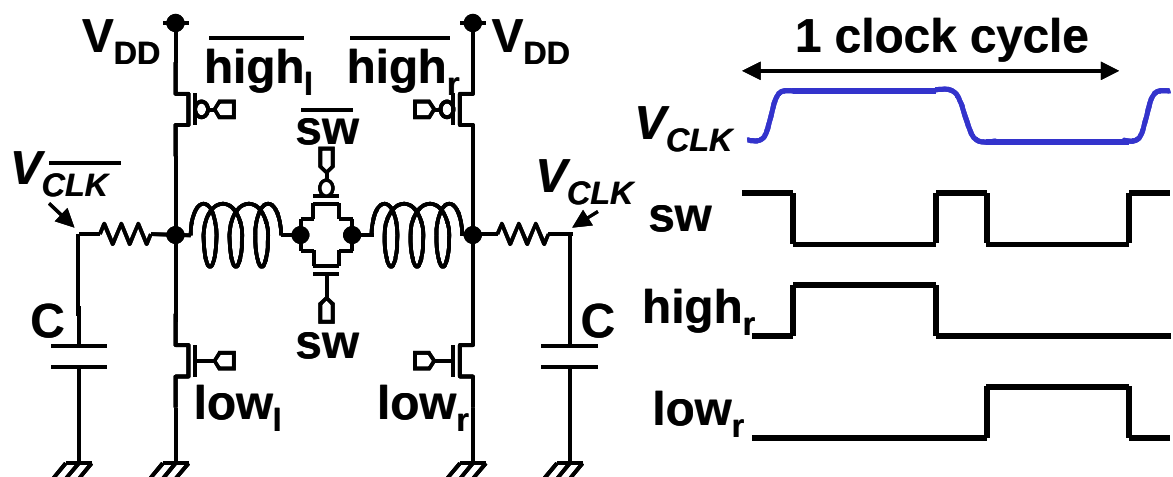
- Replenish transistors are managed by the control circuit

図 2.5 制御可能な共振ドライバ

この回路の制御について、図 2.6に各制御信号のダイアグラムを示す。この回路の共振周波数は出力クロックの 4 倍であるとして説明する。また、初期状態においてクロックドライバの出力は 0V であるとする。中央のトランスミッションゲートをオンにすると、回路の左右にあるキャパシタが中央のインダクタを通過して接続されるため、LC 回路が構成される。したがって、クロック出力である右側のキャパシタの電圧は共振により増加して理想的には電源電圧にまで上昇すると同時に左側のキャパシタの電圧は 0V になる。そして、出力電圧が最大になった瞬間にトランスミッションゲートをオフにし、出力を電源電圧にクラ

ンプする。また、それと同時に反対側のキャパシタを 0V にクランプし、キャパシタの電圧を維持する。その後、再びトランスミッションゲートを ON にすることにより、今度は逆方向に向かう共振が起こり、クロック出力電圧はふたたび 0V へと遷移する。理想的には共振により 0V にまで下がるので、その瞬間に今度は前と逆の電位にクランプする。

このようなゲートの制御により、共振の力を利用してクロックの遷移を行うクロックドライバとなることが分かる。また、その出力波形は、以前の正弦波から方形波へと近くなっている。



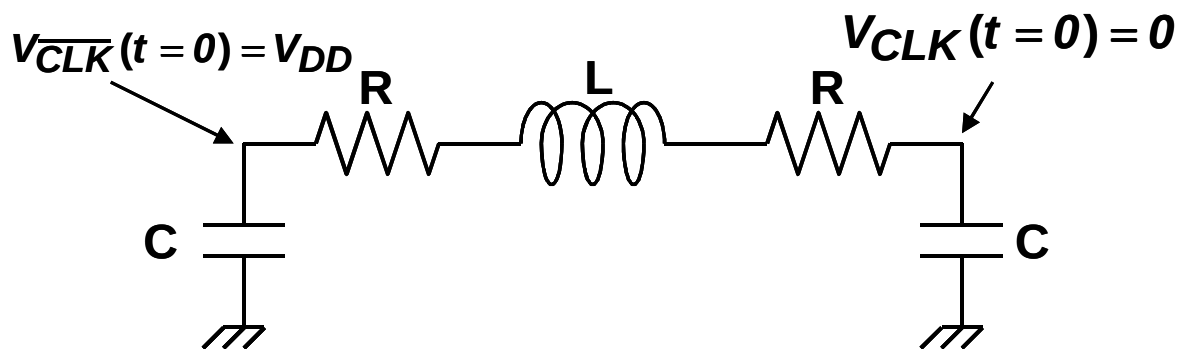
- 補償用トランジスタが一定期間クロックをHighまたはLowに固定する
- 出力が方形波に近づく→ クロックスキューの減少

図 2.6 クロックドライバの制御信号ダイアグラム

2.2 モデルによる消費エネルギーの解析

LC 共振によるクロックジェネレータの動作を解析するために、LCR 回路により図 2.7 のような共振部のモデル化を行った。C はフリップフロップのゲート容量、配線容量等を表し、R は回路中の抵抗成分を表している。この容量および抵抗は各相とも等しくなっている。

まず、この回路の初期条件として、時間 $t=0$ において回路の左側のキャパシタにかかる電圧 V_{clk} を V_{DD} 、また回路の右側のキャパシタにかかる電圧 V_{clk} は 0 であるとする。



R : 回路中の総抵抗

C : 回路中の総容量
(配線容量 および F/F のゲート容量)

L : インダクタンス

図 2.7 クロックドライバの単純なモデル化

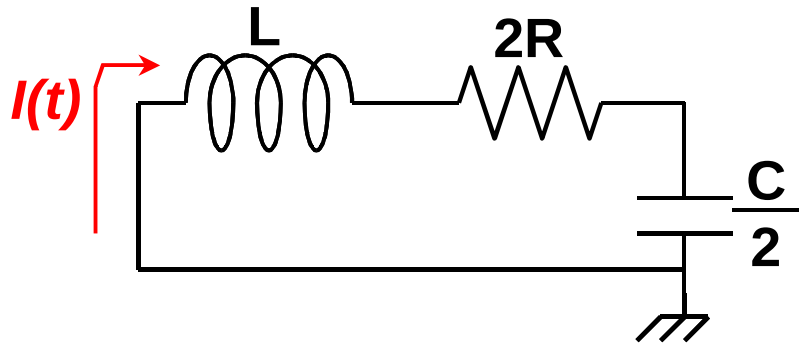


図 2.8 共振時の電流の計算

キャパシタにかかる電圧の時間変化を調べるため、この共振回路のモデルを等価な回路に変換し、電流の時間変化を求める。図 2.8 の LCR 回路の電流は、次のように表される。

$$i(t) = \frac{V_{DD}}{\omega L} \exp\left(-\frac{R}{L}t\right) \cdot \sin(\omega t)$$

電流は時間とともに振幅を小さくしながら正弦波で発振する。電流の振幅が小さくなるのは、回路中に存在する抵抗のためであり、図 2.9 に示すように、電流が流れることによりこの抵抗で消費されるエネルギーが回路から失われる。半周期の間に共振回路中の抵抗により消費されるエネルギーを Adiabatic エネルギーと定義すると、その値は以下ようになる。

$$\begin{aligned} E_{adiabatic} &= \int_0^{\frac{T}{2}} 2R \cdot i^2(t) dt \\ &= \frac{1}{2} \left(\frac{C}{2} \right) V_{DD}^2 \cdot \left(1 - \exp\left(-\frac{2\pi R}{\omega L}\right) \right) \end{aligned}$$

次に、この回路中を流れる電流より、Vclk(Vclkb)の時間変化を求めることができる。

$$\begin{aligned}
 V_{CLK}(t) &= \frac{1}{C} \int_0^t i(t) dt \\
 &= \frac{V_{DD}}{2} - \frac{V_{DD}}{2\omega L} \exp\left(-\frac{R}{L}t\right) (\omega L \cos(\omega t) + R \sin(\omega t))
 \end{aligned}$$

この式から、共振周波数の半周期が過ぎた時点で V_{CLK} が極小値をとり、 V_{CLK} は逆に極大値を示すことがわかる。

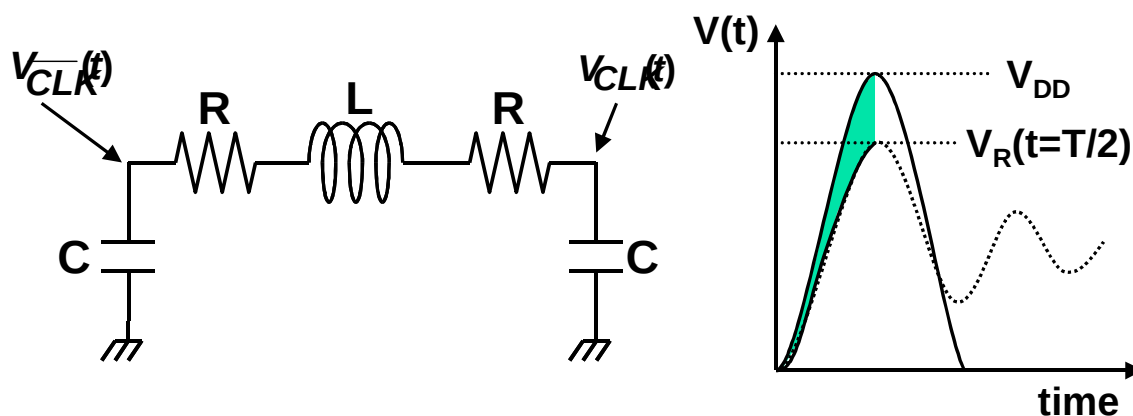


図 2.9 抵抗による振幅の減衰

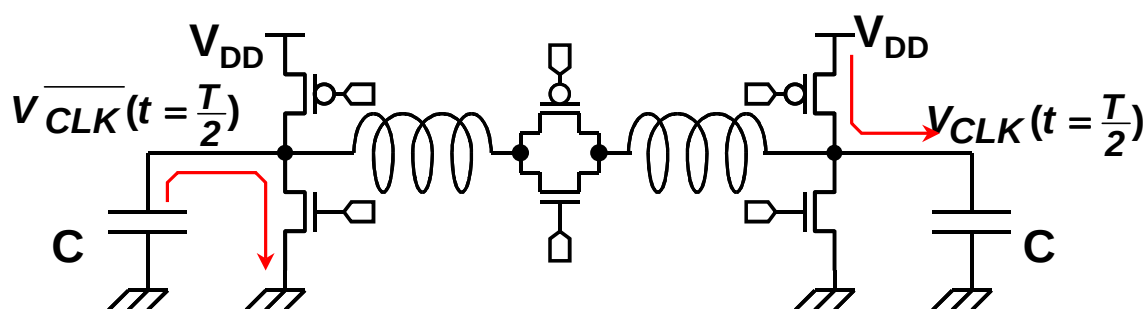


図 2.10 減衰した振幅の補償

半周期が過ぎた時点で左右の回路を結ぶトランスマッションゲートを OFF にし、発振動作を停止させる。その状態において、図 2.10に示すようにクランプ用の MOS を ON にさせ、電力の供給を行う。Highr を ON にすることで、VDD

まであがらなかった V_{clk} の電圧を V_{DD} まで引き上げる。また、それと同時に $lowl$ のスイッチを ON にすることで、理想的には 0 V まで下がるはずであった V_{clkb} の電圧を引き下げる。

このときに消費されるエネルギーは、電圧を引き上げるために電源から供給されるエネルギーと、電源を引き下げることにより消費されるエネルギーの和である。このエネルギーを non-adiabatic エネルギーと定義すると、

$$\begin{aligned} E_{non-adiabatic} &= \left(\frac{1}{2} C V_{DD}^2 - \frac{1}{2} C V_f^2 \left(t = \frac{T}{2} \right) \right) + \frac{1}{2} C V_f^2 \left(t = \frac{T}{2} \right) \\ &= \frac{1}{2} C V_{DD}^2 \cdot \left(1 - \exp \left(-\frac{\pi R}{\omega L} \right) \right)^2 \end{aligned}$$

となる。

したがって、この回路が消費する電力は、adiabatic エネルギーと non-adiabatic エネルギーの合計であるから、その全体の消費エネルギーは以下の式で表される。

$$\begin{aligned} E &= E_{adiabatic} + E_{non-adiabatic} \\ &= \frac{1}{2} C V_{DD}^2 \cdot \left(1 - \exp \left(-\frac{\pi R}{\omega L} \right) \right) \end{aligned}$$

この式より、クロックジェネレータの特性は次のようにまとめることができる。

- エネルギー消費を小さくするためには、クロック配線に存在する抵抗成分はできる限り小さくなるようにする。
- 回路の動作はできるだけゆっくり動作させ、周波数を低く抑えるようにする。

ここで、CMOS 回路において 1 回の信号の遷移によって消費されるエネルギーは $0.5 C V_{DD}^2$ であるから、このクロックドライバで消費されるエネルギーを CMOS 回路の消費エネルギーで正規化することにより、このクロックドライバと CMOS 回路の消費エネルギーの比較をすることができる。

$$E = \frac{1}{2} C V_{DD}^2 \cdot (1 - \exp(-4\pi^2 R C f))$$

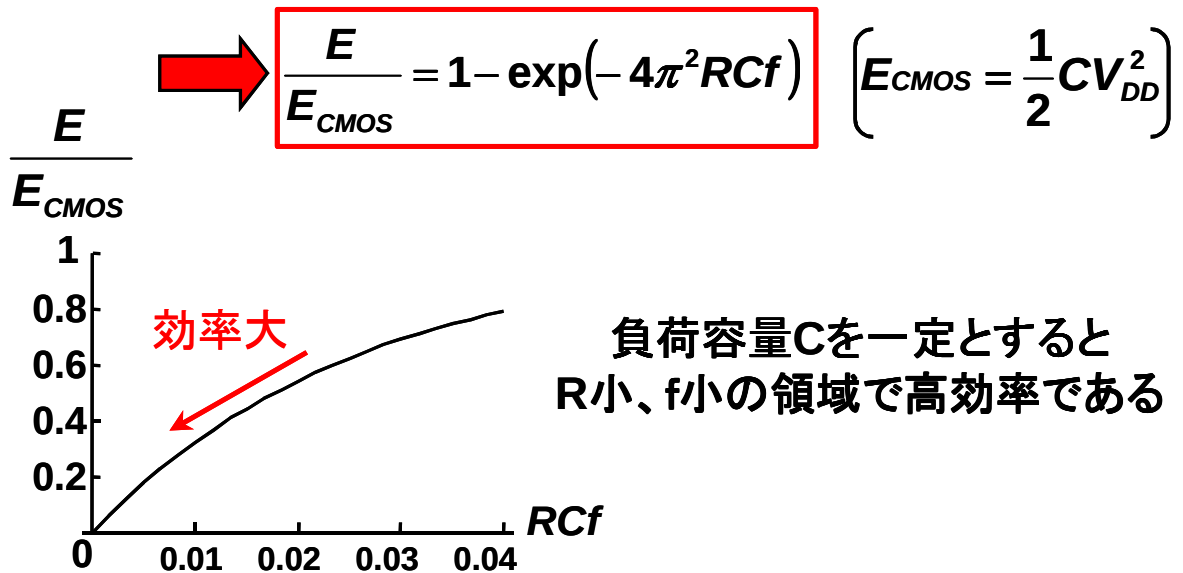


図 2.11 CMOS との消費電力の比較

上の式の結果より、このクロックドライバは CMOS と比較して常に消費エネルギーの量が少なくなっており、極限の状態において CMOS と同じエネルギーとなることが分かる。

2.3 シミュレーション

モデルにより解析を行ったクロックジェネレータを実際に回路として設計したときの動作を検証するため、回路シミュレータの HSPICE を用いてシミュレーションを行い、理論との整合性について検討を行った。

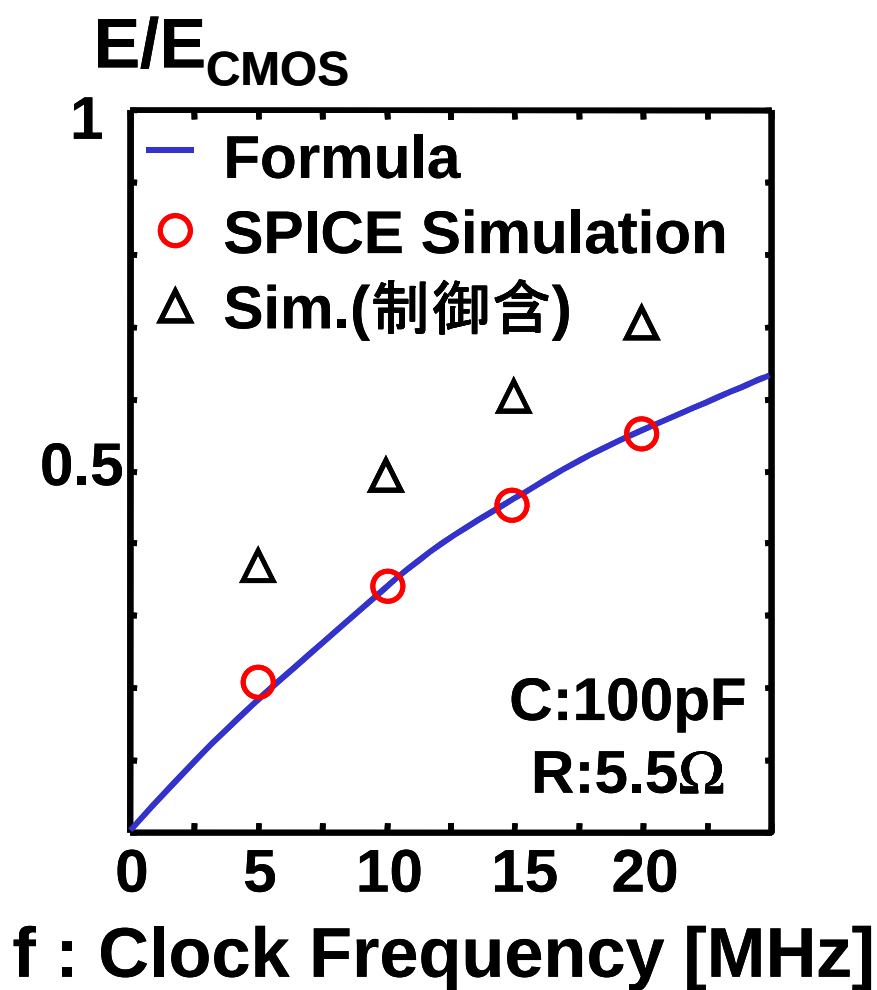


図 2.12 SPICE シミュレーションと解析結果の比較

図 2.12に示すのは、従来の CMOS に対するエネルギーの比を、モデルから導出した実線で表してあるグラフと、HSPICE のシミュレーションによって求めた FTAC のエネルギーによる対 CMOS 比を比較しているものである。モデルから

求めたエネルギーと比較して、HSPICE でシミュレーションした場合のほうが、MOS の寄生成分に由来する消費エネルギーがあるため、回路の消費エネルギーが大きくなっている。回路の周波数が低ければ CMOS に比較して消費エネルギーが非常に小さくなり、逆に回路の周波数が大きいと、従来の CMOS を用いたクロックジェネレータと比較してほぼ同程度まで消費エネルギーが大きくなってしまうと言える。

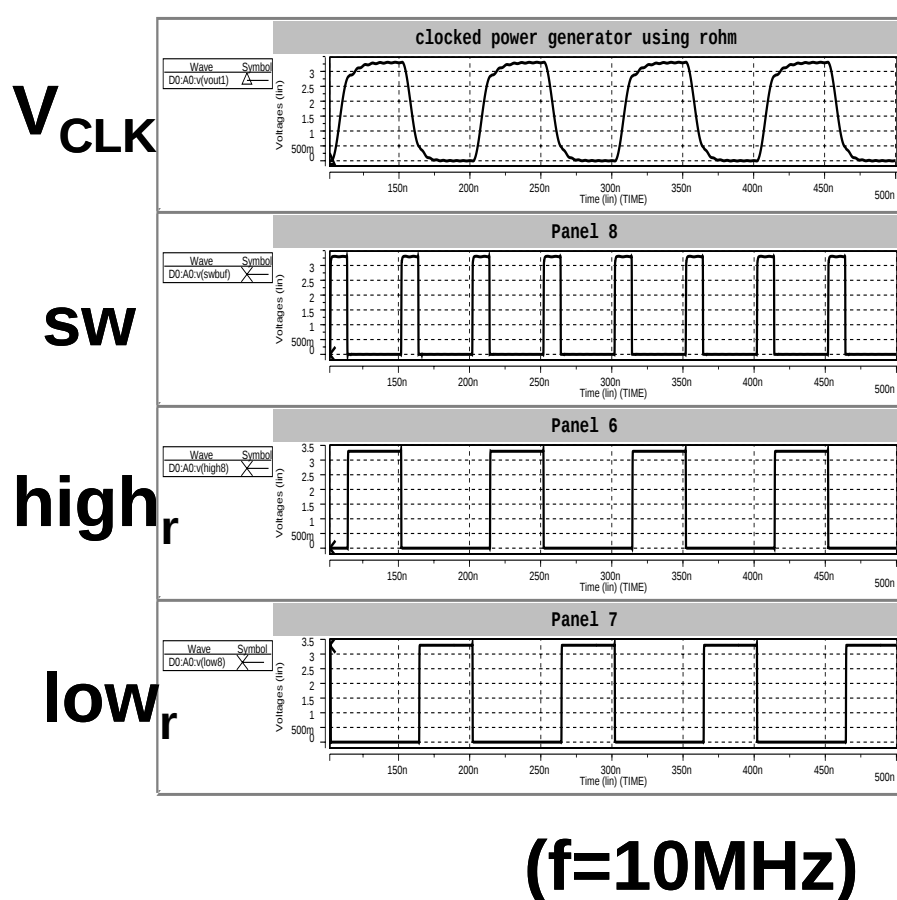
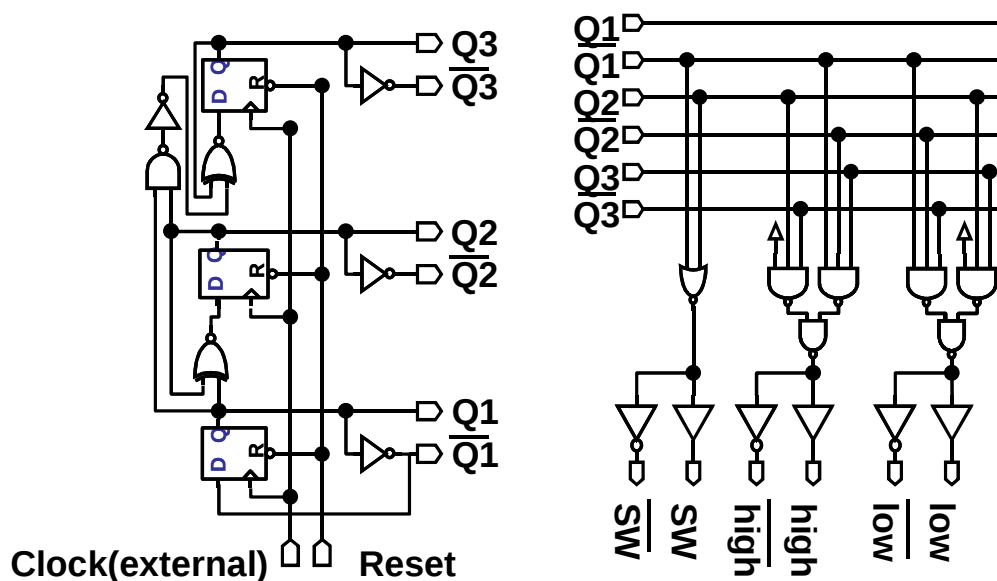


図 2.13 クロックジェネレータのシミュレーション波形

図 2.13は、HSPICE でシミュレーションした時の、クロックジェネレータの各信号の波形である。シミュレーションの条件は、出力周波数 10MHz、負荷容量

C = 100pF、抵抗 R=5Ω の場合においてシミュレーションを行った時の各信号の波形である。最上段が出力されるクロック波形であり、下の 3 段の波形は制御信号である。クロック信号は立ち上がりと立ち下がり時にトランスミッションゲートを ON にして LC の発振を利用している。半周期が過ぎた時点でゲートを OFF にし、クランプ用の MOS を用いてクロック振幅の回復を行っている。



クロックジェネレータの制御回路

図 2.14 は、クロックジェネレータのコントロール回路の構成について表している。外部から与えるコントロールクロックの周波数でカウンタを動作させ、このカウンタの出力する値により、FTAC のゲートを制御する信号を生成している。今回の試作で設計したコントロール回路では、外部からのコントロールクロック周波数に対し、その 4 分の 1 倍の周波数を出力するようになっていて、その倍率は固定されている。

2.4 チップの試作

このクロックジェネレータの動作を確認するため、VDEC を通してチップの設計を行った。プロセスは Rohm の $0.6\mu\text{m}$ ・2 層ポリ・3 層メタルプロセスである。電源電圧は 3.3V、面積はコントロール回路が約 $270\mu\text{m} \times 100\mu\text{m}$ 、共振制御スイッチとして用いたトランスミッションゲートのトランジスタが約 $500\mu\text{m} \times 70\mu\text{m}$ を占めている。

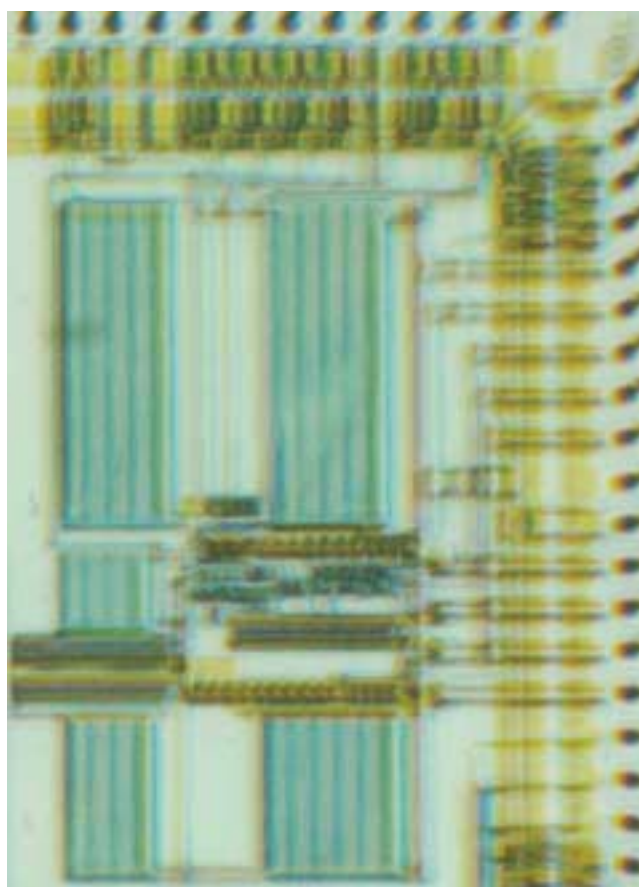
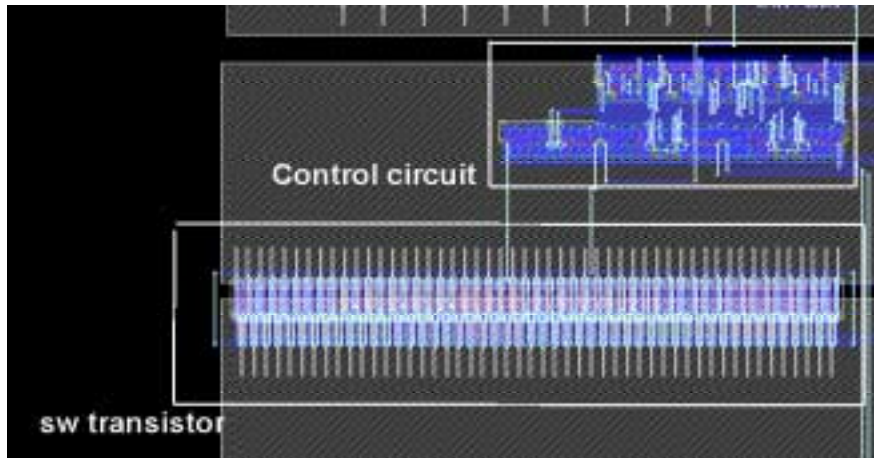


図 2.15 試作回路全体写真

図 2.15に試作チップの写真を示す。図の中央部に制御回路・トランスミッションゲート等があり、周辺には負荷となるトランジスタを配置した。負荷はトランジスタ数の異なるものを複数用意し、キャパシタンスの大きさの違いによ

る動作の変化について測定できるように配置した。また、インダクタが接続する端子はパッドに引き出しており、チップ外部に外付けのインダクタを装着するようにした。



Process : VDEC (ROHM 0.6 μ m)
V_{DD} : 3.3V
Size : 500 μ m $\times$ 70 μ m(sw transistor)
270 μ m $\times$ 100 μ m(control)

図 2.16 試作回路拡大図(レイアウト図)

制御回路とトランスミッションゲート部分を拡大したレイアウト図を図 2.16 に示す。制御回路はカウンタと組み合わせ回路により作成し、クロックドライバの各ゲートの電圧を制御している。リセット入力および制御回路用クロック入力により回路の動作 / 停止と、出力周波数の制御を行う。トランスミッションゲートのゲート幅は 1000 μ m である。

この試作チップに対し、外付けのインダクタを取り付けて動作確認をしたところ、期待した動作が得られなかった。残念ながら今回製作したチップは失敗に終わってしまったが、失敗した原因について考察してみた。

チップの設計時には、DRC(Design Rule Check)を行い、デザインルールに違反

したレイアウト部分が存在しないかチェックを行う必要がある。レイアウトを DRC にかけた時に見つかったエラーを修正せずにレイアウトデータを提出してしまうと、最悪の場合、チップの作成が物理的に不可能となってしまう。そのため、VDEC による回路の試作では必ず DRC のチェックを行わなければならない。また、LVS(Layout Versus Schematic)と呼ばれる、レイアウトデータから回路の接続情報(ネットリスト)を抽出し、これと設計した回路のネットリストが一致しているかを検査するツールも存在する。これらの CAD ツールを利用することにより、レイアウト設計におけるミスが減らすことが可能である。

今回の試作では、DRC を行うことによって発見した物理的なエラーを取り除くことができたが、LVS によるネットリストの検査は行わなかった。そのため、チップの物理的な作成は可能であったが、レイアウトデータに存在した論理エラーがチェックされずに見過ごされてしまった。実際、レイアウトデータを提出した後に確認したところ、確かに回路の接続にミスが発見され、この試作チップは正しく動作しない原因はこの配線ミスによるものであるということが分かった。

DRC や LVS とは別に、人手による設計のミスをなくすために論理合成・自動配置配線ソフトと呼ばれる CAD ソフトも存在する。現在では LSI の大規模化により、1000 万ゲート以上のプロセッサなども存在し、それらの設計において人手によるレイアウトは非常に困難となっている。通常のデジタル回路の設計では、Verilog HDL や VHDL といったハードウェア記述言語により記述された回路を、論理合成ツールにより実際のゲートの接続による回路に展開し、自動配置配線ツールによってチップ上のレイアウトを行うのが普通である。配線ミスがあったのはクロックジェネレータの中の制御回路部分であり、この制御回路はデジタル回路となっている。そのため、HDL を用いた回路設計も可能であった。HDL を使用することにより、人手によらずに配線作業を行うことができるため、今回のような配線に関する論理的な接続のミスを未然に防ぐことが可

能となっている。

今回の試作では、このクロックジェネレータの他に、通常の CMOS 回路によるクロックドライバも同じチップ上に作成したが、この回路は回路設計どおりにレイアウトを行っていたため、設計どおりの動作の確認を行うことができた。本来は共振ドライバとの性能の比較を実際のデバイスで行うために、チップの空いた部分を用いて設計した回路であるが、今回の試作において動作確認ができた唯一の回路となってしまった。

2.5 バラックによる波形の測定

前節では、VDEC を通してクロックジェネレータの試作チップの設計を行ったが、レイアウト時にミスがあったため、チップの動作確認を行うことができなかった。HSPICE によるシミュレーションの結果から、このクロックドライバは正しく動作すると思われるが、やはり実際のデバイスによる測定を行って、動作の確認をできることが望ましい。

しかし、チップを試作する場合には、数ヶ月という長時間が必要となるため、もう一度チップの設計を行い、その試作チップが完成した後に測定を行うというのも時間的に困難である。

そこで今回、クロックジェネレータのドライバ部分の作成をバラックの部品を用いてボードにて行った。その回路図を図 2.17 に示す。今回作成したドライバは、インダクタ、トランスミッションゲート、PMOS ゲート、NMOS ゲートから構成されており、各部品をユニバーサル基盤上において実装した。負荷として用いるキャパシタも同じ基板上に配置を行った。

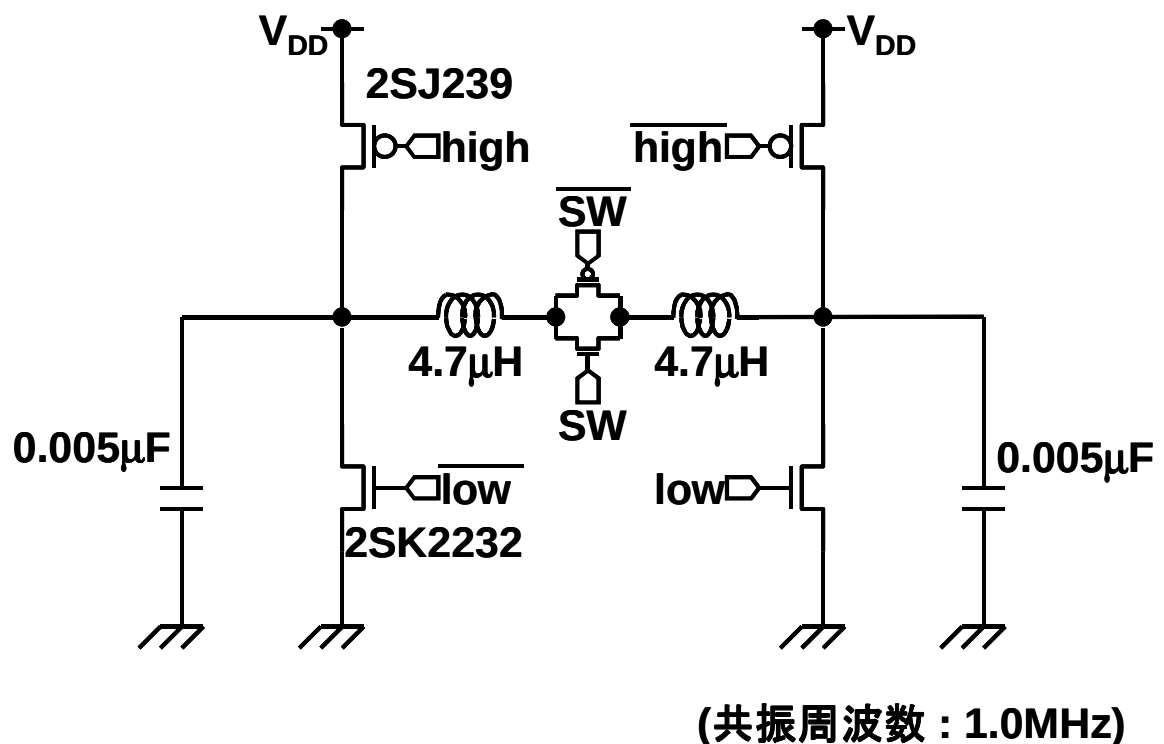


図 2.17 試作ボードの回路図

クロックドライバの制御は、本来ではコントロール回路を設計し、その回路を用いて行われるものである。しかし、今回はインダクタを用いたクロックドライバの出力波形の測定が主な目的であるため、制御回路の作成は省略した。その代わりとして、クロックドライバの制御信号はデータジェネレータを用いてあらかじめプログラムしておき、このデータジェネレータから各制御ゲートに信号を伝えることにより、クロックドライバの直接制御を行った。

今回作成したバラック回路では、出力されるクロック波形の測定とクロックドライバの消費電力の測定を行った。消費電力の測定は電源の出力電流を測定することで行った。また、出力波形の観測は、プローブを用いてオシロスコープにより観測を行った。

測定に用いた装置の一覧および測定の様子を図 2.18に示す。

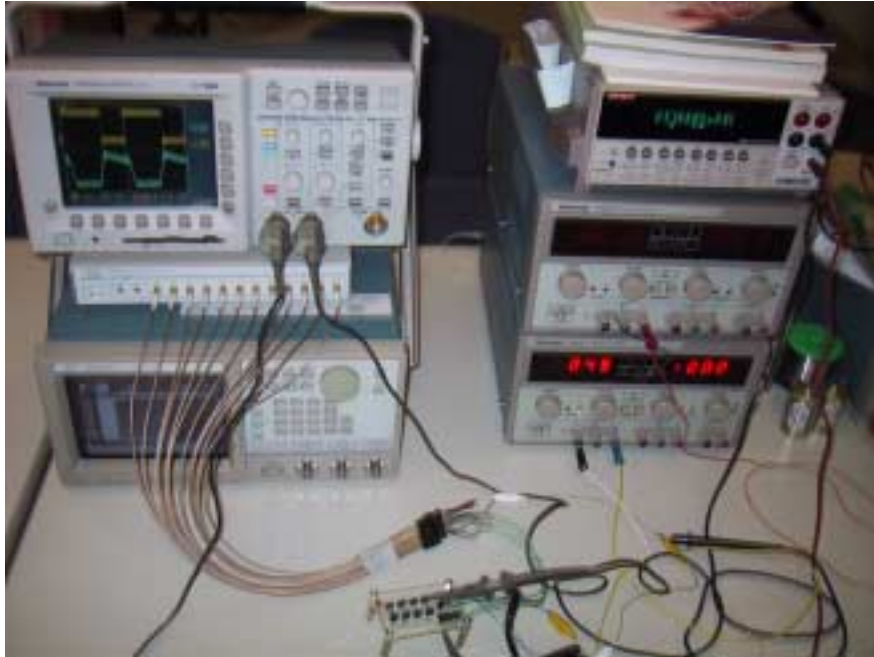


図 2.18 試作ボードの測定装置の一覧と測定の様子

データジェネレータの出力は 12 チャンネルあるため、クロックドライバの 6 つのゲートをそれぞれ独立のチャンネルで制御している。当初は、データジェネレータにより各ゲートを直接駆動するつもりであったが、データジェネレータからの信号は基板上のインバータに入力し、このインバータによりクロックドライバのゲートを駆動するようにした。そのため、データジェネレータからの出力はあらかじめ反転した信号になっている。

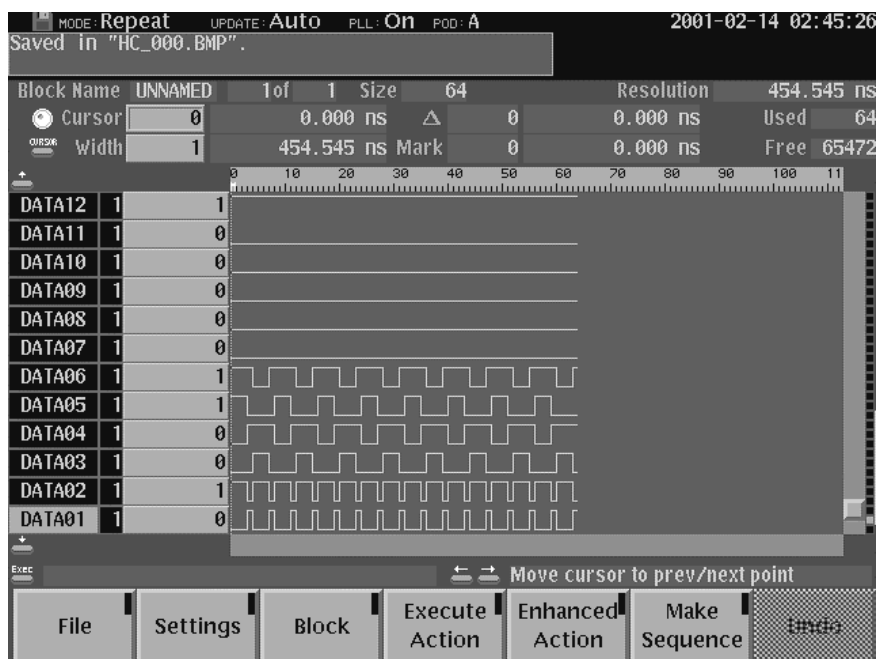


図 2.19 データジェネレータによる入力信号の作成

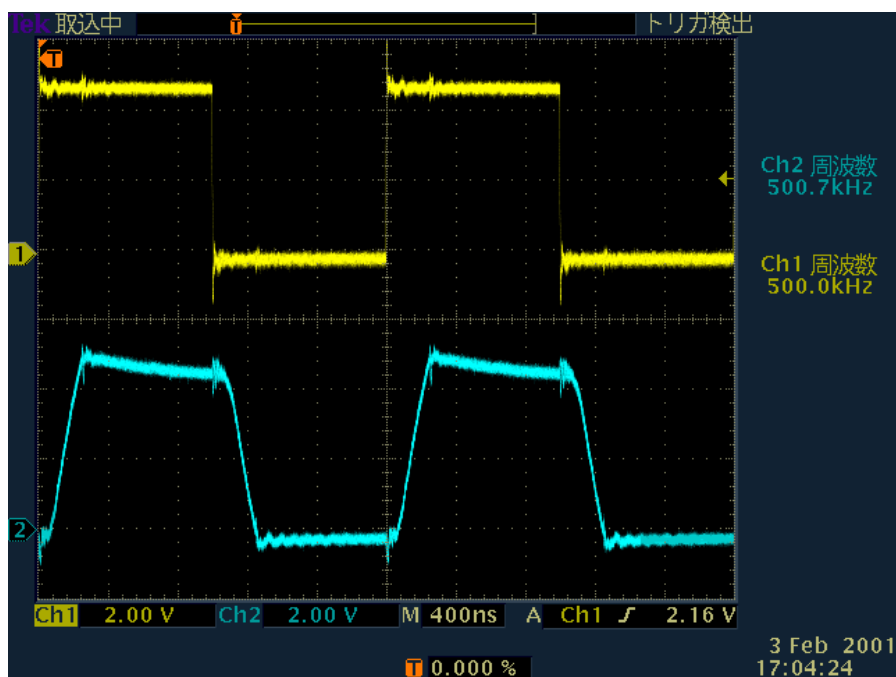


図 2.20 試作ボードの出力波形

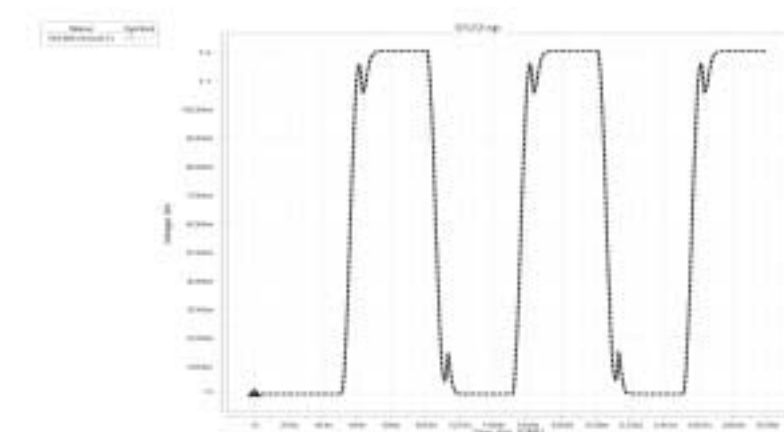
この試作ボードの出力波形を図 2.20に示す。出力電圧は LC 直列回路の発振により立ち上がりと立ち下がりが起こり、共振のタイミングを制御することにより図の下のような方形波となっている。図の上の波形は外部から与えるクロックであり、出力はこの外部のクロックと同期して出力されることが分かる。

2.6 パラメータのばらつきに対応したタイミング制御

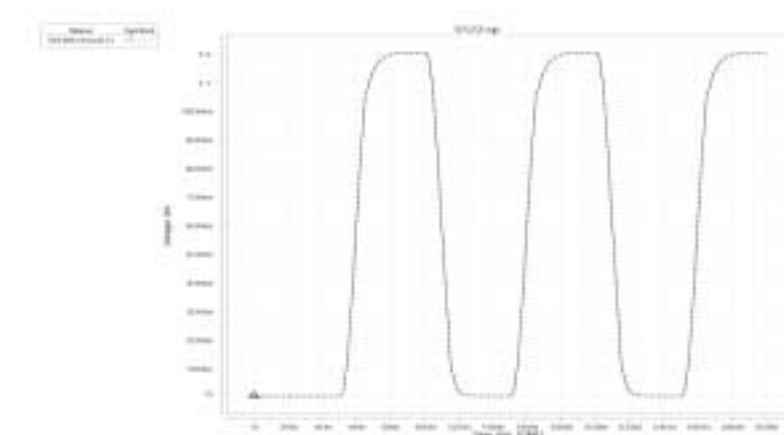
2.6.1 キャパシタンスのばらつきによる共振周波数の変動

回路の設計を行う際には、あらかじめシミュレーションを用いることによって消費電力やクリティカルパスの最適化を行うが、プロセスのばらつきにより、トランジスタのパラメータは個々のチップごとにそれぞれ異なった値になってしまう。そのため、実際のデバイスの特性はチップごとに少しずつばらついてしまう。このチップごとの特性の変化により、回路の動作速度や消費電力が満足した値を達成できなくなったり、最悪の場合、回路がシミュレーションで確認したような動作を行うことができなくなったりする場合がある。特に、トランジスタのパラメータを最適化し、その最適値を用いて設計した回路の場合、そのトランジスタのパラメータが実際には異なっていた場合の影響が大きいと考えられる。したがって、回路を設計する際には、このプロセスによるばらつきに対する影響を前もって十分に調べておく必要がある。

本研究における共振ドライバの場合、配線容量やゲート容量などのキャパシタンスの大きさがばらついた場合に問題となることがあると考えられる。プロセスのばらつきにより、これらの値は個々のチップごとに少しずつ異なってしまいうことに加え、ゲート容量は回路の動作中に動的に変化してしまうため、キャパシタンスの大きさは常に変動していると考えられることもできる。このキャパシタンスの大きさが変化してしまうと、それに伴って回路の共振周波数がばらついてしまう。その結果、回路の共振による信号の遷移を利用して出力クロックの立ち上がり、立ち下がりを実現するこの回路では、出力の振幅が最大になった時間と共振を制御するタイミングがずれてしまうためによる効率の低下がおこってしまう。



(a)キャパシタンスが小さい場合



(b)キャパシタンスが大きい場合

図 2.21 キャパシタンスのばらつきによる出力クロック波形の乱れ

図 2.21は、キャパシタンスの大きさが設計と異なっている場合における出力クロックの波形を表している。

実際のデバイスを作成した時に、キャパシタンスの値が設計時と比較して小さくなっていた場合、回路の共振周波数が設計した値よりも大きくなってしまいうため、共振の振幅が最大になる瞬間が早くきてしまう。そのため、スイッチを切り替えるタイミングでは、出力はそのピークを過ぎて逆にもとに戻ろうとしているため、図 2.21(a)のように、出力クロック波形が一部で乱れてしまっている。この共振周波数の上昇がさらに大きなものになると、波形の乱れはより

大きくなってしまふ。

また、図 2.22は、回路の設計時に負荷が 100pF であり、そのキャパシタンスの大きさによる共振周波数にもとづいて制御回路の動作周波数を決定したが、実際のデバイスではキャパシタンスの大きさが異なってしまった場合の消費電力の変化を示したものである。キャパシタンスの大きさが設計時と異なると、図 2.21の場合のような波形となり、共振周波数と制御のタイミングが合っていた場合と比べ、共振を停止した時点での出力の振幅が小さくなってしまふ。そのため、電源からの電荷の供給によって補償しなければならない電位差が大きくなり、それにより消費される電力が大きくなってしまふ。

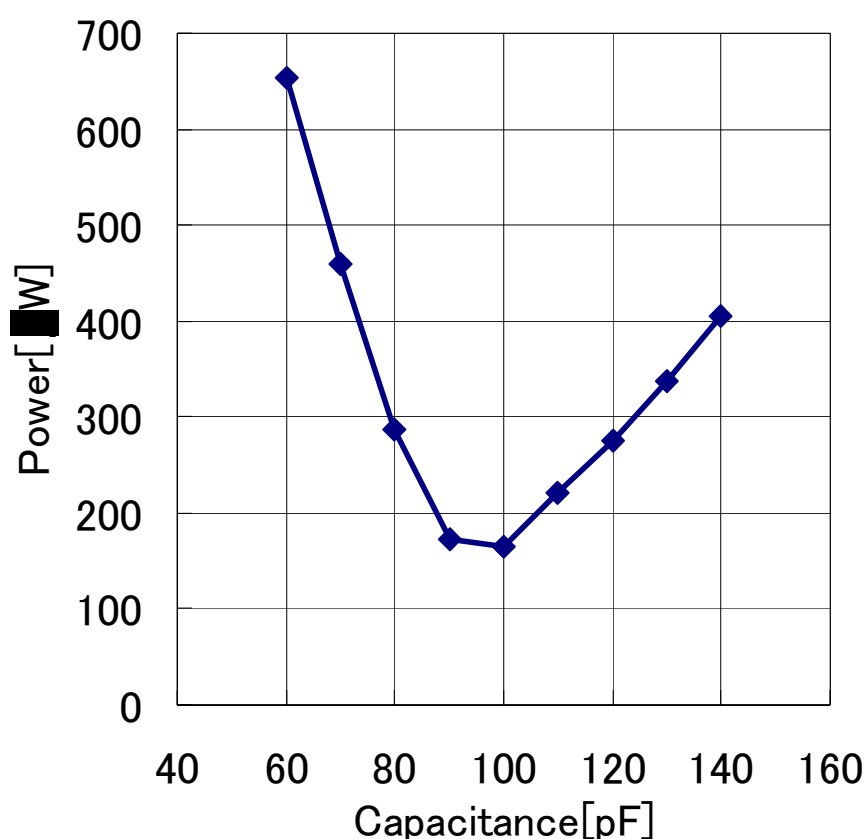


図 2.22 キャパシタンスのばらつきと消費電力の関係
(キャパシタンスが 100pF として設計)

これらの影響による回路の性能低下を解決するため、共振周波数のずれに対応した新たな制御回路について研究した。

2.6.2 共振周波数のばらつきに対応したタイミング制御方式

今までの制御クロックを用いることによる回路の制御では、出力クロックの立ち上がり時間・立ち下がり時間の長さは制御クロックの周波数により決定してしまい、実際の個々のデバイスにおける特性のばらつきの大きさにかかわらず一定の値となっている。そこで、この従来の制御クロックを用いたタイミング制御ではなく、出力クロックをモニタリングすることにより実際の出力信号の立ち上がり・立ち下がりタイミングを合わせた制御方式を使用することにする。

図 2.23に、新しい制御回路を含むクロックジェネレータの構成図を示す。このクロックジェネレータでは、微分フィルタを用いて出力されるクロック信号をモニタリングしている。

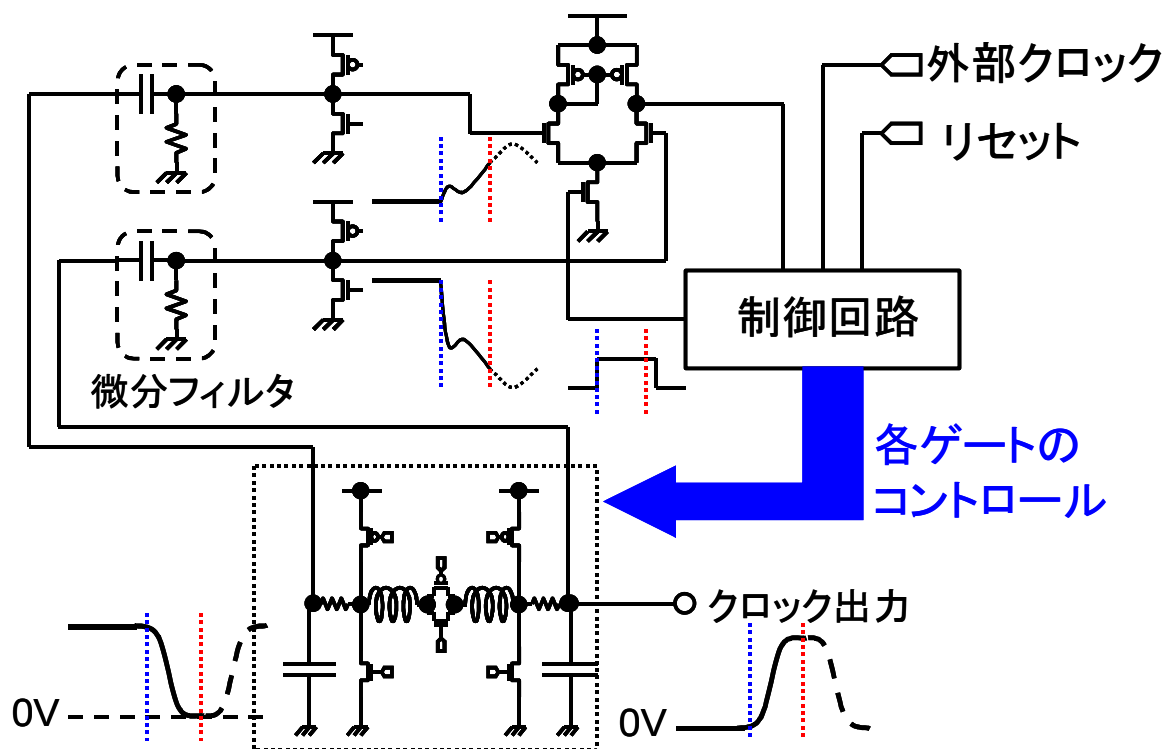


図 2.23 新しい制御方式によるクロックジェネレータの構成図

クロック信号およびその相補出力の電圧は、出力が HIGH または LOW で安定している期間ではほとんど変化しない。そして、クロックジェネレータが共振状態になると変化し、立ち上がりまたは立ち下がり始める。したがって、その電圧値を微分フィルタに通すことにより、クロックの出力が HIGH または LOW で安定している期間ではその出力は 0 で反応しなかったが、出力は片方が正の値、もう片方が負の値となり始める。そして、共振によりクロック出力がピークに達する瞬間には再び両方の微分出力が 0 となる。その両方の微分出力が 0 になる瞬間を感知するために、2 つの微分出力の差動増幅器に入力する。差動増幅器を用いることで、2 つの入力が等しくなった瞬間に差動増幅器の出力が反転する。この信号をトリガーとして共振の停止を行う。

共振を始めるタイミングは、外部から入力するクロック信号の立ち上がり、立ち下がりと同時にを行うこととした。この制御回路は動作にクロックを必要と

しない非同期回路のため、出力クロックの周波数を決定するために、制御クロックではなく、クロックドライバの出力クロックと同じ周波数の外部クロックを必要とする。そのため、従来ではクロックドライバの数倍の周波数をもつ制御クロックを作成する必要がなくなり、外部のクロック信号と出力のクロック信号が1対1で対応するようになった。

出力の微分値を差動増幅する場合に問題となるのは、回路が共振を始める瞬間までは、出力がHIGHまたはLOWで一定となっているために、差動入力値が0となっていることである。そのため、クロックドライバが共振を始め、差動入力に電位差が現れた瞬間に差動増幅器が反応してしまい、このままでは共振が一瞬で終了してしまう。そこで、差動増幅器の入力にプルアップ回路とプルダウン回路を接続しておき、共振を始める前に入力の片方をプルアップ、もう片方をプルダウンさせておき、共振を始めた瞬間に入力が0にならないようにしておく。さらに、微分入力立ち上がり方向に遷移し、微分した出力が正の値となる方の差動入力をプルアップに、微分入力立ち下がり、微分値が負になる方の差動入力をプルダウンに接続することにより、共振開始時における差動増幅器の出力反転を防ぐことが可能となる。

2.6.3 シミュレーションによる解析

キャパシタンスの大きさのばらつきに対応するために変更した新しい制御回路を用いたクロックジェネレータの性能を調べるため、HSPICEによる回路シミュレーションを行った。

図 2.24は、シミュレーションの結果から得られたクロックジェネレータの出力波形である。

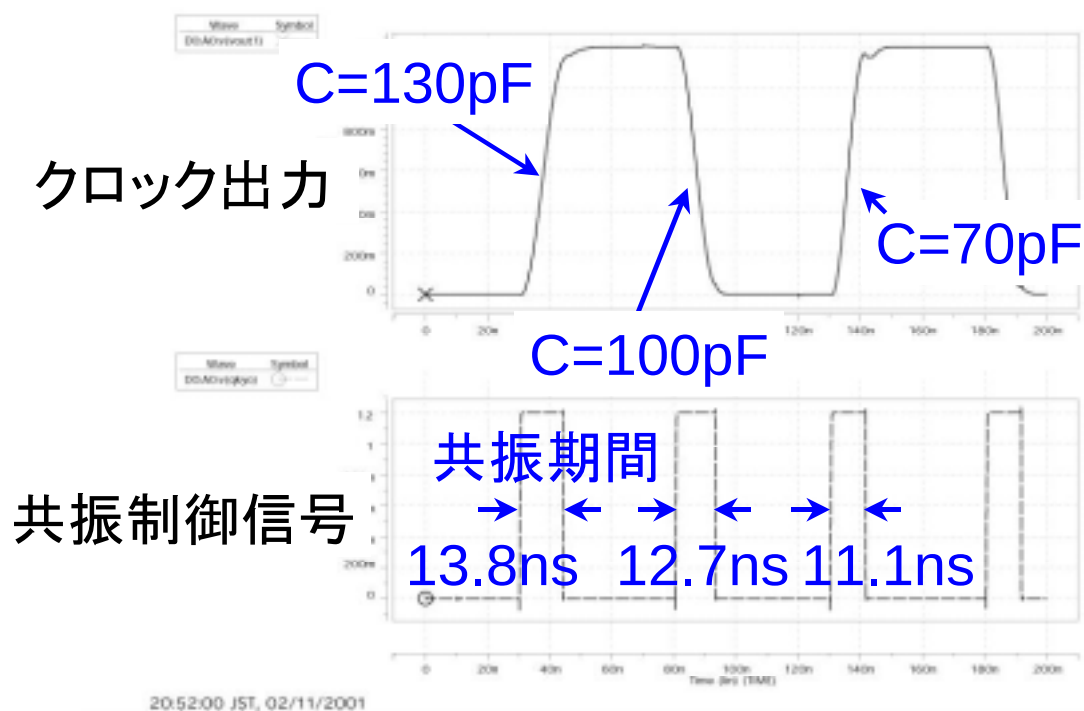


図 2.24 共振周波数のずれに対応する回路のシミュレーション結果

シミュレーションに用いた回路では、クロックジェネレータの負荷の容量を 70pF とし、それと並列に 30pF のスイッチトキャパシタを 2 つ挿入した。そして、スイッチトキャパシタを制御することにより、負荷の容量が回路の動作中に変化する様子を擬似的に表した。

シミュレーションの初期状態では 2 つのクロックとキャパシタを両方ともオンにし、負荷容量の大きさを $70\text{pF} + 30\text{pF} + 30\text{pF} = 130\text{pF}$ とした。外部クロックを入力し、1 回目の信号遷移が終了した後に 1 つのスイッチトキャパシタをオフにする。その結果、負荷の容量は 30pF 減少し、100pF へ変化することになる。したがって、この次に外部クロックが遷移する時には、負荷の容量が減少したために共振周波数が高くなり、それに伴ってクロックドライバの共振時間も短くしなければならない。この結果は、図 2.24 で示したように、共振制御信号が HIGH の期間が 13.8nsec から 12.7nsec に短縮されたことにより示されている。以

下同様に、クロックドライバの出力が遷移した後にさらに残りのスイッチトキャパシタもオフにすることで、負荷の容量をさらに 30pF 減少させる。すると、さらに高い共振周波数によってクロックが遷移するので、それに伴って回路の共振時間はさらに短くなり、11.1nsec となっている。

この結果から、負荷のキャパシタンスの変動による共振周波数の変化に対し、クロックジェネレータの制御回路が正しく共振時間を調整していることが示された。

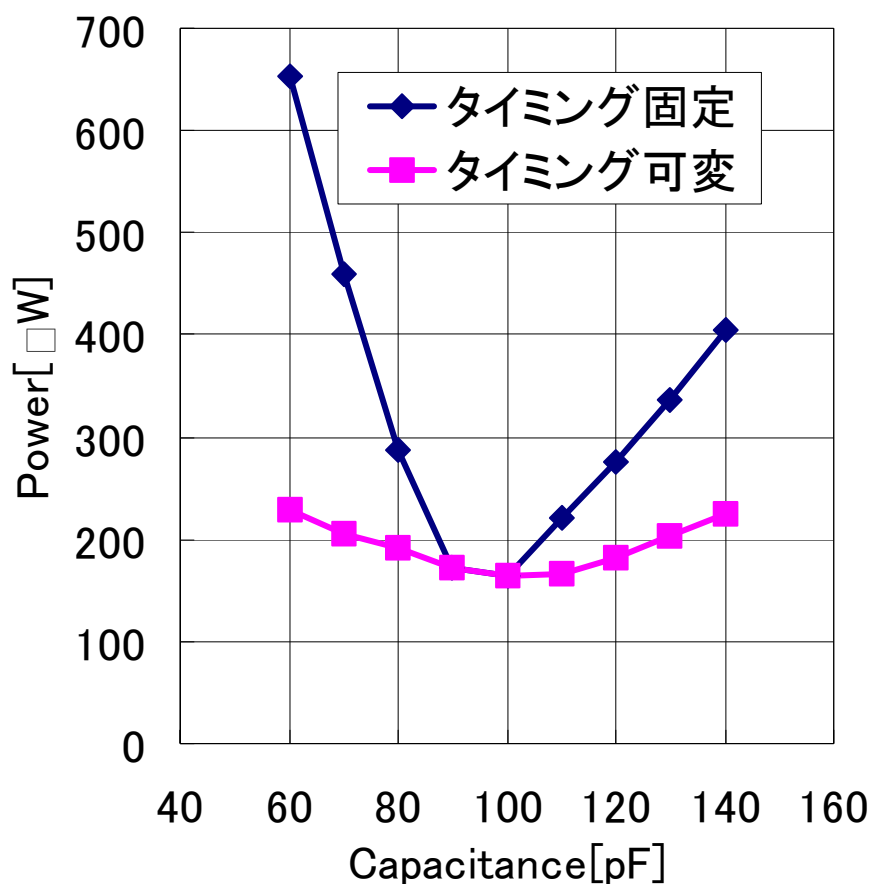


図 2.25 制御回路の変更による消費電力の減少

図 2.25は、従来の制御回路により、ゲートの制御のタイミングが制御クロック周波数に固定されている場合に対し、本節で用いた、タイミングが共振周波数により可変になっている回路を用いて制御を行った場合について、その消費電力が小さくなっていることを表している。

キャパシタンスのずれが設計時の 100pF またはそれと同程度の場合には、従来のタイミング固定の制御方式でも、消費電力の増加はほとんど見られないが、負荷のキャパシタンスの大きさが 30%ずれてしまった場合には、キャパシタンスの大きさが設計時の最適値であった 100pF と比較して、消費電力が 2 倍以上と急激に増加してしまっている。

それに対し、キャパシタンスの大きさにより、クロックドライバのゲート駆動タイミングが常に共振の周波数に追従する回路の場合、キャパシタンスの大きさによる消費電力増加の影響が非常に緩やかになっている。キャパシタンスの大きさが設計時の最適値と比較して 30%変動してしまった場合でも、クロックドライバの消費電力は約 20%しか増加していない。

この制御回路を設計する際に、設計時のキャパシタンスである 100pF の負荷の時に最適なタイミングで動作するように回路のパラメータを決定したため、消費電力の最低値が 100pF であり、それ以外の周波数では消費電力がわずかながらではあるが増加してしまっている。これは、制御タイミングが制御クロック周波数に固定の場合の制御回路では、制御がデジタルで行われていたのに対し、この回路では、キャパシタンスの変動による共振周波数の変化をアナログ回路でモニタリングしてタイミングを決定しているために、周波数が変動するとわずかながらにモニタリングの性能が変動することが原因として挙げられる。共振周波数の変動に対し、理想的なモニタリング回路が作成することができれば、このキャパシタンスの変化にたいする消費電力の変動をより縮小し、常に最適のタイミングで制御することにより、消費電力も共振周波数の変動に依存しない値になるものと考えられる。しかし、微分フィルタの位相遅れのた

め、これ以上の制御性能向上のためにはより複雑な制御回路を設計する必要がある。

第3章 Depletion 形 CMOS ゲートの特性

3.1 はじめに

スケーリング則による回路の高集積化に伴い、集積回路の消費電力は急激に増大し続けており、現在ではこのことが大きな問題となっている。そのため、従来はスケーリングされずに一定であった電源電圧が、近年では低消費電力化をめざすために、5V から 3.3V、1.8V と急速に下げられており、最新のプロセッサでは 1V 以下の動作電圧のものも登場してきている。また、今後も低電源電圧化がトレンドになると考えられている。しかしながら、電源電圧を単独で低下させると、トランジスタの駆動能力が低下してしまうため、回路の遅延時間が悪化するという問題が生じる。遅延時間を増加させないようにするためには、電源電圧を下げるとともに、閾値電圧も同時に低下させなければならない。回路に高速性が求められるクリティカルパスなどでは、閾値電圧が 0V 以下の depletion 形の CMOS 回路が使用されるようになる可能性もある。しかし、デプリーション形 CMOS 回路が動作可能なしきい値には下限が存在する。そこで、ノイズマージンの制約という観点からしきい値の下限について解析を行った。そこで、本研究では depletion 形 CMOS 回路の解析を行った。

3.2 デブリーション形回路のノイズマージン

デブリーション形のインバータ回路では、エンハンスメント形に比べ電圧増幅率が低く、閾値をさらに低下させるとついには増幅率 $|A| < 1$ となり、出力信号の振幅が入力信号の振幅よりも小さくなってしまう。従って、デブリーション形 CMOS には最低動作閾値電圧が存在する[12]。しかし、最低動作閾値電圧では、スタティックノイズマージン(SNM)が0であるため、実際にはある程度の余裕を考えなければならない。

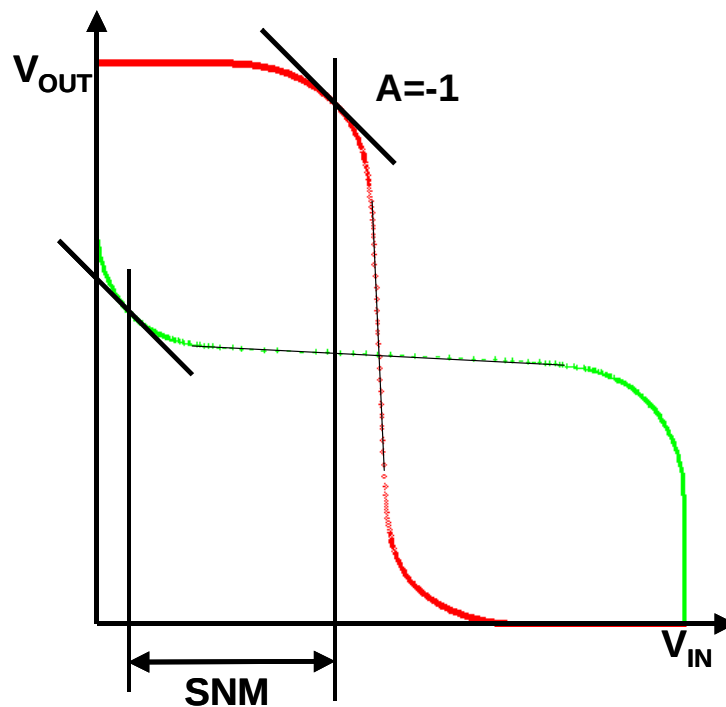


図 3.1 SNM の定義

MOS トランジスタのドレイン電流 I_{ds} は、 α 乗則[13]を用いて次のように表される。

$$V_{DSAT} = K_V(V_{GS} - V_T)^{\alpha/2}$$

$$I_{DSAT} = K_I(V_{GS} - V_T)^\alpha \quad (V_{DS} \geq V_{DSAT})$$

$$I_{DSAT} = I_{DSAT} \left(2 - \frac{V_{DS}}{V_{DSAT}}\right) \frac{V_{DS}}{V_{DSAT}} \quad (V_{DS} < V_{DSAT})$$

ここで、 α は 1~2 の値をとる。Shockley モデルでは $\alpha=2$ である。一般の α について解析的に SNM を求めるのは困難であるが、 $\alpha=2$ の時は、

$$SNM = \frac{(1+2\nu)}{4} \quad (K_V = 1.0) \quad \left(\nu = \frac{V_T}{V_{DD}}\right)$$

$$SNM = \frac{(5+6\nu)}{16} \quad (K_V = 0.6)$$

となる。このグラフを図 3.2 に示す。従って、SNM は V_{GS} 、 V_{DS} によらず、 ν および K_V のみに依存することがわかる。(閾値電圧 / 電源電圧) が SNM の大きさとトレードオフの関係になっていることがわかる。

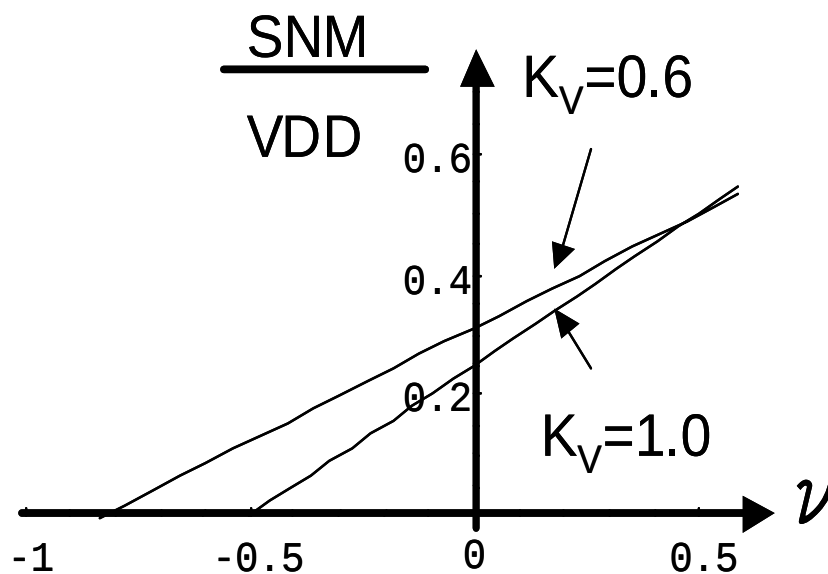


図 3.2 インバータにおけるノイズマージン

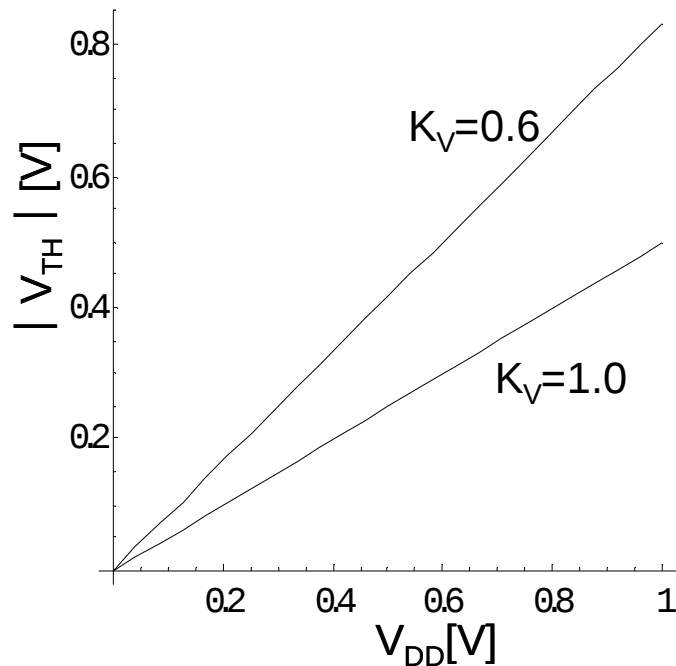
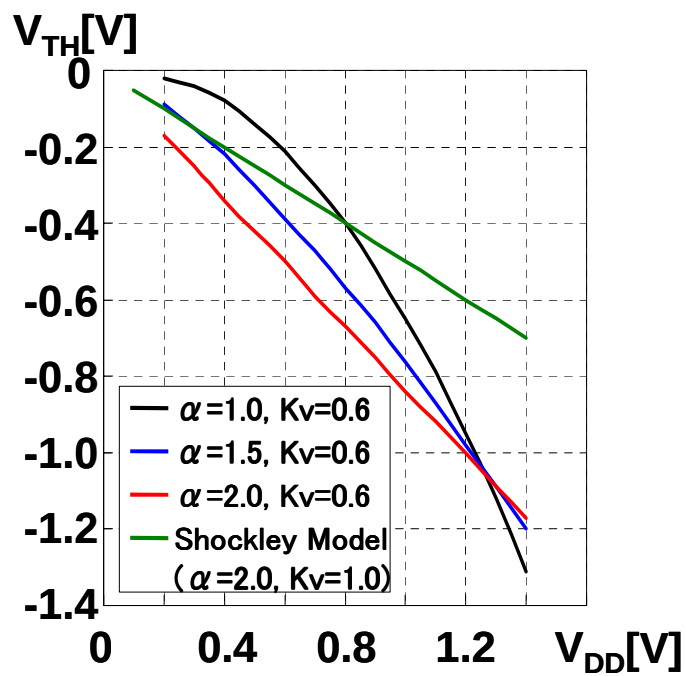


図 3.3 ノイズマージン一定条件での V_{DD} - V_T 特性

今度は逆に、ノイズマージンの大きさを一定の値とした場合についての電源電圧としきい値の関係について図 3.3 に示す。 $\alpha=2$ 、 $K_V=1.0$ の Shockley モデルの場合では、電源電圧としきい値の大きさが比例していることが分かる。 K_V の値が一般的な場合においても、 α が 2 の場合には電源電圧としきい値が比例することが求められた。

次に、 α の値が 2 以外の場合について、 V_{DD} と V_{TH} の下限値についての関係を、ふたたび α 乗則を用いることにより解析した。図 3.4 に示すように、 α が 2 より小さくなると、グラフが上に凸の形に変化することが分かる。最近では低消費電力化を目指すために低電源電圧化が進んでおり、今後は電源電圧が 1V 以下で用いられることが多くなることと、また、 α の大きさは半導体プロセス技術の向上にともなう短チャネル効果などより、1 に近づきつつあることなどを考えると、今後、デプリーション形トランジスタを用いる場合に、しきい値の下限が上昇すると予想される。したがって、しきい値の設計の際に、しきい値を変動

させられる領域が今後は狭まってしまうという結果となった。



V_{DD} と V_{TH} の最小値の関係

図 3.4 α が異なる時の V_{DD} と最低 V_{TH} の関係

3.3 デブリーション形回路の遅延時間

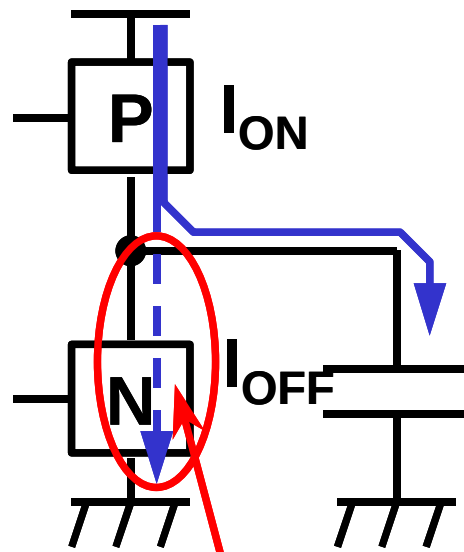
通常の CMOS の回路モデルによる消費電力および遅延時間は、一般的に図 3.5 のように表すことができる。通常用いられるエンハンスメント形の CMOS 回路では、プルアップパスまたはプルダウンプスの片方のみがオンであると多くの場合近似している。ゲートの遅延時間は、電源電圧を V_{DD} 、ゲートの入力容量を C 、トランジスタのオン電流を I_{ON} とすると、ほぼ $C \cdot V_{DD} / I_{ON}$ に比例すると考えられている。これは、1 回の信号の遷移により、ゲートに蓄積される、またはゲートから引き抜かれる電荷の量は $Q = C \cdot V_{DD}$ であり、この電荷の量をオン電流である I_{ON} で移動させるということを表している。

$$\begin{aligned} \text{■ Power} &= \alpha \cdot f \cdot C \cdot V_{DD}^2 \\ \text{■ Delay} &\propto \frac{CV_{DD}}{I} = \frac{CV_{DD}}{K_I (V_{DD} - V_{TH})^\alpha} \end{aligned}$$

α : 活性化率
 C : 負荷容量
 V_{DD} : 電源電圧
 f : 周波数
 I : 充放電電流

図 3.5 CMOS 回路の消費電力と遅延時間

通常のプロセッサでは、しきい値の大きさが正の値であるエンハンスメント形トランジスタを用いているため、ゲート電圧 V_{gs} が 0 V の場合にはトランジスタが非導通状態である。そのためにトランジスタのオフ電流 I_{OFF} は小さい値であったため、回路の充放電の時に無視できるほどであった。それに対して、デブリーション形トランジスタでは、 V_{gs} が 0 V の状態であってもトランジスタが導通状態になってしまう。そのために回路の充放電の時には実質的な充放電電流が図 3.6 のようになり、 $I_{ON} - I_{OFF}$ が実際の充放電電流となることがわかる。



充放電電流のロスにより 遅延時間の減少に限界

図 3.6 オフ電流の増加による影響

図 3.7は、SPICE モデルに修正を加えてトランジスタのしきい値を変化させ、通常のエンハンスメント形トランジスタからデプリーション形トランジスタになっていった場合のシミュレーションを行うことで求めた回路の遅延の変化を、従来の式である $C \cdot V_{DD} / I_{ON}$ を適用した場合と、トランジスタのオフ電流を考慮した場合の遅延の式による遅延の変化と比較したものである。

従来の式では、トランジスタのしきい値を低くするにつれてオン電流が増加するため、ゲートの充放電に必要な電荷量が一定であることを考えると、デプリーション形にするほど、回路はどんどん高速化して遅延時間は減少することになってしまう。

トランジスタのオフ電流を考慮した場合、しきい値を減少させていくと、 I_{ON} の大きさが大きくなっていくのだが、それにともない I_{OFF} の大きさも増大して

ゆく。そのため、実質的な充放電電流を考えると、極端にしきい値を上げて強いデプリーション形にした場合でも、しきい値を下げることに對して充放電電流の増加があまり望めないため、図を見ると遅延時間の減少量がごくわずかになっていることが分かる。

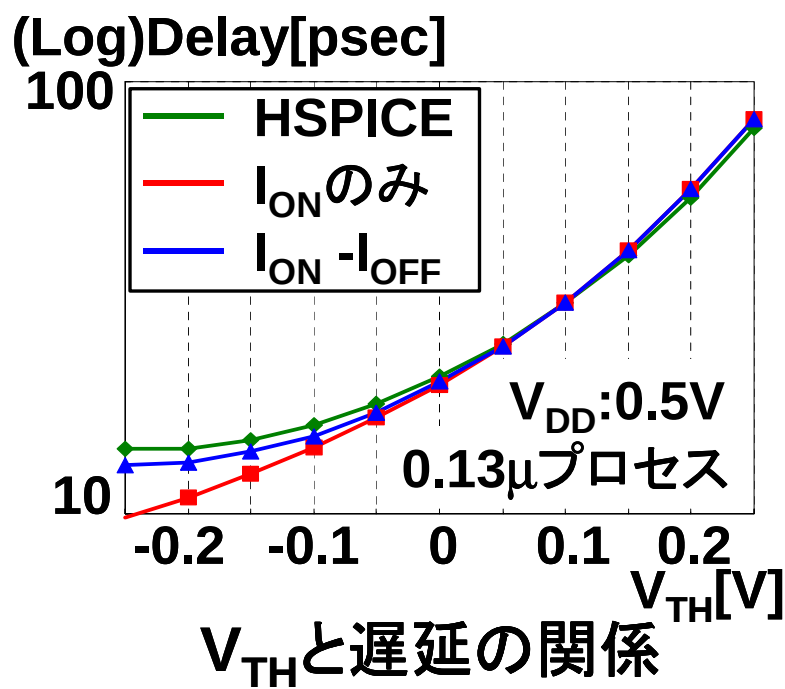


図 3.7 しきい値と遅延時間の関係

この図から、トランジスタがエンハンスメント形の場合にはオン電流のみを考慮していればよく特性と合っているが、しきい値が減少してトランジスタがデプリーション形になった場合には、シミュレーション結果と大きく食い違ってしまうことがわかった。今後、電源電圧の低下にしたがってトランジスタのしきい値は減少してゆく傾向にあり、回路の全体、もしくはクリティカルパスなどにおいてデプリーション形トランジスタを使用することもある。そのため、デプリーション形トランジスタを用いる場合においては、従来の遅延の式を修正し、オフ電流を考慮した遅延時間の式を用いて遅延を見積もること

が有効であるということが分かった。

■ $\text{Delay} \propto \frac{CV_{DD}}{I_{ON}}$ $\rightarrow$ $\frac{CV_{DD}}{I_{ON} - I_{OFF}}$

リーク電流を考慮

第4章 結論

半導体技術の進歩に伴ってプロセッサの動作速度は年々向上していき、より高速なプロセッサが次々と発表されつづけている。それに伴い、プロセッサの消費電力も非常に大きくなってきており、電力の供給や放熱、バッテリーの動作時間など多くのことが問題となっている。これらの問題は非常に重要であり、現在、LSIの低消費電力化には多くの注目が集まっている。そこで、本研究では通常のCMOSロジックとは異なる方式であるAdiabaticロジックに着目し、インダクタとキャパシタによる共振を利用しているAdiabaticロジック用クロックジェネレータをとりあげた。

低消費電力を実現するためのCMOS用クロックジェネレータとして使用できるような回路を作成し、解析式を用いることによる回路の解析およびHSPICEによるシミュレーションを行った。その結果、低周波領域では非常に低消費電力で動作することがわかった。そして、従来のCMOSクロックジェネレータとの比較した場合に低消費電力となっていることが示された。VDECを通してチップの設計を行ったが、配線のミスにより動作確認ができなかったため、回路の基本的なドライバ部分をバラック回路で作成して測定し、このクロックドライバの基本的動作の確認を行った。さらに、クロックドライバの共振周波数の変動への対策として、共振電圧をモニタリングすることにより最適なタイミングで共振の制御を行う回路を作成し、負荷容量のばらつきに対して消費電力増加のペナルティーの少ない回路とすることができた。

また、低消費電力化のためにLSIの電源電圧の低下が今後もますます進むことを考えると、回路の高速化のためには電源電圧とともにしきい値電圧も下げなければならない。したがって、回路の消費電力の増加よりも遅延時間の減少が重要となるクリティカルパスにおいては、従来用いられているエンハンスメン

ト形 CMOS ではなく、高速なデプリーション形 CMOS が用いられる可能性がある。エンハンスメント形 CMOS とは異なり、デプリーション形 CMOS ではゲート - ドレイン間電圧を 0 にした場合でもトランジスタが導通しているため、そのオフ電流を無視することができない。従来はオン電流の大きさに比例して回路の遅延時間が求めることができたが、デプリーション形ではオフ電流も考慮しない場合、求めた遅延時間と実際の遅延時間との間の誤差が大きくなることが分かった。また、オフ電流を考慮することによりこの誤差が小さくなることを示した。さらに、デプリーション形 CMOS のしきい値電圧について、高速化を目的として下げ続けてゆくと、あるしきい値の下限に達したところで回路が正しく動作しなくなってしまう。デプリーション形トランジスタを用いる回路を設計する場合、この下限となる電圧の値は非常に重要であるため、デプリーション形回路の最低動作しきい値電圧について、ノイズマージンの観点から解析を行った。最低しきい値電圧は電源電圧の大きさに依存するが、プロセス技術の発展により回路が微細化してトランジスタの短チャネル化が進むにつれ、デプリーション形回路のしきい値電圧の下限が上昇するために、しきい値電圧の設定可能な領域が狭くなることを示した。

参考文献

- [1] J. Lim, D. G. Kim, and S. I. Chae, "A 16-bit Carry-Lookahead Adder Using Reversible Energy Recovery Logic for Ultra-Low-Energy Systems," *IEEE Journal of Solid-State Circuits*, vol. 34, no. 6, pp.898-903, June. 1999.
- [2] A. G. Dickinson and J. S. Denker, "Adiabatic Dynamic Logic," *IEEE Journal of Solid-State Circuits*, Vol. 30, No. 3, March 1995, pp. 311-315
- [3] Y. Ye and K. Roy, "Energy Recovery Circuits Using Reversible and Partially Reversible Logic," *IEEE Transactions on Circuits and Systems I*, vol. 43, no. 9, pp.769-778, September. 1996.
- [4] Y. Moon and D. K. Jeong, "A 32×32 -b Adiabatic Register File with Supply Clock Generator" *IEEE Journal of Solid-State Circuits*, vol. 33, no. 5, pp. 696-701, May. 1998.
- [5] Y. Moon and D. K. Jeong, "An Efficient Charge Recovery Logic Circuit," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 4, pp.514-522, April 1996.
- [6] W. C. Athas, L. "J." Svensson, J. G. Koller, N. Tzartzanis, and E. Chou, "Low-Power Digital Systems Based on Adiabatic-Switching Principles," *IEEE Transactions on VLSI Systems*, Vol. 2, No. 4, Dec. 1994, pp. 398-407.
- [7] W. C. Athas, L. "J." Svensson, and N. Tzartzanis, "A Resonant Signal Driver for Two-Phase, Almost-Non-Overlapping Clocks," in *Proc. 1996 International Symposium of Circuits and Systems*, Atlanta, GA, May 12-15, 1996, vol. 4, pp.129-132.
- [8] S. G. Younis and T.F.Knight, "Asymptotically Zero Energy Split-Level Charge Recovery Logic," in *Proc. International Workshop on Low Power Design*, Napa Valley, California, 11994, pp. 177-182.
- [9] J. Lim, D. G. Kim, and S. I. Chae, "Reversible Energy Recovery Logic Circuits and

Its 8-Phase Clocked Power Generator for Ultra-Low-Power Applications,” IEICE Transactions on Electron., Vol.E82-C, No. 4 April 1999, pp.646-653.

[10] H. Kawaguchi and T. Sakurai. “A Reduced Clock-Swing Flip-Flop (RCSFF) for 63% Power Reduction,” IEEE Journal of Solid-State Circuit, vol.33, pp.807-811, May, 1998

[11] Y. Ye, K. Roy, and G. Stamoulis, “Quasi-Static Energy Recovery Logic and Supply Clock Generation Circuits”, International Symposium on Low Power Electronics and Design, Digest of Technical Papers, 1997, IEEE, Piscataway, NJ, USA. pp. 96-99

[12] ゲン・ドゥック・ミン、野瀬浩一、桜井貴康、” 低電源電圧 depletion 型 CMOS の最低動作閾値電圧 ”、1999 年電子情報通信学会春季総合大会、A-3-12

[13] Takayasu Sakurai, R. Richard Newton, “A simple MOSFET for Circuit Analysis”, IEEE Trans. on Electron Devices, Vol. 38, N o. 4. 1991

本研究に関する発表

1 . 「Adiabatic 概念を応用した CMOS 用クロック回路」浅野雄太郎・桜井貴康
第 61 回応用物理学会学術講演会 p.800 2000 年 9 月

2 . 「デプリーション形 CMOS ゲートの特性」浅野雄太郎・野瀬浩一・桜井貴康

電子情報通信学会 2000 年ソサイエティ大会 講演番号 A-3-8 2000 年 9 月

謝辞

本研究を行うにあたり、指導教官である桜井貴康教授には研究の終始にわたり多くの懇切なご指導をいただき深く感謝いたします。

桜井研究室の野瀬浩一氏には、研究を進めるにあたり有益な助言をしていただき大変お世話になりました。また、研究室における研究環境の整備や、研究に関するさまざまな指摘や多くの議論をしてくださった桜井研究室的メンバーに感謝いたします。