修士論文

VDD ホッピング VLSI 用
クロック発生回路と DC-DC コンバータ
の研究

2001年2月2日提出

指導教官 桜井 貴康 教授

東京大学大学院工学系研究科
電子工学専攻

学籍番号 96464

張 綱
内容梗概

本論文の内容を以下にまとめる。

1) VDD ホッピングのソフトウェア部分実装
アプリケーション実行時、LSI の計算負荷によって電源電圧と動作周波数を動的に変化させ、アプリケーションの実時間性を保ちながら低消費電力化を図る手法として VDD ホッピングが提案されている。その VDD ホッピングアルゴリズムを市販プロセッサ SH4に実装し、低消費電力効果を実験によって確認した。MPEG4 エンコードアプリケーションに VDD ホッピングアルゴリズムを組み込んで SH4 プロセッサ上で実行した結果、アプリケーションの実時間性が保たれながらもその消費電力は従来の 1/4 に減ったこととが確認され、VDD ホッピングが低消費電力に有効であることを実証した。

2) VDD ホッピングに適した高速周波数切り替え可能なクロック生成系の設計
VDD ホッピングアルゴリズムでよりよい低消費電力効果を得るために、LSI の動作周波数と電源電圧をすばやく切り替える必要がある。しかし、従来のクロック生成系では周波数を切り替えることが難しく、切り替えが長く、長期間の電力消費がある。この問題を解決するため、高速周波数切り替え可能なクロック生成系を提案し、実装を行った。シミュレーションの結果、提案回路は瞬間に周波数を切り替えることが確認された。

3) DC-DC コンバータでのエネルギー損失を解析および高効率 DC-DC コンバータの設計
VDD ホッピング、マルチポルテージなどの技術で、電圧変換機として必要とされる高効率 DC-DC コンバータの設計について検討した。特に DC-DC コンバータのエネルギー損失について解析をし、VDD ホッピングに適した DC-DC コンバータの設計手法についてまとめた。
<table>
<thead>
<tr>
<th>項目</th>
<th>内容</th>
</tr>
</thead>
<tbody>
<tr>
<td>内容梗概</td>
<td>2</td>
</tr>
<tr>
<td>第1章 序論</td>
<td>5</td>
</tr>
<tr>
<td>1.1 はじめに</td>
<td>5</td>
</tr>
<tr>
<td>1.2 実行時電圧ホッピングとその実装</td>
<td>7</td>
</tr>
<tr>
<td>第2章 高速周波数切り替え可能なクロック生成系</td>
<td>12</td>
</tr>
<tr>
<td>2.1 はじめに</td>
<td>12</td>
</tr>
<tr>
<td>2.2 クロック生成系の構成</td>
<td>12</td>
</tr>
<tr>
<td>2.2.1 高速周波数切り替え可能なクロック生成系</td>
<td>15</td>
</tr>
<tr>
<td>第3章 高効率DC-DCコンバータ</td>
<td>21</td>
</tr>
<tr>
<td>3.1 はじめに</td>
<td>21</td>
</tr>
<tr>
<td>3.1.1 スイッチングレギュレータ</td>
<td>23</td>
</tr>
<tr>
<td>3.1.2 出力フィルタの特性</td>
<td>25</td>
</tr>
<tr>
<td>3.2 DC-DCコンバータの回路設計技術</td>
<td>27</td>
</tr>
<tr>
<td>3.2.1 DC-DCコンバータの高効率化</td>
<td>28</td>
</tr>
<tr>
<td>3.2.1.1 エネルギー損失の解析</td>
<td>28</td>
</tr>
<tr>
<td>3.2.2 DC-DCコンバータの性能</td>
<td>38</td>
</tr>
<tr>
<td>3.2.2.1 DC-DCコンバータの性能</td>
<td>38</td>
</tr>
<tr>
<td>3.2.2.2 DC-DCコンバータの性能</td>
<td>38</td>
</tr>
<tr>
<td>3.2.2.3 DC-DCコンバータの性能</td>
<td>38</td>
</tr>
</tbody>
</table>

(損失1) 伝達損失
(損失2) ゲート駆動損失
(損失3) 不正確なデットタイム制御による損失
(損失3.1) デットタイムを設けない : 短絡損失
(損失3.2) デットタイムが短い : キャパシタスイッチング損失
(損失3.3) デットタイムが長い : 基板ダイオードの逆方向回復による損失
(損失4) 浮遊インダクタ損失
(損失5) フィルタ損失
(損失6) リーク電流による損失
3.2.2 DC-DCコンバータの小型化
3.2.2.1 高周波数動作
3.2.2.2 大電流リップル
3.2.2.3 電流積化
3.2.2 DC-DC コンバータのノイズ対策 .......................... 39
3.3 低電流領域での高効率 DC-DC コンバータの実現 ..................... 39

第4章 結論 .................................................................. 46

参考文献 ..................................................................... 43

本研究に関する発表 ................................................................ 45

謝辞 ........................................................................... 46
第1章 序論

1.1 はじめに

システムの全機能を1チップで実現するシステムLSIは、微細加工技術の進歩によって製造が可能となり、携帯型情報機器をはじめオーディオ装置、自動車などの様々な製品に組み込まれているようになってきた。これらのシステムの多くは実時間処理を行うため、リアルタイム性の要求が厳しく、高速化が望まれる。一方、LSIの大規模化に伴い、チップの発熱が高集積化と高速化を制限する最大の要因となっていること、また、現在、ラップトップや携帯電話などの携帯情報機器の普及に従い、軽量のエネルギー源で多様な処理を長時間実行するシステムの実現に対する要求が高まっていることから、低消費電力システムの実現が重要視されている。

しかし、CMOS 論理回路において、論理ゲートがスイッチング時に消費するダイナミック電力は、電源電圧の2乗に比例し、回路遅延は電源電圧に反比例する(図 1.1)。電源電圧を可能な限り低くすることによって電力消費を抑えることができる。しかし、その反面電源電圧を下げるることによって回路遅延が増えてしまい、CMOS が速く動作することができない。つまり、CMOS 論理回路においては、電力消費と動作速度とのトレードオフ関係にあり、高いスループットでLSIの低電力消費を実現することが難しい。電力消費を抑えるには、電源電圧を可能な限り下げが最も有効であり、電圧の低減によるパフォーマンスの低下はアーキテクチャ、論理、または回路レベルの工夫によって補う方法がよくとられている[1]。

低消費電力作動する技術の中で、LSIに可変電源電圧を使用する方法(Dynamic Voltage Scaling)はCMOS論理回路の電力消費と回路遅延のトレードオフをうまく利用するものとして知られている[2][3]。この方法では、LSIに要求されるパフォーマンスに応じて、電源電圧を調整し、回路には常に最低限の電圧しか必要ないようにすることによって無駄を省き、低電力消費を実現する。

本稿では、可変電源電圧制御方式のひとつである実行時電圧ホッピング方式(Run-time
Fig.1.1(a): power dependence on $V_{dd}$ & $V_{th}$

Fig.1.1(b): delay dependence on $V_{dd}$ & $V_{th}$

Voltage Hopping Scheme[5])のアルゴリズムを汎用プロセッサに実装し、実験を通してその有用性を示すとともに、それを実現するため必要である高速周波数切り替え可能なクロック生成系および高効率D C-D Cコンバータの設計手法について
まとめる。第1章では、研究背景として実行時の電圧ホッピングによる変電源制御実験の概要を説明する。Vddホッピングアルゴリズムを実装するターゲットシステムについて簡単に紹介し、実験結果を通して変電源電圧制御の有用性を示す。第2章には、Vddホッピングでより低い消費電力功を果たするために必要である高域周波数切り替え可能なクロック生成系について説明し、その実装を示す。第3章に、変電源電圧制御を実現する上で、必要となる高効率DC-DCコンバータの設計を示す。

1.2 実行時電圧ホッピングとその実装
汎用プロセッサでは、時間によってデータ処理量が大きく変動する。要求される処理量に応じ、プロセッサの動作周波数を変化させることによって、電力消費を抑えることができる。動作周波数を変化させると同時に電源電圧を変化させることで、より多くの電力消費を省くことができると考えられている（図1.2）。これを実現するため、多くの変電源電圧制御アルゴリズムが提案されている[1-4]。しかし、その中ではアプリケーションコンパイル時に電源電圧の切り替えをスケジューリングするものや、特化されたハードウェアを必要とするものが多く、必ずしも実時間処理に実用できるとはいえない。しかし、実時間処理アプリケーションの多くはデー
Fig.1.3: Block diagram of runtime power control scheme

Fig.1.4: Scheduling of Run-time Voltage Hopping
回路(Power Control Chip)と電力制御アルゴリズムからなる。電力制御アルゴリズムを組み込んだアプリケーションは、汎用プロセッサ上で実行する。アプリケーションの実行具合によって電力制御アルゴリズムはプロセッサのための、適切な電源電圧及び動作周波数を決める。実際にプロセッサの電源電圧と動作周波数との変更は電力制御回路によって行われる(図1.3)。

MPEG4エンコーダやSELパースピーチエンコーダなど実時間処理を必要とするアプリケーションでは処理レートが決まっているものが多い。MPEG4 SP@L1の場合、実時間性を保証するため、秒間15フレームの画像データをエンコーダが処理する必要がある。しかし、エンコーダ処理の計算量は入力データに依存するため、データによっては処理が1/15秒より早く終わってしまうものもある。実行時電圧ホッピングによる可変電源制御は、こうした処理・データに依存するプロセッサスループットの変化を利用して、低消費電力を図る。

MPEG4エンコーダでは、実時間処理を実現するため、1フレームのデータを処理するのに当
てられる時間は1/15秒である。言い換えれば、1/15秒で1フレーム分のデータ処理ができればよく、処理時間の余裕を利用し、プロセッサの動作周波数と電源電圧を下げ、ゆっくり動かすことによって低消費電力を図ることができる。実行時電圧ホッピングが、このことを実現するため、アプリケーションの実行を時間単位で管理する。1/15秒の時間を小さい時間区間に細かく区分する。各時間区間において処理の進み具合をチェックする。処理時間に余裕があると判断された場合、クロック周波数および電圧を適切な値まで下げ、電力消費の削減を図る（Fig. 4）。Pentium 4プロセッサ上でソフトウェアシミュレーションを行った結果、実行時電圧ホッピングによる電源制御を用いて最高90%電力消費の削減が可能であると報告されている。

実行時電圧ホッピングによる可変電源制御が、LSIの消費電力を抑えるのにきわめて有効であることはソフトウェアシミュレーションによって示されている。しかし、従来のハードウェアソースが利用できるこの電圧制御方法は、実装による性能評価が重要であるにもかかわらず、ハードウェアによる実装がまだなされていないのが現状である。

そこで、実行時電圧ホッピングを汎用マイクロプロセッサSH-4に実装して、実行時電圧ホッピングによる消費電力削減の有効性を評価してみることにした。実装は、市販のSH-4(SH 7750)評価ボードを用いて行われた。汎用プロセッサとして知られるSH-4プロセッサ（Fig.4）は、低消費電力を実現するため、3.3VのIO電圧と2Vのコア電圧と二つの電圧によって動作するように設計されており、消費電力の多いコアロジック電圧のみを下げても、プロセッサと周辺チップとのインターフェースが保証されている。2Vのコア電圧で、CPUは200MHzで動作するのに対し、1.2Vでは、100MHzの正しい動作が確認されている。また、プロセッサ周辺モジュールの中で、
周波数制御レジスタがあり、プロセッサ動作周波数の変更は周波数制御レジスタを書き換えることによって簡単に行うことができる[15][16]。

電圧ホッピングの実装はFig.5のようにして行われた。2vと1.2vと2種類の電源を用意し、外付け回路によって、どちらでもSH-4のコア電源に接続できるようにする。SH-4上に実行時電圧制御アルゴリズムを組み込んだMPEG4 SP@L1エンコードプログラムを走らせる。

SH-4プロセッサのコアは、動作の確認された2v 200MHzと1.2v 100MHzとの二つのモードで動くものとし、電力制御アルゴリズムは、アプリケーションの実行状況に従い、この二つのモード間でプロセッサの動作を切り替える。アプリケーションの実行時間に余裕があるのであれば、CPUの動作周波数を100MHzに落とし、コア電圧を1.2vに変える。反対に、速い処理が必要であるときには、コア電圧と周波数を上げる。電源電圧の変更は、SHのI/O命令を用いて、外付け回路にアクセスをし、プロセッサコアに与える電源電圧をスイッチで切り替えることによって実現する。電源電圧を変更すると同時に、周波数制御レジスタを書き換え、プロセッサの動作周波数をも変更する。

Fig.6には可変電源の実装に使われたボードの写真が示されている。実行時電圧ホッピングを実装し、SH-4上で MPEG4 SP@L1 エンコーダは動作させた結果、消費電力は従来の約1/4に抑えることができた(Fig.8)。MPEG4エンコーダは、実行時間の2％しか高電圧を必要とせず、98％の時間においては低い電源電圧と低いクロック周波数だけで実時間処理を十分にこなせたことがわかった。
第2章 高速周波数切り替え可能なクロック生成系

2.1 はじめに

第1章で示したように、Vdd ホッピングはアプリケーションの実時間性を保証し、LSI の低消費電力化を実現する上で非常に有効な手法である。このことはSH4 プロセッサを用いた実験によって証明されている。しかし、実験ではプロセッサの周波数を切り替えるのにSH4 内蔵 PLL を使用しており、周波数を切り替えるたびにプロセッサをスリープさせる必要がある。また、プロセッサのコア電源も外部からのDC 電源を直接使用しており、現実的なシステム構成になっていない。本章からはVdd ホッピングを実現する上で必要な回路技術について検討する。

Vdd ホッピングではLSI の動作周波数を動作時に変更する必要がある。回路の動作周波数を切り替えるには、通常周波数シンセサイザが用いられる。周波数シンセサイザは低消費電力性、周波数安定性に優れているが、周波数切り替え時間が長いという欠点がある。この切り替え時間の長さは電圧ホッピングでは消費電力の増加に繋がるため、高速の周波数スイッチングが求められていた。本章では、周波数を高速に切り替えが可能なクロック生成系を提案する。

2.2 クロック生成系の構成

LSI のクロック生成系は通常 PLL（または DLL）を用いて構成される。マイクロプロセッサなどデジタルLSI の動作周波数が50MHz またそれ以上になると、オンチップクロックドライバによって生じるチップ内
部クロックの遅延（クロックスキー）がチップパフォーマンスを低下させる原因の一つになり、除去する必要がある。特に100万トランジスタまたはそれ以上に大規模集積回路ではクロックドライバで駆動すべき容量は数nfにもなり、それによって生じるクロック信号の遅れは2ns以上にもなる。このような大きなクロックスキーの元で正しく回路を動作させるには大きなセットアップタイムとホールドタイムをもつ入出力信号が必要である。これが回路動作周波数の上限を与えてしまい、チップパフォーマンスを制限する原因のひとつになる（図2.1）。チップ内のクロックスキーを除去し、回路パフォーマンスを向上させるにはPLL（またはDLL）を使う必要がある。

また、多くのデジタル回路では50％デューティのクロック信号が要求される。正確に50％デューティサイクルをもつクロックを生成するには少なくとも2倍以上高い周波数の信号源が必要である。高速デジタルICを動作させるためにさらに高い周波数のシステムボード上に発生させる方法は非現実的で、通常は
より低い周波数のクロック信号をシステムボード上で作り、それを LSI 内で周波数逓倍する手法がとられている。この周波数逓倍回路にも PLL（または DLL）が使用される。

PLL の基本構成を図 2.2 に示す。PLL は、二つの入力信号の位相差を検出する位相比較器、位相比較器からの位相差信号をデジタル信号からアナログ信号に変換するチャージポンプ回路とローパスフィルタ、周波数制御信号の電圧レベルにより発振周波数が変化する電圧制御発振器（VCO）からなり、帰還ループを構成する。位相比較器が入力クロックと LSI のクロックツリーから戻ったクロック信号の位相差を検知し、それにしたがってチャージポンプ回路とローパスフィルタが VCO の入力電圧レベルを上下する。定常状態では VCO の発振周波数と入力周波数は一致する。通常 PLL 出力クロックのデューティを 50% にするため、VCO の出力に 2 分周器をつけることが多い。また位相比較器に戻るクロック信号に分周器をつけることによって入力クロックに位相が一致した連続周波数のクロック信号が得られる。

PLL を用いて、従来方式で周波数切り替え可能なクロック生成系を構成したものが図 2.3 に示される。これはクロック生成系の出力クロックが f と f/2 と二つの周波数間に切り替える場合を想定したものである。この構成は単純で、単に VCO の出力に二つのクロックパスを設けることによって実現することができる。しかし、欠点も多い。

通常、PLL を用いたクロック生成系では、出力クロックは VCO の入力電圧によって制御される。クロック周波数を切り替えた場合、VCO の入力電圧が新しい値に落ち着き、PLL がロックするまで、通常数 μs の切り替え時間はかかる。高速ロックをはかり、SAR 制御 DLL を用いて実現すると、ロックタイムを数
ms に短縮させることができる(正確にいうと、DLL のアップダウンカウンタのビット分、入力クロックのサイクル数時間がかかる)。しかしこの場合周波数倍機能をもつ DLL が必要となり、factorial DLL が要求される。回路が複雑になるだけではなく、ロックするのにかかる時間ロスを完全になくすことができない。

また、従来方式の回路を用いた場合(図 2.3)、PLL はfとf/2との二つの周波数でロックする必要があるため、広いロックレンジを必要とする。PLL の電圧制御発振器(VCO)は入力信号の電圧レベルに比例して出力信号の発振周波数が変化する。しかし、低電源電圧では周波数制御信号の電圧レベルの制御範囲(ダイナミックレンジ)が減少するため、電圧制御発振器の出力周波数の制御範囲を広くしたい場合、入力信号に反応して変化する出力周波数の割合、すなわち感度(Hz/V)が大きくなってしまう。この感度の増加はジッタを大きくするだけでなく、電圧制御発振器の入力信号に乗る雑音の影響も増加させる。広いロックレンジを必要とする図 2.3 の回路は、ジッタの問題が存在するだけでなく、将来電源電圧が下がったときに実現困難なことも予想される。これらの問題点を解決するため、新たな回路構成を考える必要がある。

2.2 高速周波数切り替え可能なクロック生成系

2.1 節に述べた問題点を解決した高速周波数切り替え可能なクロック生成系を提案し、そのブロック図を図 2.4 に示す。
提案回路は、従来回路をもとに発振周波数が切り替わっても周波数と位相差が帰還ループ上に生じないように改良したものとなる。従来回路同様、提案回路の帰還ループ上には二つのクロックパスが設けられている。どちらかのパスのクロック信号を使うかによって、クロックツリーに供給されるクロックの周
波数は異なる。二つのクロックパスが対称構造関係にあるため、パス上信号の位相と周波数は一致する。したがって、二つのパスの間に信号を切り替えても、ループ上で位相差が生じることなく、PLLはロック状態から外れることはない。

図2.4にある1分周器は、クロックパスの位相差(信号の遅延)をあわせるもので、2分周器と等しい遅延を持つものであることを示す。分周器の遅延はすべてClk-Qに等しいため、実際の回路実装ではこの遅延素子は分周器を用いて実現される(図2.5)。

図2.5に示す回路は、二つのクロックパスのどちらかで動作する。帰還ループがロックした安定状態では、動作するクロックパス上にあるクロック信号の位相は外部クロックに同期する。たとえば、図2.5の回路でφ2, φ3のクロックパスを使ってPLLをロックさせた場合、信号φ2, φ3はLSIの外部クロックと同位相となる。信号φ1はφ2と同位相でかつ周波数が高いため、外部クロックとも同位相となる。これに対して、信号φ4はφ2と同位相であるが、周波数はφ2よりも低いため、外部クロックに比べて位相がずれる可能性がある(図2.6)。この状態でLSIのクロック周波数を切り替えると、位相差が帰還ループに現れ、PLLの安定状態を崩す原因となる。

この問題を解決するため、PLLの引き込み時に、PLLの帰還ループ上で最も周波数の低いクロックパスを使ってPLLをロックさせる必要がある。図2.5の回路の場合、それは信号φ2, φ4のパスとなる。つまり、すべての分周器のノードで位相を一致させるために、PLL引き込み時と周波数切り替え時とにそれぞれ異なるクロックパスを用いる必要がある。これを実現するため、図2.7の回路が使われる。引き込み時、PLLは通常より低い周波数でロックするため、外部クロックをも分周してから位相比較器に入れることによって、周波数切り替え時と同じ状態でPLLをロックさせることができる。この方式でクロック生成系を動
作させると、各分周器ノードにおいて位相差が存在しないロック状態に PLL を安定させることが可能（図2.8）。

提案方式のクロック生成系を CMOS 回路で実装し、HSPICE によってシミュレーションを行った。図2.9にクロック生成系のループフィルタ出力、図2.10にはクロックツリーへ供給されるクロック信号を示している。外部入力クロックが 10MHz で、ロック状態で VCO が常に 400MHz で発振するように設計した。分周器を通して、100MHz または 200MHz のクロック信号を LSI 内部に供給する。図2.9では、提案回路と従来回路の比較を行っている。二つのクロック生成系は 10μs で同時に周波数を切り替えており、

図 2.8: Wave Form of Circuit in Fig. 2.6

図 2.9: Output of Loop Filter
図 2.10: Input Clock of Clock Tree

図 2.11 Layout Image of Clock Generator
従来方式の場合回路周波数を切り替えてから帰還ループが安定するまで約 6 \mu s の時間がかかるのに対し、提案回路は周波数を切り替えてもロック状態から外れることなく常に安定して発振する。提案回路の出力クロック信号を拡大表示したものが図 2.10 である。周波数が瞬時に切り替わっていることがわかる。

提案回路はより高速に周波数を切り替えることができるだけではなく、従来方式に比べて回路トポロジーもが単純で APLL, DPLL, または DLL を用いたいずれのクロック生成系に適用することが可能であり、回路オーバーヘッドもほとんどない。

提案回路を 035\mu m の CMOS プロセスを用いて試作し、測定を行った（チップ写真を図 2.11 に示す。）
第3章 高効率 DC-DC コンバータ

3.1 はじめに

携帯型電子機器では、最大限にその稼働時間を伸ばすために低消費電力であることが要求される。通常このような電子機器の多くは、電池駆動型であり、システム内回路は電池がディスチャージし、電源電圧がある程度降下しても動作できるように設計されている。そこで電源と回路の間に電圧変換回路を使用し、各サブシステム回路には常に最適な電圧(多くの場合は最も低い電圧)が加わるようにすることによって消費電力を減らし、バッテリー稼働時間を延ばすことができると考えられている。つまり、性能を劣化させずに消費電力を減らす最も効果的な方法は、機器を構成する各システム毎に最適な電圧を設定することと、それに加えて性能が劣化する恐れがある場合に、それを補償するために適切な並列処理とバイブライン処理を施すことである。このような省電力設計は、電源電圧自身は任意の低い電圧に自由に設定することができる前提としている。つまり、携帯型電子機器では、単一の電池電源から DC - DC 変換を行い、各サブシステムに必要な電源電圧を発生することが求められている。

電池駆動機器の稼働時間を改善するには、高効率の DC-DC 変換以外に電池容量を増やすことによっても実現することが可能である。しかし、高度に最適化された電圧変換回路の体積と重量は、同様の稼働時間を伸ばすために必要とされるバッテリー体積に対して十分小さくなりえるため、より現実的である。

電圧の DC-DC 変換を行う電源回路(DC - DC コンバータ)には、高効率、低コスト、低雑音が求められている。種類多くある電圧変換回路の中に、最も効率のよい(消費電力が少ない)ものとしてスイッチングレギュレータ(スイッチングコンバータ)がある。これについて、効率、コストと雑音抑制などの面でさまざまな研究がなされており、製品化もされている。最近発表されたも
のの中で、750mW を出力する高効率低電圧コンバータや 100mW から 1W まで出力可能な商用コンバータなど高効率を実現する DC-DC コンバータが数多く見られる。これらのコンバータが出力電力の高い領域で高効率を実現しているのに対し、本章で述べる DC-DC コンバータは低い出力電力領域で高いエネルギー変換効率が実現できるように最適化されている。

携帯電話や PDA などの携帯型電子機器の多くは、イベントトリプンで動作する。実際に動作する時間は、待機時間に比べて遥かに短いことが特徴である。このようなシステムでは、待機時間にごく限られた一部の回路しか動作しないため、消費する電流が小さい。しかしこの待機期間での電力消費は、消費されるバッテリー電力の中で大きな割合を占める。消費電力を抑え、バッテリー使用時間を延ばすために、待機時間での DC-DC コンバータの効率、つまり低出力電流領域での DC-DC コンバータの効率をあげることがきわめて重要である。

また、入力データごとのデータ処理量が時間によって変化するシステムでは、データ処理量によって電源電圧を動的に変え、消費電力の削減を図るアプローチが提案されている。このようなアプローチでは、電源電圧を動的に変える必要があることから、出力電圧をすばやく切り替え可能な DC-DC コンバータが重要視されている。

本章では、高効率 DC-DC コンバータの設計について述べる。第 2 節からは DC-DC の基礎、動作原理について説明する。第 3 節では高効率、低コストと低雑音のそれぞれについて DC-DC コンバータの設計手法を示し、従来の研究をまとめる。第 4 節で、低出力電流領域でも高効率動作可能な DC-DC コンバータを述べる。最後には出力電圧を高速切り替え可能な DC-DC コンバータについて考察する。
3.1 スイッチングレギュレータ

図 3.1 PWM 型スイッチングレギュレータブロックダイアグラム

図 3.1 に示されたスイッチングレギュレータは、バッテリー電源である $V_{in}$ から必要な出力電圧 $V_{out}$ への電圧変換を行うためのものである。同期した二つのスイッチが入力電圧 $V_{in}$ を切り刻むようにチョップすることで平均電圧が所望の出力電圧と等価である矩形波を作り出す。ローパスフィルタは直流成分を出力し、交流成分を許容される範囲のリップルにまで減衰させる。出力電圧 $V_{out}$ は、電圧や温度に独立な基準電位 $V_{ref}$ と絶えず比較され、入力電圧 $V_{in}$ をスイッチする期間が調整されることでレギュレートされる。このスイッチングレギュレータでは、スイッチング信号デュ-ティを変えることによって入力電圧や負荷条件、温度変化に対して常に安定した電圧を出力することができるため、パルス幅変換(PWM: pulse-width modulation)制御スイッチングレギュレータとも呼ばれる。リニアレギュレータやスイッチドキャパシタなどの DC-DC 電圧変換回路とは違い、スイッチングレギュレータは、理想的な部品を使った場合に 100% 近い効率を得られる方式であり、実際の設計においても容易に 75%以上の効率を実現でき、さらに最適化の努力をすることで 90%以上の効率を達成しうる非常に高効率な方式である。

図 3.1 に示す入力電圧に対して降圧する DC-DC コンバータのほかに、昇圧するものや入力電圧に対し負電圧を作るその等用途に応じて数々のスイッチングとフィルタ回路の組み合わせがある。ここでは低消費電力回路に実用可能であることから降圧コンバータのみについて議論することにする。
図 3.2 CMOS スイッチングコンバータ回路図

図 3.3 スイッチングコンバータにおける $V_x$ の波形

図 3.1 のスイッチングレギュレータを CMOS で実装した場合の回路図を図 3.2 に示す。この回路は $0 \cdot \hat{V}_{ext}$ と $\hat{V}_{in}$ の範囲で任意の電圧を出力することが可能である。パワートランジスタである $M_p$ (導通素子) と $M_n$ (整流素子) がバッテリー入力電圧 $V_{in}$ をチョップすることによって平均電圧を下げる。これによりデューティサイクル $D$ とサイクル $T_s = 1/f_s$ の方形波がインパータ出力ノード $V_x$ に得られる。その定常状態の波形を図 3.3 に示す。このチョップされた信号は $L_f$ と $C_f$ で構成される二次ローパスフィルタでフィルタされる。

理想的な状態では直流出力電圧は入力電圧とデューティサイクルとの積によって与えられる。

$$V_{ext} = V_{in} \cdot D \quad (3.1)$$

トランジスタ $M_p$ と $M_n$ のスイッチングパターンは方形波 $V_x$ のデューティサイクルを調整するように制御され、入力電圧と負荷の変化を補償する。
3.1.1 出力フィルタの特性

![図3.4 スイッチングコンバータにおける出力フィルタ部の波形]

スイッチングコンバータでは、パワートランジスタの出力方形波はL_fとC_fで構成される2次ローパスフィルタを通る。直流成分だけが通過する一方で、交流成分のリップルが許容範囲内まで減衰する。負荷のR_Lにはフィルタ出力からの直流電流が流れる。図3.4にはフィルタの入力電圧V_xが方形波である場合の、定常状態でのコイル電流I_Lと出力電圧V_extとの関係を示している。

一般的な電源装置に必要とされる十分大きな減衰特性を満たすためには、スイッチングコンバータのローパスフィルタにはL_f・C_f >> ω_x 2が満たされなければならず、ここでのω_x = 2πf_sでf_sはスイッチングコンバータのスイッチング周波数である。スイッチングコンバータは出力のリップル効果を考慮して設計する必要があるため、フィルタ部分は周波数領域の解析結果よりも時間移動特性の解析結果を用いて設計される。

フィルタパラメータが一定である場合、コイル電流のリップルΔIはコイル電圧V_Lを積分することによって求めることができる。フィルタの出力電圧におけるリップルを無視し、コイル電圧V_Lを計算すると、

\[ V_L = V_x - V_{ext} \quad (3.2) \]

となる（図3.5）。これを積分し、コイル電流リップルを計算すると
\[ \Delta I = \frac{V_L}{L_f} \cdot dt \]

\[ = \frac{(V_{in} - V_{ext})DT_s}{L_f} \]

\[ = \frac{V_n D(1 - D)}{L_f f_s} = \frac{V_{ext} (1 - D)}{L_f f_s} \]

(3.3)

が得られる。

出力フィルタに用いられるキャパシタは、コイル電流のAC成分を吸収し、安定したリップルの少ない出力電圧を出力するのに使われる。これを実現するには、キャパシタはスイッチング周波数領域での等価直列抵抗をも含んだ等価インピーダンスが負荷インピーダンスに比べて十分小さくなければならない。これによってコイルを流れるAC電流成分は負荷に流れ込むよりもフィルタキャパシタに流れ込むことになる。数100KHzより大きい周波数領域においては、どのようなキャパシタにとっても、容量インピーダンスよりも抵抗インピーダンスが支配的である。電流リップルを抑え、抵抗インピーダンスでの電力消費を少なくすることが高効率DC-DCコンバータを設計する上で重要な課題となる。フィルタ出力電圧のリップルが少なく、コイル電流のAC成分のほとんどがフィルタキャパシタに流れ込むものだとすると、出力電圧のリップルは、

\[ \Delta V = \frac{1}{C_f} \int_0^T \Delta I \, dt \]

\[ = \frac{1}{C_f} \cdot \frac{1}{2} \cdot \frac{\Delta I}{2} \cdot T_s = \frac{\Delta I}{8C_f f_s} \]

\[ = \frac{V_n D(1 - D)}{8C_f L_f f_s^2} = \frac{V_{ext} (1 - D)}{8C_f L_f f_s^2} \]

(3.4)

によって与えられる。

以上時間領域での解析ほかに、周波数領域でフィルタの特性を解析するとフィルタのインダク
タとキャパシタは$1/f_{c}$に従い小さくできることがわかる。つまり、高いスイッチング周波数を用いることによって小型の、コストの低いスイッチングコンバータを実現することができる。しかし、スイッチング周波数を高くするとコンバータでの電力消費が増え、エネルギー変換効率が低下する。スイッチングコンバータの設計において、フィルタ素子のサイズの選択は、コンバータのコストと変換効率とのトレードオフ問題となる。

また、式(2.4)からわかるようにコンバータの出力リップルとフィルタのパスバンドはフィルタ素子それぞれの値よりも$C_{f}L_{f}$の積に依存する。小さいフィルタインダクタンス値を選択することによって、スイッチング周波数を小さく保ちながら、コンバータサイズをも小さくすることができる。この場合はコイル電流のリップルが大きくなり、直流抵抗による電力消費が増える問題が生じる。

### 3.2 DC-DC コンバータの回路設計技術

DC-DC コンバータには高効率、低コスト、低雑音の設計が求められている。

DC-DC コンバータは低消費電力を実現するのに使用されるため、それ自体が高効率で、電力消費が少なくななければならない。3.2.1節ではDC-DC コンバータでのエネルギー損失を解析し、システムまたは回路レベルで高効率 DC-DC を実現するための設計技術についてまとめられる。

商品化する電子製品においてはシステム全体の低コスト化がきわめて重要な課題である。しかし、現在の DC-DC コンバータを構成するのに集積可能な部分を除いて、バイパスキャパシタ、フィルタキャパシタとフィルタインダクタと少なくとも三つの外付け素子が必要で、高いコストが支払われている。また多くの場合、低消費電力を実現するため、同一システムの各回路について電源電圧を最適化した結果、多電源を必要とするケースが増えている。たとえば、デジタル回路部では要求されるスループットに見合った低電圧で十分な場合が多いのに対し、アナログ回路部では通常高い電圧を必要とするなど、単一電源から同時にいくつかの電源電圧を生成する数個の DC-DC コンバータが必要である。いかに低コストで DC-DC コンバータを実現することがきわめて重要な課題となっている。節 3.2.2 では、大電流リップル設計など DC-DC コンバータの低コスト化技術について、節 3.2.3 では電源回路としてノイズの少ない DC-DC コンバータを実現するための低雑音化技術についてまとめる。
3.2.1 DC-DC コンバータの高効率化

3.2.1.1 エネルギー損失の解析

図 3.6 には DC-DC コンバータ回路を寄生素子を含めて示している。寄生素子には寄生容量 C、と浮遊インダクタンス L さらにパワートランジスタのドレインに寄生するダイオードなどがある。これらの寄生素子が存在することによって、DC-DC コンバータは理想素子ではなく、電圧変換時にエネルギー損失を伴うことになる。DC-DC コンバータでのエネルギー損失には大きく分けて以下のものがある。

(損失 1) 伝達損失
DC-DC コンバータで使われるトランジスタやフィルタ部品、素子間接続が理想素子ではないため、抵抗成分を含んでいる。特にスイッチングレギュレータの場合、フィルタ素子がチップの外付けになるため、ボンドイングワイヤとチップパッドの抵抗成分は無視できない。それを電流が流れると大きな電力が消費されてしまう。この抵抗によって消費され、熱に変わるエネルギーの量は式

\[ P_q = i_{\text{rms}}^2 R \]  

(3.5)

によって表すことができる。I_{\text{rms}} は各素子を流れる電流値であり、R は回路に含まれる直流抵抗をあらわしている。

通常 I_{\text{rms}} は、コンバータの出力電流を平均値とする電流のリップルであり、DC 成分と AC 成分とからなる。

図 3.6 寄生素子を含んだ DC-DC コンバータ
チップの配線やパッド接続に含まれる抵抗成分は大きく、1パッド分の直流抵抗は約1.05Ωにもなる。レギュレータによる電圧変換では入出力電源ともにパッドを通す必要があるため、DC-DCコンバータには事実上2Ω以上もの直流抵抗が含まれる。この直流抵抗による電力の損失は大きく、特に大電流低電圧が必要とするアプリケーションでは、この項の電力損失はDC-DCコンバータの効率を制限するものとなる。

伝達損失を低減し、エネルギー効率を向上させるには、パッドの並列使用と電流リップルの最適制御手法が用いられる。パッドの並列使用は同じ用途の端子を複数作って並列に接続し、低抵抗化を図る方法である。図3.7のように電源端子、接地端子、インダクタへの出力端子向けの各パッドをそれぞれ3個ずつ設けることによってパッドの配線抵抗を1/3に低減することができ、確実に伝導損失を減らすことができる。

DC-DCコンバータのパッド数を増やす以外に、コイル電流リップルを制御することによっても伝導損失を減らすことが可能である。図3.5のようにDC-DCコンバータの伝導損失はコイル電流に比例する。コイル電流はDC成分とAC成分からなり、伝導損失はこのいずれの電流成分が直流抵抗を流されることによって生じる電力損失の総和となる。コイル電流のDC成分がDC-DCコンバータの出力電流によって決まるのに対し、AC成分はチョップ周波数に依存する。チョップ周波数を制御し、コイル電流リップルを変化させることによって、伝導損失を最小化する
図 3.9 非連続モードのコイル電流

図 3.9 非連続モードのコイル電流

することが可能である。連続モード(図 3.8)での伝導損失は

\[ P = I_{\text{rms}}^2 \cdot R \]

\[ = R \cdot \int_{i_{L_f}}^{i_{L_f}+\Delta I/2} i_{L_f}^2 \, di_{L_f} \]

\[ = R \cdot \left[ \frac{i_{L_f}^3}{3} \right]_{i_{L_f}}^{i_{L_f}+\Delta I/2} \]

\[ = \frac{1}{3} R \cdot (3I_o^2 \Delta I + \frac{\Delta I^3}{4}) \]

\[ = \Delta I (I_o^2 + \frac{1}{3} \left( \frac{\Delta I}{2} \right)^2) \cdot R \quad (3.6) \]

で表される。これに対して非連続モード(図 3.9)での伝導損失を

\[ P = I_{\text{rms}}^2 \cdot R \]

\[ = I_o + \frac{\Delta I}{2} \cdot R \left[ \int_0^{\Delta I/2} i_{L_f}^2 \, di_{L_f} \right] \]

\[ = I_o + \frac{\Delta I}{2} \cdot \frac{i_{L_f}^3}{3} \]

\[ = \frac{1}{3} \Delta I (I_o + \Delta I/2)^4 \cdot R \quad (3.7) \]

のように表すことができる。

式 3.6 と式 3.7 を見て分かるように、DC-DC コンバータの伝導損失を押さえるため、コンバータを連続モードで動作させ、コイル電流のリップルをできる限り小さくする必要がある。これを実現するには高いチョップ周波数を用いる必要がある。しかし高いチョップ周波数は、ゲート駆動損失(損失 2)を増加させる原因の一つになる。つまり、伝導損失とゲート駆動損失とがトレードオフ関係にあり、コイル電流リップルの制御は二項の損失の総和が最小になるように最適化すべきである。

30
(損失 2) ゲート駆動損失

伝導損失を低減することができた。次に大きな電力損失がパワートランジスタの導通損失とゲート駆動損失とが挙げられる。パワートランジスタの導通損失を減らすため、トランジスタをソースドレイン電圧が 0V に近いところでスイッチさせる ZVS 制御と大きいサイズのトランジスタを用いてオフ抵抗を減らすとの二つの方法がある。もし、大きいトランジスタを用いるとしたら、これらのゲート容量スイッチさせるのにかかる電力を無視することができない。この損失は

\[ P_g = E_gf_s \]  

によって与えられる。（Eg はチョップ周波数の周期あたりパワートランジスタゲートをスイッチするのに必要なエネルギーと駆動回路で消費されるエネルギーとの和である。）チョップ周波数が一定ある場合、ゲート駆動損失はコンパータの出力電流に依存することなく、常に一定である。言い換えれば、DC-DC コンバータが低負荷、低出力電流時に、この項でのエネルギー損失がコンバータ変換効率の低下を招く直接の原因となる。

もし、適当な場面でパワートランジスタ M_p と M_n の大きさを決めなければならないとき、その目標は、これらの機械により消費される電力（パワートランジスタの導通損失とゲート駆動損失との和を最小化すること）であることであり、最大負荷条件で且つ高い温度条件の元で、高い効率を得るための最適化が望ましい。

ZVS 制御を用いた高効率 DC-DC コンバータでは、パワートランジスタは伝導期間の間、もっとも線形領域で動作するため、そのオン抵抗は式 \( r_{ds} = R_0W_0/W \) （チャンネル抵抗はゲート幅に対して定数 \( R_0W_0 \) を係数として逆比例する。ここで \( R_0 \) は最小ゲート幅 \( W_0 \) でのチャンネル抵抗である）を用いて近似することができ、パワートランジスタの伝導損失は以下のように与えられる。

\[ P_g = \frac{i_{ds,rms}^2R_0}{W/W_0} \]  

（3.9）

トランジスタのゲート容量はゲート幅に比例して線形に増加することから、ゲート駆動損失はゲート幅 W の線形関数として表現することができる。

\[ P_g = E_{g0}f_s\frac{W}{W_0} \]  

（3.10）

ここで、\( E_{g0} \) は最小のゲート幅 \( W_0 \) のパワートランジスタをスイッチさせるのに消費するゲート駆動エネルギーであり、\( f_s \) はチョップ周波数である。

最大負荷条件下で解析的にパワートランジスタに必要なゲート幅の最小値は以下のように求めることができる。
図 3.10 パワートランジスタ損失とゲート幅の関係

\[ W_{\text{opt}} = W_0 \sqrt{\frac{i_{\text{ds,ms}}^2 \cdot R_0}{E_{g0} f_s}} \] (3.11)

ここで、

\[ P_{q,\text{opt}} = P_{g,\text{opt}} = \sqrt{\frac{i_{\text{ds,ms}}^2 \cdot R_0 \cdot E_{g0} \cdot f_s}{E_{g0}}}. \] (3.12)

であり、\( P_q = P_g + P_q \) は最小値 \( P_{t,\text{min}} \) をとる。図 3.10 には正規化されたパワートランジスタの損失をゲート幅の関数にして図示している。

式 3.12 のゲート駆動電力 \( E_{g0} \) を求めるには、パワートランジスタの駆動回路のサイズを最適化し、その消費電力を算出する必要がある。

CMOS 回路において、パワートランジスタは次の式のような一定の傾き係数 \( u \) でスケールされた \( N \) 段のインバータチェーンでドライブされる。

\[ u^N = \frac{C_q}{C_i}. \] (3.13)

ここで、\( C_q \) はパワートランジスタのゲート容量であり、\( C_i \) はインバータチェーンの初段の入力容量である。図 3.11 に示された方式は、それぞれのインバータ段で負荷容量に対する動作電流の平均値の比を一定にするように設計するものである。いくつかの単純化した仮定を用いると、係数 \( u \) を \( e \) にすればインバータチェーンの伝達遅延を最小化できることがよく知られているが、DC-DC コンバ
ータパワートランジスタの駆動回路では、伝達遅延よりもゲート遷移の消費電力を最小にすることのほうが望ましい。一般的にこのゲート駆動用に消費される電力を抑えるには、\( \tau_{gs} \)をなるべく大きくする必要がある。

以下にパワートランジスタを駆動するインパータチェーンサイズを解析的に確定する方法を示す。解析では、最小の CMOS インパータは閾値電圧 \( V_{th} \) の最小の NMOS サイズ \((W_0/L)\)と、NMOS のゲート幅に対して、その移動度の比で決まる \( \mu_n/\mu_p \) 倍のゲート幅の閾値 \( V_{tp} \) の PMOS デバイスで構成されるとする。初段の入力容量を \( C_i \) とし、出力容量を \( C_o \) とする。インパータの出力電圧 \( V_{out} \) を \( V_g - |V_{tp}| \) から \( V_m \) になるまで駆動する最小の出力遷移時間は式 3.14 によって表される。

\[
\tau = \int_{V_m}^{V_{dd}} \frac{C_i + C_o}{\beta_n(V_{dd} - V_m)} \frac{dV}{V - \frac{1}{2}(V_{dd} - V_m)^2}
\]

\[
= \frac{C_i + C_o}{\beta_n(V_{dd} - V_m)} \left[ \ln \frac{V}{V - 2(V_{dd} - V_m)} \right]_{V_m}^{V_{dd} - V_{tp}}
\]

\[
= \frac{C_i + C_o}{\beta_n(V_{dd} - V_m)} \ln \left( \frac{V_{dd} - |V_{tp}|}{-|V_{tp}| - V_{dd} + 2V_m} \cdot \frac{3V_m - 2V_{dd}}{V_{tn}} \right)
\]

\[
(3.14)
\]

\[
k = \frac{2L}{\mu_n C_{ox} (V_{dd} - V_m)} \ln \left( \frac{V_{dd} - |V_{tp}|}{-|V_{tp}| - V_{dd} + 2V_m} \cdot \frac{3V_m - 2V_{dd}}{V_{tn}} \right)
\]

\[
(3.15)
\]

とおくと、傾き係数 \( u \) は \( \tau_{gs} \) を求めることで導くことができ、

\[
\tau_{gs} = \frac{k(C_i + uC_o)}{W_o} \approx u \tau_{o}
\]

\[
(3.16)
\]
これにより、一定の傾き係数が
\[ u = \frac{\tau_{g} W_{o} - \kappa C_{o}}{\kappa C_{i}} \]  
(3.17)
のように計算される。この u を用いることでインバータチェーンの段数 N が以下のように求められる。
\[ N = \frac{\ln(C_{g}/C_{i})}{\ln(u)} \]  
(3.18)
傾き係数 u はインバータチェーンのそれぞれの段での遅延時間 \( \tau_{g} \) と同じになるように一定になる。
さらに短絡電流は全体の消費電力に対して小さい割合しか占めないとともに、低電圧動作での動作消費電流に比べても無視できるほど小さい。駆動のために必要な分も含むゲートエネルギーは、動作時電流が支配的である。
\[ E_{g} = C_{T} V_{dd}^{2} \]  
(3.19)
ここで、パワートランジスタのゲート容量も含む、インバータチェーンの全スイッチング容量は
\[ C_{T} = (1 + u + u^{2} + \ldots + u^{N-1})(C_{o} + C_{i}) + C_{g} \]
\[ = \left[ \frac{u^{N} - 1}{u - 1} \right] (C_{o} + C_{i}) + C_{g} \]  
(3.20)
\( u^{N} \) は式 3.13 で与えられる定数であることから、\( C_{T} \) と動作時消費電流は u を大きくすることで小さくすることができる。
パワートランジスタのサイクルでのゲート遷移動作における全エネルギー消費を計算すると、
\[ E_{g} = \left[ \frac{u^{N} - 1}{u - 1} \right] (C_{o} + C_{i}) + C_{g} \]  
\[ = \left[ \frac{C_{g}}{C_{i}} \frac{(C_{o} + C_{i}) \cdot \kappa C_{i}}{\tau W_{o} - \kappa C_{o} - \kappa C_{i}} + C_{g} \right] \cdot V_{dd}^{2} \]
\[ \approx C_{g} \cdot V_{dd}^{2} \cdot \left( \frac{\kappa C_{o} + \kappa C_{i}}{\tau W_{o} - \kappa C_{o} - \kappa C_{i}} + 1 \right) \]  
(3.21)
のようになる。
\[ E_{g0} \] を式 3.11 に代入すると、最適化されたパワートランジスタの幅を求めることができ、ゲート
駆動損失を最小化することができる。

(損失3) 不正確なデッタタイム制御による損失

DC-DC コンバータでは、パワートランジスタM_pとM_nをスイッチさせるタイミングは正しく制御されていなければならない。不正確なタイミング制御はエネルギー損失のともなる。DC-DC コンバータによる電圧の変換を、電荷の伝播過程を通して見ると次のようになる。

トランジスタM_pが導通素子で、オンしているときは電源から電力をコンバータのフィルタ部と出力負荷に輸送する。転送されたエネルギーは一部出力負荷に供給され、残りはフィルタ素子のAC成分に蓄えられる。これに対してM_nは整流素子で、オンするとフィルタイダクタと負荷の間に放電パスを形成し、フィルタ素子のAC成分に蓄えられているエネルギーを引き出し負荷に供給する。トランジスタM_pとM_nとは同時に導通することがない。M_pをオフしてからM_nをオンするまでの間、M_pとM_nが両方オフするデッタタイムと呼ばれる期間を設ける必要がある。デッタタイム期間の長さによってエネルギー損失をきたすことがある。以下では3つの場合に分けてこの損失について考える。

(損失3.1) デッタタイムを設けない：短絡損失

導通素子M_pと整流素子M_nとが同時に導通すると電源からグランドの間短絡経路ができ、大きな短絡損失が生じる（図3.12）。

(損失3.2) デッタタイムが短い：キャパシタスイッチング損失

図3.5に示したように、パワートランジスタのドレイン側に寄生容量C_sが存在する。C_sはパワートランジスタのドレイン-基盤間接合容量C_sh、ゲート-ドレイン間にオーバーラップ容量C_glと、それに接続配線の寄生容量との総和によって与えられる。ハードスイッチング制御を行うDC-DC コンバータでは、パワートランジスタM_pは、入力電圧をチョップし、オンするたびに寄生容量C_sをV_inに充電する。これによって、

\[ P_{C_s} = \frac{1}{2} C_s V_{in}^2 f_s \]  

(3.22)

の電力が容量C_sに蓄えられる。M_pがオフし、M_nがオンするまでの間、DC-DC コンバータはデッタタイムに入れる。この期間では、フィルタイダクタが容量C_sから電荷を引き抜き、電圧をV_inからグランドへ落とす。C_sの電圧V_sがゼロになった時点でデッタタイムが終了し、M_nをオンさせるとエネルギー損失は生じない。しかしデッタタイムが必要以上に長く、M_nが導通する時間が遅すぎると、C_sの電圧はグランド以上に引き下げられてしまう。この場合、M_pの基板ダイオードが導通し、電力が消費される(損失4.3)。これとは反対にデッタタイムが短すぎると、C_sの電荷はM_nによってグランドへ捨てられてしまい、電力
図 3.12 デットタイムを設けない場合の電力損失

図 3.13 デットタイムが短過ぎた場合の電力損失

図 3.14 デットタイムが長すぎた場合の電力消費
が損失する（図 3.13）。

(損失 3.3) デットタイムが長い：基板ダイオードの逆方向回復による損失
(損失 3.2)で述べられるように、デットタイムが長すぎると、トランジスタ $M_n$ の基板ダイオードがインダクタ電流をクランプするようになる。このため、ダイオードで

$$P_{	ext{diode}} = V_{d} \cdot I_{d} \cdot t_{	ext{err}} \cdot f_{s}$$

の電力が消費される。$V_{d}$ はダイオードの順方向電圧で $V_{d} = 0.7$V であり、$t_{	ext{err}}$ がデットタイムの長い時間分である。

また、$M_n$ がオフし、次のチョップ周期でトランジスタ $M_p$ が導通すると、$M_n$ の基板ダイオードから過剰な少数キャリアを引き抜くためにさらに電力

$$E_{	ext{rr}} = Q_n V_{in}$$

が損失する。$Q_{rr}$ は基板ダイオードに蓄えられた電荷である（図 3.14）。

(損失 4) 浮遊インダクタ損失
DC-DC コンバータの電源線に浮遊インダクタンスが寄生しており、パワートランジスタがスイッチングするたびに、そのインダクタによって電力が消費される（図 3.15）。
(損失 5) フィルタ損失

DC-DC コンバータの出力フィルタでのエネルギー損失は、フィルタ素子の寄生抵抗によるもの外に、高周波数領域では、キャパシタが大きな誘電損失を持ち、インダクタに関しては比較的大きな伝導損失があることも考えられる。

(損失 6) リーク電流による損失

直流抵抗分を減らすため、パワートランジスタ \( M_i \) と \( M_o \) とには通常ゲート幅の大きいものが使われている。そのリーク電流による電流消費をも無視することができない。

3.2.2 DC-DC コンバータの小型化

低消費電力化のため、携帯型機器に多くのスイッチングコンバータが使用される。そのため、サイズと重量の小さいものが要求される。サイズと重量がまたコンバータのコストにつながるため、スイッチングコンバータの小型化はローコスト化である。

スイッチングコンバータのコストがフィルタ部のサイズによって大きく左右される。スイッチングコンバータを小型化するには、いくつかの技術がある。

3.2.2.1 高周波数動作

式 2.1, 2.3 の示されたように、高周波数動作がコンバータのサイズを小さくするのに、しばしば有効である。同インピーダンス条件で \( j \omega L \) または \( 1/j \omega C \) を考慮すれば、高い周波数でのスイッチングは小型なフィルタ部品の使用を可能にする。これら部品のサイズは \( f_s = \omega_s / 2\pi \) に比例して小さくなる。しかしながら、回路の動作周波数が上昇するとパワートランジスタとドライプ部の損失は、たとえ最適化したとしても、\( \sqrt{f_s} \) に比例して増大する。

現実の設計では、コンバータのスイッチング周波数は回路中の周波数に依存する損失によって制限されるのではなく、フィルタ部分の小型化の限界によって制限されている。

3.2.2.2 大電流リップル

スイッチングコンバータの出力電圧リップルはフィルタ素子 \( L_i \cdot C_f \) の積によって変わる。ローコストと小型化を考えた場合に、キャパシタに対するインダクタの相対サイズが重要になる。インダクタは、通常キャパシタより高額なため、大きい容量と小さいインダクタの組み合わせがコスト的に望ましい。この設計手法が、コイル電流のリップルの増大をもたらすことから、コンバータに含まれる直流抵抗による伝達損失も増大する。言い換えれば、大電流リップル設計の限界は、コイル電流リップルの 2 乗に比例する伝達損失によって与えられる。
3.2.2.3 高集積化
スイッチングコンバータのローレストと小型化を実現するためには、一体型固体デバイスで実装することが望まれる。多くのポータブル機器の応用では、低電圧のパワートラスジスタが要求されるが、それは通常の半導体ブロセスで十分集積可能である。一方、現状の固体磁気デバイス技術では、効果的な変換効率を実現するのに必要な特性を満たすインダクタを実現することが難しい。現状では、磁気デバイス、容量、シリコンデバイスを別々に形成した後にボードもしくはマルチチップモジュールとして組み上げる一般的である。集積度を上げる努力は、すべてのパワーデバイスと制御回路を同一のシリコン上で形成する方向でなされている。
高集積化は、より小さい、より安定したコンバータの設計を可能にするだけではなく、応用によっ
て最適化されたより高効率なコンバータの設計をも可能にしてくる。たとえば、集積回路の中
で能動素子や接続部品における寄生素子の大きさは、プリントボードでのそれに比べてはるかに
小さい。電源回路の中の多くのスイッチング周波数に依存した損失成分は、それらの寄生素子に蓄えられるエネルギー量に直接比例していることから、ボード設計によるよりも高集積化部品によ
る設計は高効率と高周波数動作を可能にする。

3.2.2 DC-DC コンバータのノイズ対策
DC-DC コンバータでの雑音はパワートランジスタのスイッチング時発生する。電流の時間変化
(di/dt)の大きさに応じた雑音になるため、一般的に di/dt ノイズと呼ばれる。この雑音の大きさは、
パワートランジスタの接地に存在する寄生インダクタンス L と電流の時間変化(di/dt)によって決ま
り、ΔV = L · (di/dt) と表すことができる。
寄生インダクタンスは、たとえば、ワイヤ・ボンディングだけでも数 nH 存在し、なくすことはで
きない。回路設計の立場から ΔV を低減するには、スイッチング時の電流の時間変化を低減するアプ
ローチが考えられる。

3.3 低電流領域での高効率 DC-DC コンバータの実現
3.2 節の解析で分かるように、低出力電流領域では、ゲート駆動損失が目立ち、DC-DC コンバータの効率を左右するようになる。出力電流値によって動的にチョップ周波数を変えることで、ゲート駆動損失を低減させることができる。しかし、出力電流を検出するのに従来回路を使うと電力オーバーヘッドがかかり、高効率を実現することが難しい。
ここでは、出力電流をモニタする変わりに、パワートランジスタの出力波形の遅延をモニタすることによって、チョップ周波数可変の DC-DC コンバータを実現する。回路図は図 3.16 に、シミュレーション結果を図 3.17 に示した。ここで周波数制御が低電流領域での高効率 DC-DC コンバータを実現するのに有効であることが分かった。
第4章 結論

本研究で得られた結論を以下にまとめる。

1) VDD ホッピングのソフトウェア部分実装
アプリケーション実行時、LSI の計算負荷によって電源電圧と動作周波数を動的に変化させ、アプリケーションの実時性を保ちながら低消費電力化を図る手法として VDD ホッピングが提案されている。その VDD ホッピングアルゴリズムを市販プロセッサ SH4に実装し、低消費電力効果を実験によって確認した。MPEG4 エンコードアプリケーションに VDD ホッピングアルゴリズムを組み込んで SH4 プロセッサ上で実行した結果、アプリケーションの実時間性が保たれながらもその消費電力は従来の 1/4 に減ったことが確認され、VDD ホッピングが低消費電力に有効であることを実証した。

2) VDD ホッピングに適した高速周波数切り替え可能なクロック生成系の設計
VDD ホッピングアルゴリズムでよりよい低消費電力効果を得るために、LSI の動作周波数と電源電圧をすばやく切り替える必要がある。しかし、従来のクロック生成系では周波数を切り替えることが難しく、切り替えると長時間過渡時間がかかり、その間、LSI を停止させなければならない。この問題を解決するため、高速周波数切り替え可能なクロック生成系を提案し、実装を行った。シミュレーションの結果、提案回路は瞬間に周波数を切り替えることが確認された。

3) DC-DC コンバータでのエネルギー損失を解析および高効率 DC-DC コンバータの設計
VDD ホッピング、マルチボルテージなどの技術で、電圧変換機として必要とされる高効率 DC-DC コンバータの設計について検討した。出力電流によってチョップ周波数を動的に変えることによってゲート駆動損失を減らし、高効率を図る手法を提案し、シミュレーションによってそれが有効であることが分かった。
付録 VDD ホッピングソースコード

VDD ホッピングアルゴリズムを含んだ MPEG4 エンコーダプログラムを SH4 評価ボード上で動作させるためのソースコードを示す。コードは、ハードウェア依存する各種 IC のドライバコード、ハードウェアソフトウェアインタフェースコードと MPEG4 エンコーダソースコードからなる。

プログラムは以下の構成からなる。

1) ドライバソース

Cache.h Cache.c SH4 上のキャッシュシステムドライバ
Cpg.h  Cpg.c   SH4 上のクロックジェネレータドライバ
Dga001.h Dga001.c ボード上 VME バスインターフェースゲートアレードライバ
Igs.h  Igs.c   ボード上グラフィックチップ CyberPro2010 ドライバ
Intc.h  Intc.c SH4 上の割り込みコントローラドライバ
IntServ.h IntServ.c 割り込み処理ルーチン
Led.h   Led.c   ボード上 LED の操作ルーチン
Scif.h  Scif.c  SH4 上シリアルインターフェースのドライバ
Tmu.h  Tmu.c   SH4 上タイマーユニットのドライバ
Register.h ボード上制御レジスタ定義
Rtc.h

2) ハードウェアソフトウェアインタフェースコード

Timer.h  Timer.c 時間操作ルーチン
Graphics.h graphics.c グラフィック操作ルーチン
Vh.h      Vh.c   VDD ホッピング関連ルーチン
Types.h   global.h ハードウェアソフトウェア強調関連
Sys.h     Sys.c   システム初期化関連

3) MPEG4 エンコードプログラム

config.h fdct.h idct.h iq.h motion.h mpeg4enc.h predict.h q.h
vlc.h     mpeg4enc.c power.c putbits.c putblk.c puthdr.c putseq.c
putvlc.c  readpic.c  showrgb.c  stat.c


[21] 高速 LSI 技術、株式会社リアライズ社
本研究に関する発表

[1]. “高速周波数切り替え可能なクロック生成系”, 張綱・桜井貴康 電子情報通信学会 2000 年ソサイエティ大会 公演番号 A-3-5 2000 年 9 月

謝辞

本研究にあたり、最先端の技術者として広い視野と豊かで鋭い発想で様々な有益なご指導と激励をしていただきました桜井貴康教授に深く感謝いたします。

研究室の設計環境から測定装置の整備まであらゆる環境を整え、研究においても様々な助言をくださった川口技官と稲垣技官に深く感謝いたします。また、実際の回路設計において、数々の助言を頂きました博士課程 1 年の神田浩一氏、博士課程 2 年の野瀬浩一氏、様々有益な議論に応じてくれた修士課程の浅野君、平林君に深く感謝いたします。