

マイクロ IDDQ テストのための電流測定デバイス

野瀬 浩一^{†a)} 桜井 貴康[†]

Current Sensing Device for Micro IDDQ Test

Koichi NOSE^{† a)} and Takayasu SAKURAI[†]

あらまし 100 万ゲート以上を集積する LSI では不良箇所の検出が困難になるといった問題が生ずる。特に、レイアウトパターン依存性のあるスタンバイ電流異常などは、たとえ動作したとしても過大な電力を消費してしまうことになる。したがって、低消費電力化のためには、このエラー位置を同定する必要がある。IDDQ テストはスタンバイ時の静電流を回路ブロックごとに測定することでエラーを検出するもので、典型的なものとして BICS(Built-In Current Sensor) がある。しかしながら従来の手法はノイズマージン低下や回路速度の低下などの問題点がある。本論文では、CMOS 技術を用いた磁場センサ回路を応用した非接触・非擾乱で測定可能な 2 種類の電流センサ Lorentz force MOSFET (LMOS) と Hall Effect MOSFET (HEMOS) を提案し、IDDQ テストに応用するための回路について述べる。

キーワード IDDQ テスト, ホール効果, 電流センサ, 低消費電力

1. ま え が き

近年、100 万ゲート以上を集積する LSI が出現し、ワンチップ上のゲート数は今後も増大すると予想されている。ゲート数が増加すると不良箇所の検出が困難になるといった問題が生ずる。特に、レイアウトパターン依存性のあるスタンバイ電流異常やマイクロショートなどは、たとえ回路が動作したとしても過大な電力を消費してしまうことになる。また、これらのスタンバイ電流異常などは、設計エラーなどによるリーク異常とは違いレイアウト上ではエラーとはならないため、CAD 上で発見することは困難である。また、これらの異常の特定には統計的解析が必須であり、多量のチップの測定が必要とされる。異常電流を検出する方法として赤外線を用いた方法などが広く使われているが、特殊な装置が必要であり、また測定時間等の問題もある。したがって、チップ上で電源線の電流をより実用的な速度で測定可能な IDDQ テスト回路の開発が、低消費電力 LSI 開発において重要な課題となっている。

IDDQ テストはスタンバイ時の電流を回路ブロック

ごとに測定することでスタンバイ電流異常を検出する。その典型的なものとして図 1 のような BICS(Built-In Current Sensor)[1],[2] がある。測定対象回路に従属接続した BICS 回路を付け、そこに一定電流以上流れたかどうかを測定できるようになっている。しかしこの方式の場合、VGND の電位が GND 電位とずれるため(動作状態により VGND の電位が変化する)、回路のノイズマージン低下や回路速度の低下などの問題が発生する。

また、100 万を超えるゲート中どの部分にスタンバイ電流異常の原因があるのかを限られた測定用パッドで検出する必要がある。これに対して、チップを多数の回路ブロックに分割し、それぞれのブロックに対して IDDQ テストを行うというマイクロ IDDQ テストが今後重要となる。

本論文では、主流技術となっている CMOS 技術を用いた磁場センサ [3],[4] を応用した非接触・非擾乱で測定可能な 2 種類の電流センサ Lorentz force MOSFET (LMOS), Hall Effect MOSFET (HEMOS) を提案し、マイクロ IDDQ テストに応用するための回路について述べる。

[†] 東京大学生産技術研究所, 東京都

Institute of Industrial Science, The University of Tokyo,
7-22-1 Roppongi, Minato-ku, Tokyo, 106-8558 Japan

a) E-mail: nose@iis.u-tokyo.ac.jp

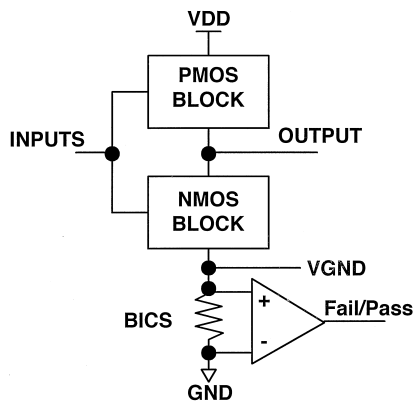


図1 BICS 回路

Fig. 1 Built-in current sensor circuit.

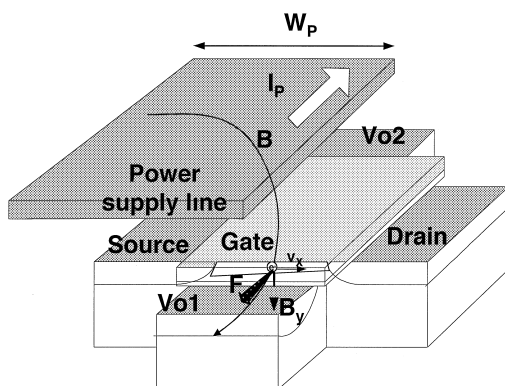


図2 LMOS の概要図

Fig. 2 Structure of LMOS.

2. ローレンツ力を用いた電流センサ (Lorentz Force MOSFET : LMOS)

2.1 LMOS の概要

図2にLMOSの構造を示す。測定対象となる電源線に電流 I_P が流れるとき、その周りに I_P に比例した磁場 B が発生する。電源線の下にトランジスタを置いたとき、チャンネル中の電子は磁場 B によってローレンツ力を受ける。したがって、ホール効果 [5] により、 V_{o1} と V_{o2} 間に磁場 B に比例した電圧差が現れる。この V_{o1} と V_{o2} の電圧差を測定することにより電源線の電流値 I_P を求めることが可能となる。

2.2 LMOSのレイアウトと設計

図3はLMOSのレイアウト図である。ここではLMOSを10個並列に接続して電圧差を平均化する

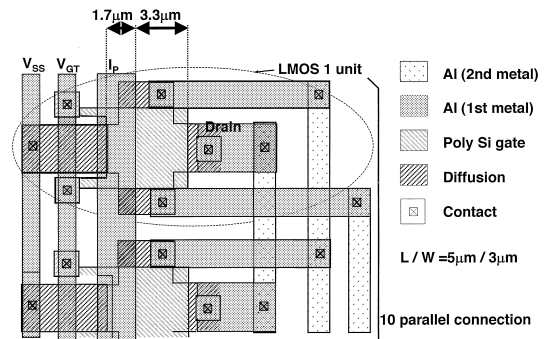


図3 LMOS のレイアウト図

Fig. 3 Layout of LMOS.

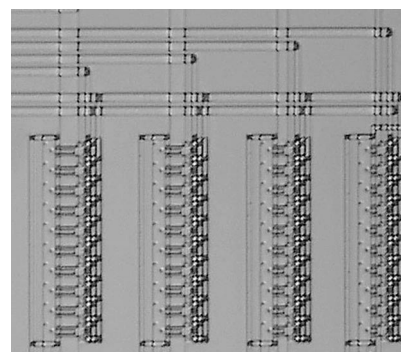


図4 LMOS のチップ写真

Fig. 4 Microphotograph of LMOS.

ことでトランジスタのチップ内ばらつきの影響を緩和している。チャンネル長は短チャンネル効果やばらつきを軽減するために本チップで設計可能な最大チャンネル長で設計した。また、本研究では、ゲートと電源線のオーバーラップ幅を一定 ($1.7\mu\text{m}$) とし、電源線幅依存性を調べた。

試作したLMOSのチップ写真を図4に示す。試作においては通常の $0.5\mu\text{m}$ 2層CMOSプロセスを用いている。

このチップの測定には図5のような回路を用いた。 V_{o1} と V_{o2} の電圧差 ΔV_D を測定することで電源線の電流値 I_P を求める。このとき、 V_{DDT} 線やGND線などの影響や地磁力の影響により、電源線の電流 I_P が0のときでも ΔV_D が生じる。しかしながら、これらの影響によって発生する磁界は I_P の値によらず一定であるため、電源線に電流を流しているときの ΔV_D と流していないときの ΔV_D の差をとることでこれらの影響を除去することが可能となる。

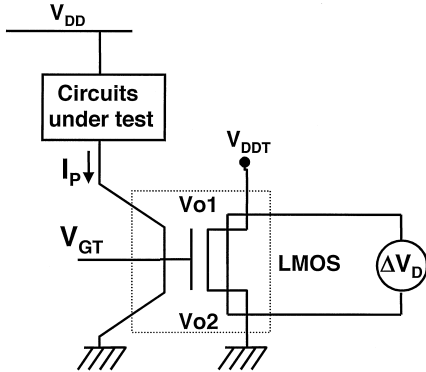


図5 LMOSを用いた電源線電流測定回路

Fig. 5 Test circuit to measure the current of power supply line using LMOS.

2.3 LMOSの測定結果

図6に測定されたLMOSの電位差 ΔV_D と電源線の電流 I_P との関係を示す。各測定点は誤差10%(μV オーダの微小電圧測定のため、10%程度の測定誤差を見積もる)を考慮した場合、 ΔV_D は I_P に比例する。したがって、 I_P は ΔV_D を測定することで一義的に求まる。

図7は ΔV_D の測定対象の電源線幅(W_P)依存性である。 ΔV_D は W_P が $2\mu m$ から $10\mu m$ の範囲で $\Delta V_D = 3.6\mu V \pm 10\%$ の範囲内になっている。したがって、 ΔV_D は W_P によらずほぼ一定であるといえる。

3. Split-Drain 構造を用いた電流センサ (HEMOS)

3.1 HEMOSの概要

前章においてLMOSの電流センサとしての有効性を示した。しかしながら、10mAの電源線の電流を検知するときに、 ΔV_D の値が数 μV と非常に小さく、感度に問題がある。ここではその感度がより高いデバイスとしてHEMOS(Hall Effect MOSFET)を提案する。

HEMOSの構造を図8に示す。動作原理は次のようになる。電源線の電流により発生する磁場 B によるローレンツ力によってHEMOSチャネル中の電子の軌道が曲がる。HEMOSではドレーンが二つに分割している構造をしており、電子の軌道が変化するとDrain1とDrain2に入る電子の量に差が生じる。この差がDrain1に流れる電流とDrain2に流れる電流の差となる。この値はローレンツ力に依存するため、この電流差を検出することで電源線に流れる電流を測定することが可能となる。

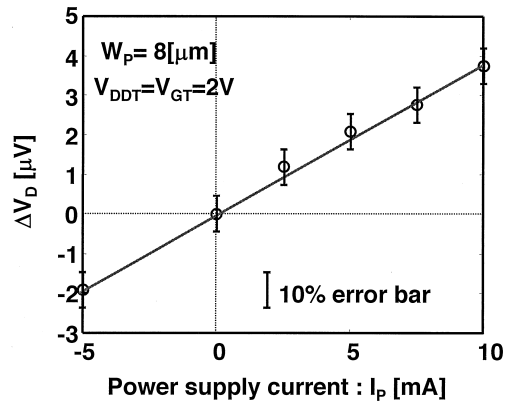
図6 電源線の電流値と ΔV_D との関係

Fig. 6 Measured result for ΔV_D dependence on the current under test.

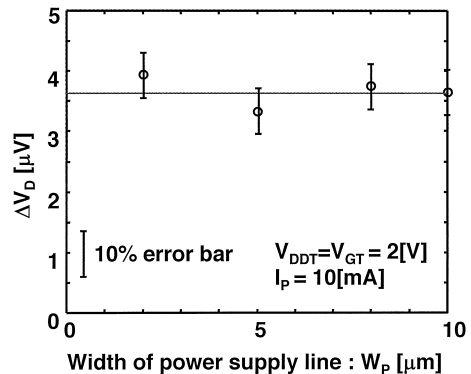
図7 測定対象の電源線幅と ΔV_D との関係

Fig. 7 Measured results for ΔV_D dependence on the width of power supply line.

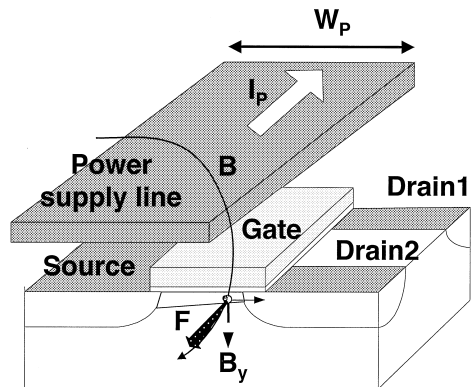


図8 HEMOSの概要図

Fig. 8 Structure of HEMOS.

3.2 HEMOSのレイアウトと設計

図9, 図10に試作したチップのレイアウト図とチップ写真を示す。0.5 μm ルール, 2層配線で設計し, 1層メタルに配した50 μm 幅の配線(電源線)に流した電流を検出した。図11に測定回路を示す。Drain1, Drain2にそれぞれ同じ外部抵抗を付け, 電流を電圧に変換する。この場合, 抵抗の誤差も考慮に入れる必要がある。二つの抵抗の誤差を $\Delta R = R_2 - R_1$ とし, 電源線に電流 I_P を流したときのDrain1, Drain2に流れる電流をそれぞれ I_1, I_2 とした場合, 電源線に電流を流したときの V_D は

$$\begin{aligned} V_D &= I_1 R_1 - I_2 R_2 \\ &= (I_{10} R_1 - I_{20} R_2) \\ &\quad + (\Delta I_1 - \Delta I_2) R_1 - \Delta I_2 \Delta R \end{aligned} \quad (1)$$

ただし

$$I_1 = I_{10} + \Delta I_1, \quad I_2 = I_{20} + \Delta I_2, \quad (2)$$

$$\Delta R = R_2 - R_1. \quad (3)$$

ここで, I_{10}, I_{20} はそれぞれ電源線に電流が流れていないとき, つまり $I_P = 0$ のときのDrain1, Drain2の電流値である。また, ΔI_1 及び ΔI_2 は電源線の電流が0から I_P に変化したとき, Drain1, Drain2に流れる電流がどれだけ変化するか示したものである。電源線に電流 I_P が流れていないときの V_D を V_{D0} とすると,

$$V_{D0} = I_{10} R_1 - I_{20} R_2 \quad (4)$$

となる。ここで電源線に電流が流れているときの V_D と流れていないときの V_{D0} との差 ΔV_D を考える。このとき $\Delta R \ll R_1$ であるから,

$$\Delta V_D = V_D - V_{D0} \cong (\Delta I_1 - \Delta I_2) R_1 \quad (5)$$

と近似できる。したがって, V_D は ΔR やそれに伴う電流差($I_{10} - I_{20}$)に依存しない関数となり, Drain1とDrain2に流れる電流変化量の差($\Delta I_1 - \Delta I_2$)に比例する。

3.3 HEMOSの測定結果

HEMOSにおける電源線の電流 I_P と ΔV_D との関係の測定結果を図12に示す。この図から, I_P はLMOSと同様, 誤差10%の範囲内で ΔV_D に比例することがわかる。したがってLMOSの場合と同様に, I_P は ΔV_D の値から一義的に求まる。

図13, 図14にはそれぞれ ΔV_D と測定回路に使用した外部抵抗(R_1)との関係及び ΔV_D と測定回路の

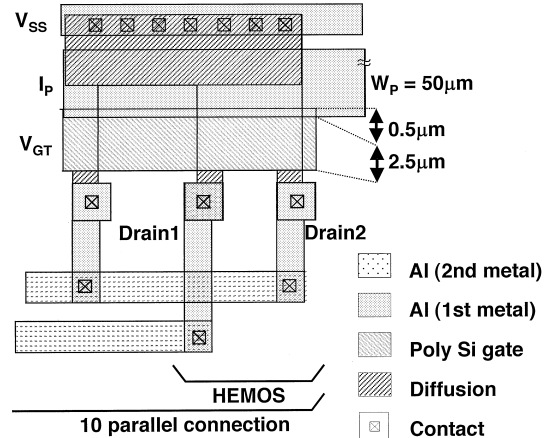


図9 HEMOSのレイアウト図

Fig.9 Layout of HEMOS.

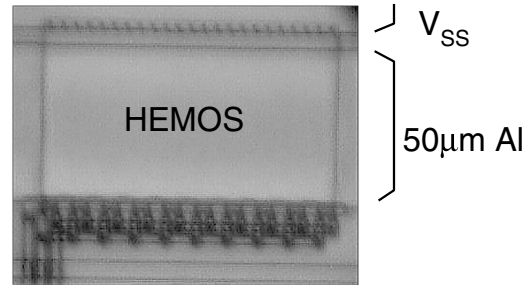


図10 HEMOS回路のチップ写真

Fig.10 Microphotograph of HEMOS.

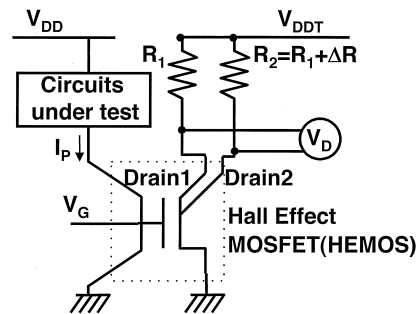


図11 HEMOSの測定回路

Fig.11 Test circuit of HEMOS.

電源電圧(V_{DDT})との関係を示している。外部抵抗及びドレーン電圧 V_{DDT} が大きい場合, 外部抵抗による電圧降下($V_{GT} = V_{DDT} = 2\text{V}$, $R_1 = 500\Omega$ のとき, 約0.3V電圧降下が起こる)が大きくなるため, ΔV_D は抵抗値に比例せず収束に向かう。また, V_{DDT} につい

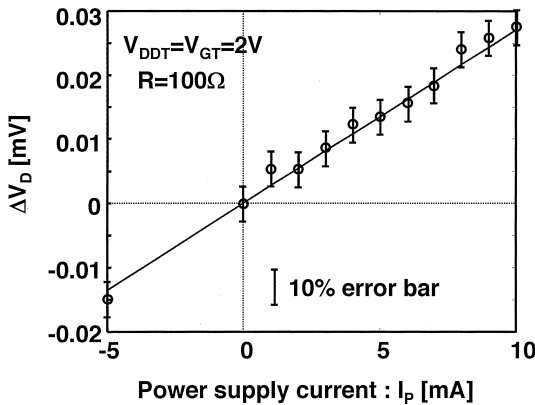


図12 電源線の電流 I_P と電圧差 ΔV_D との関係
Fig.12 Measured results for ΔV_D dependence on the current of the power supply line, I_P .

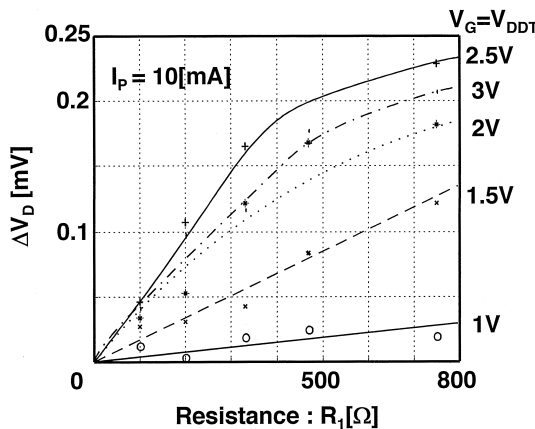


図13 抵抗 R_1 と ΔV_D の関係
Fig.13 Measured results for ΔV_D dependence on R_1 .

ても LMOS と同様に最適値が存在する。この最適値はドリフト速度や表面電荷密度がチャンネル内で均一でないことや空乏層領域などの影響によって電子が受けるローレンツ力がチャンネル内で不均一になるなどにより決定される。最適点付近では、LMOS と比較すると $I_P=10\text{mA}$ の場合、LMOS では約 $4\mu\text{V}$ であったのに対し、HEMOS では約 0.2mV と、HEMOS の感度 (ΔV_D) は LMOS に比べて 2 けた程度改善される。

4. マイクロIDDQテスト回路

IDDQ テストにおける重要な問題点の一つにテスト回路用のパッド数の制限がある。通常、テスト回路用のパッドは数個しか与えられないため、限られたパッド数で膨大な数の電流測定をする必要がある。そこで

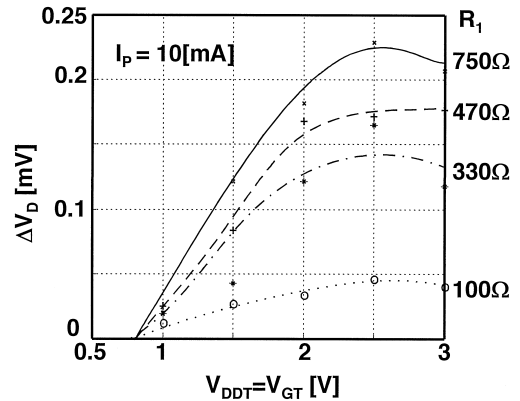


図14 HEMOS 電源電圧と ΔV_D との関係
Fig.14 Measured results for ΔV_D dependence on supply voltage of HEMOS.

本研究では、この問題を克服する手段として、LMOS、HEMOS のゲート電圧を制御することで多数の電源線の電流値を数個のパッドのみで測定する方式を提案する。

図15、図16にそれぞれLMOS、HEMOSを用いたマイクロIDDQテスト回路を示す。また、マイクロIDDQテスト回路のチップ写真を図17に示す。ここではHEMOSについて示す。シフトレジスタを用いて一つのHEMOSゲートをHighにして残りをLowとする。現在のMOSFETではゲートをHighにしたときとLowにしたときとのドレイン電流の比が約 10^6 程度であり、図14に示したようにゲートがしきい値以上のHEMOSの ΔV_D はゲートがしきい値以下のHEMOSの ΔV_D に比べて十分大きいので、ゲートをHighにしたHEMOSの電源線に流れている電流値を測定することが可能となる。測定はHEMOSについて、図16にある回路を用いた。その結果が図18である ($V(G_1), V(G_2)$ はそれぞれMacro1, Macro2を測定するためのHEMOSのゲート電圧、また I_{P1}, I_{P2} はMacro1, Macro2の電流)。図18より、Macro1についての結果とMacro2についての結果の差が10%以内(測定誤差の範囲内といえる)であり、この方式で複数の電源線の電流が測定可能であることがわかる。また、ゲートがLowのときの ΔV_D は $n\text{V}$ オーダ以下(ノイズ以下となり測定されない程度)となるため、ゲートがHighのHEMOSの ΔV_D のみを正確に測定することが可能となる。

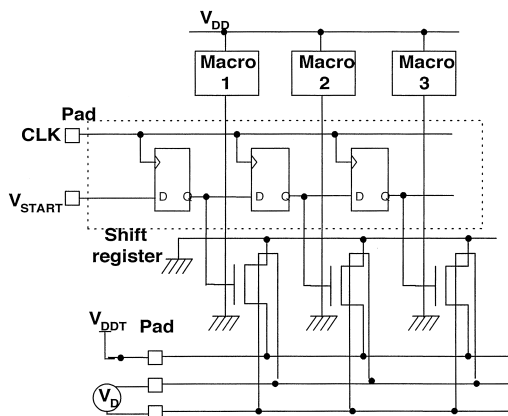


図 15 LMOS によるマイクロ IDDQ テスト回路

Fig. 15 Circuit diagram for the micro IDDQ test by sharing pads among LMOS's.

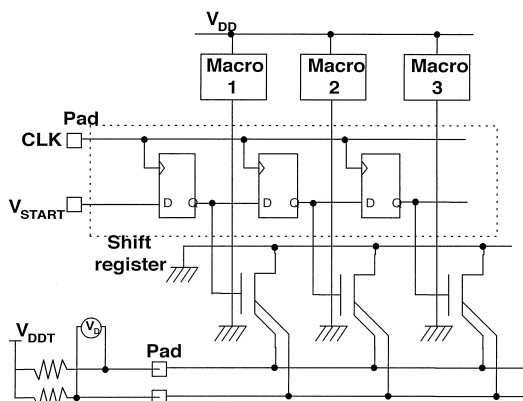


図 16 HEMOS によるマイクロ IDDQ テスト回路

Fig. 16 Circuit diagram for the micro IDDQ test by sharing pads among HEMOS's.

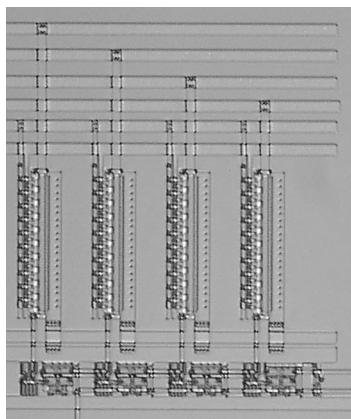


図 17 HEMOS のマイクロ IDDQ テストのチップ写真

Fig. 17 Microphotograph of micro IDDQ test using HEMOS.

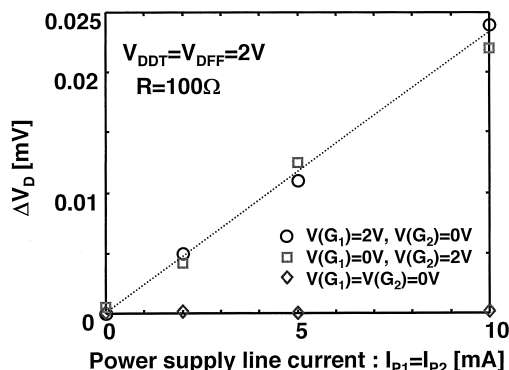


図 18 マイクロ IDDQ テストの測定結果

Fig. 18 Measurement results of Micro IDDQ test circuit.

5. む す び

電流測定デバイスとして LMOS 及び HEMOS を試作し、電源線に流れる電流を非接触、非擾乱で測定可能であることを示した。また、マイクロ IDDQ テスト回路を提案・試作し、その動作を確認した。これらのデバイスを用いることで、限られたパッド数で異常電流をより正確に検出することが可能となり、低消費電力設計に貢献することができると考えられる。

謝辞 本チップ試作は東京大学大規模集積システム設計教育研究センターを通し NTT エレクトロニクス株式会社及び大日本印刷株式会社の協力で行われたものである。また、本研究に際し、(株)東芝より多大なる御協力を頂きました。ここに感謝致します。

文 献

- [1] W. Maly and M. Patyra, "Built-in current testing," IEEE J. Solid-State Circuits, vol.27, no.3, pp.425-428, March 1992.
- [2] J. B. Kim, S. J. Hong, and J. Kim, "Design of a built-in current sensor for IDDQ testing," IEEE J. Solid-State Circuits, vol.33, no.8, pp.1266-1272, Aug. 1998.
- [3] A. Nathan, I. A. McKay, I. M. Filanovsky, and H. P. Baltes, "Design of a CMOS oscillator with magnetic-field frequency modulation," IEEE J. Solid-State Circuits, vol.SC-22, no.2, pp.230-232, April 1987.
- [4] J. Doyle and C. Lyden, "High sensitivity, low power, silicon magnetic field detector," Proc. Custom Integrated Circuits Conf., pp.275-277, 1994.
- [5] 御子柴宣夫, 半導体の物理, 培風館, 1991.

(平成 11 年 10 月 22 日受付, 12 年 1 月 13 日再受付)



野瀬 浩一

平9東大・工・電子卒。平11同大学院工・電子修士課程了。現在同大学院工・電子博士後期課程に在学中。低消費電力LSI回路の開発に従事。



桜井 貴康 (正員)

昭56東大大学院博士課程了。工学博士。同年(株)東芝入社, 昭63 U. C BerkeleyにてLSI CADの研究, 平2(株)東芝に帰任し, 平8より東京大学生産技術研究所教授。平10より東京大学国際・産学共同研究センター教授。高速, 低消費電力VLSI設計の研究に従事。VLSI回路シンポジウム委員長, ASPDAC副委員長ほか, ISSCC, CICC, DAC, ICCAD, FPGA Workshop, ISLPED, TAU, ICVCなどの国際学会の技術委員。