

講演番号：（空白） 題目：回路設計への影響

英文題目：Impact on Circuit Designs

研究場所・氏名：東京大学、国際・産学共同研究センター、桜井貴康

同・英文：Center for Collaborative Research, University of Tokyo, Takayasu Sakurai

高性能LSIを低コストで実現するために、デバイスの微細化が追求されてきている。スケール則に従ってMOSFETが微細化されると自然な成り行きとして極薄膜ゲート酸化膜が使用されることとなる。極薄膜ゲート酸化膜の信頼性から電源電圧は当然のことながら下げざるを得ない。2014年後には0.4Vを切るような低電圧を使うことが予想されている。このような低電圧下ではしきい値電圧を小さくしないと回路動作が極端に低速になる。しかし、低いしきい値電圧はサブスレシヨルドリーク電流の増大をもたらす。これではスタンバイ時にもリーク電流によって電池が消耗され、ポータブル機器では受け入れがたい。このようなスタンバイ時のリークをカットする回路手法としてリークカット用MOSFETをデジタル回路と直列に挿入するSCCMOS[1]や基板バイアスを積極的に使った可変しきい値回路（VTCMOS）などが有効である。それでは、このようにスタンバイ時のリーク低減について回路的な手を打っておけば、しきい値はどこまで下げても良いのだろうか。サブスレシヨルドリークはしきい値を下げると指数関数的に増加するため、あまり低くするとたとえ動作時でもリークが支配的になる。温特やバラツキなども考慮すると、しきい値

電圧のねらい目は0.2V以下にするのには困難がある[2]。

極薄膜ゲート酸化膜に関して設計上見逃せなくなるかも知れないもう一つの問題は直接トンネルによるゲートリーク電流の増大である。この問題は高誘電膜の導入などデバイスの工夫によって低減するのが望ましいことは言うまでもない。しかし、不幸にしてこのような努力がうまく行かなかったとき、あるいは微細化されたデバイスでドレインリーク(GIDL)の増大が問題になるようなときには、サブスレシヨルドリーク対策と同様にリークをカットするMOSFETをデジタル回路に直列に挿入するのが有効である[3]。このようなリークカット用のMOSFET自身にはリークがあってはならないので、厚膜のMOSFETをゲートをブートしながら使用すると良い。

デジタル回路については上述の議論が有効だが、システムLSIのその他の部分については全く異なる考慮が必要となる。例えば、SRAMにリークカット用のMOSFETを使うとSRAM内の情報がスタンバイ時に消滅してしまう。VTCMOSの変形を用いることも提案されているが[4]、SRAMセルには比較的高いしきい値電圧のMOSFETを高い電圧で使う選択肢もある。また、アナログではS/Nの関係から、I/Oではコンパティビリティの問題から比較的高電圧を使用する必要が出てくる。従って、以下のような薄膜、膜厚の使い分けを真剣に検討する必要がある。

ロジック（極薄膜）、リークカット用MOSFET（厚膜）、SRAM（厚膜）、アナログ（厚膜）、I/O（厚膜）

[1] H.Kawaguchi, K.Nose, and T.Sakurai, "A CMOS scheme for 0.5V supply voltage with pico-ampere standby current", ISSCC Digest of Technical Papers, pp.192-193, 1998.

[2] K.Nose and T.Sakurai, "Optimization of VDD and VTH for Low-Power and High-Speed Applications", ASPDAC'00, A6.1, Jan. 2000.

[3] T.Inukai, M. Takamiya, K.Nose, H.Kawaguchi, T.Hiramoto and T.Sak

urai, "Boosted Gate MOS (BGMOS): Device/Circuit Cooperation Scheme to Achieve Leakage-Free Giga-Scale Integration," CICC'00, to be published, May 2000.

[4] H.Kawaguchi, Y.Itaka and T.Sakurai, "Dynamic Leakage Cut-off Scheme for Low-Voltage SRAM's," VLSI Symp, pp.140-141, 1998.