

高速周波数切り替え可能なクロック生成系

Quick frequency-switchable clock-generator system

張 綱、 桜井 貴康

Gang Zhang, Takayasu Sakurai

東京大学生産技術研究所

Institute of Industrial Science, University of Tokyo

1. はじめに

CMOS 回路の消費電力は動作周波数 f に比例する。回路動作時、スループットによって動作周波数と電源電圧を動的に切り替え、消費電力を低減させる電圧ホッピングという方法が提案されている[1]。これによれば、MPEG4 の codec などアプリケーションの消費電力が 1/10 に押さえられることが示されている。

回路周波数を切り替えるには、周波数シンセサイザが用いられる。周波数シンセサイザは低消費電力性、周波数安定性に優れているが、周波数切り替え時間が長いという欠点がある。このスイッチングの長さは電圧ホッピングでは消費電力の増加に繋がるため、高速の周波数スイッチングが求められていた。本報告では、周波数を高速に切り替えが可能なクロック生成系を提案する。

2. クロック生成系の構成

図 1 に周波数の高速切り替え可能なクロック生成系を示す。通常、アナログ PLL を用いたクロック生成系では、出力クロックは VCO の入力電圧によって制御される。クロック周波数を切り替える場合、VCO の入力電圧が新しい値に落ち着き、PLL がロックするまで、通常数 μs の切り替え時間がかかる。これに対し、提案回路では VCO の入力電圧は変化せず、常に最高周波数で発振するので、クロック周波数を切り替えたときでも、PLL はほぼ瞬時に再ロックすることが可能である。

図 1 には、周波数 f か $f/2$ を出力するクロック生成系の例を示す。VCO は常に周波数 f で発振する。回路に周波数 f のクロックを供給するとき、クロック信号はパス PATH1 を通って伝送され、周波数 $f/2$ 出力時にはパス PATH2 が使われる。どのパスで伝播しても、クロック信号に位相の変化が生じないようにするため、ダミーの遅延素子 D1, D2 が使われる。D1 は分周器 1、D2 は分周器 2 と同じ遅延をもつ。クロック生成系の出力周波数が変わっても、位相比較器での位相差は常に一定で、PLL のロックが外れることはない。

図 2 は、通常 PLL と提案方式回路とを使った場合の周波数切り替え時間を比較したものである。従来方式の PLL を使い周波数を切り替えた場合、ロックするまで約 $1\mu\text{s}$ の時間がかかるのに対し、提案方式ではほぼ瞬時に周波数を切りかえることができた。

シミュレーションでは、アナログ PLL を用いたが、提案方式は DPLL、ADPLL などに適用することも考えられる。

3. まとめ

高速に周波数を切りかえることが可能なクロック生成系を提案し、その有効性をシミュレーションによって示した。

参考文献

- [1]S.Lee, T. Sakurai, "Run-time Power Control Scheme Using Software Feedback Loop for Low-Power Real-time Applications", ASP-DAC 2000.
- [2]R.J.Baker, H.W.Li. and D.E.Boyce, "CMOS: Circuit Design, Layout, and Simulation", Chap.19, IEEE Press.

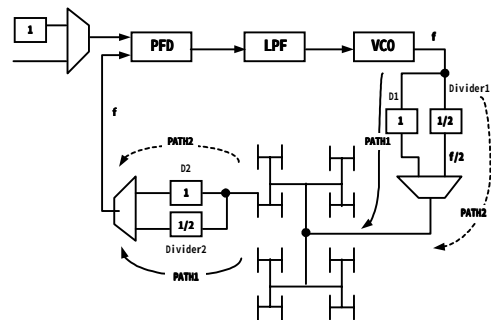


図 1. クロック生成系

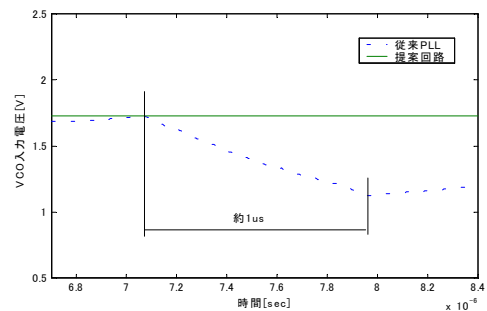


図 2. ループフィルタ出力

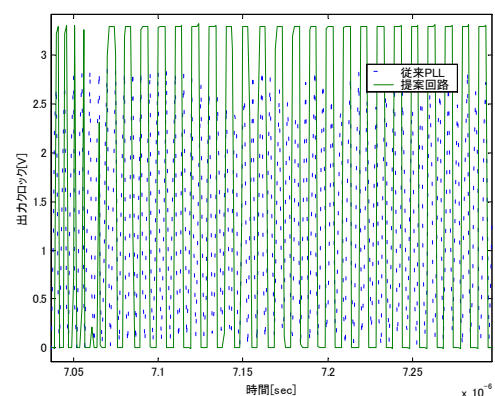


図 3. クロック出力

