

基板バイアス制御を可能にする自動設計手法

Automated design methodology for VLSI with capability of substrate bias control

平林 雅之

桜井 貴康

Masayuki Hirabayashi

Takayasu Sakurai

東京大学生産技術研究所

IIS, University of Tokyo

1. はじめに

VLSI テクノロジーの進歩によって微細化が進み回路が高速化する一方、サブスレッショルドリークによる電力消費が無視できなくなりつつある。この解決策のひとつとして、しきい値を制御する VTCMOS[1]など多くの方法が考えられている。しきい値を制御するために基板バイアスを制御しようとする、基板バイアス用の電源線が必要となる。自動配置配線によって基板バイアス制御が可能な VLSI の設計を行う場合、スタンダードセルライブラリに既存のものを用いることができず、 V_{nsub} 線や V_{psub} 線を加えた新たなスタンダードセルライブラリの作成、機能チェックを行わなければならない。そこで既存のスタンダードセルライブラリを用い、基板バイアス制御が可能な回路の設計方法を提案する。

2. 設計方法

今回の設計に用いたツールは Synopsys design compiler, Avant! Apollo, Cadence DF II である。設計手法のフローチャートを図 1 に示す。基板バイアスを制御する場合、VDD, VSS の他に V_{nsub} , V_{psub} が必要となる。通常の自動配置配線の場合は回路コアの周辺に VDD, VSS のリングを作成するが、それに加えて V_{nsub} , V_{psub} のリングも Apollo において作成しなければならない。さらに図 2 のようにスタンダードセルの上下に V_{nsub} , V_{psub} をあらかじめ通しておく。自動配置配線によってレイアウトを作成後、基板コンタクトを図 3 に示してある SKILL スクリプトにより除去する。derived layer においてはレイヤの論理がとれるため、残すべきコンタクトレイヤを定義し、physical layer を derived layer に変換する。その後コンタクトをすべて消去し、derived layer 上で定義した、残すべきコンタクトを physical layer でセーブし直す。その結果、基板コンタクトが消去されたことになる。

フリップして並べてあるスタンダードセルの間に図 4 のように p 拡散層, n 拡散層をそれぞれ追加し、 V_{nsub} 線と V_{psub} 線上にコンタクトを生成すればよい。

V_{nsub} 線や V_{psub} 線による面積オーバーラップは図 5 にあるようにひとつのセルで考えると 13% 程度であるが、チップ全体としてみるとフリップすることによるオーバーラップ面積の減少などにより 7% 程度になると考えられる。

3. まとめ

既存のスタンダードセルライブラリを用い、基板

バイアス制御が可能な回路を簡易に設計する手法を提案した。

参考文献 [1] T.Kuroda, et al “A high-speed low-power 0.3 μ m CMOS gate array with variable threshold voltage scheme” Proc. of CICC'96, pp.53-56.

Apolloを用いてVDD,VSSに加えて V_{psub} , V_{nsub} を作成

既存のセルライブラリを用いて自動配置配線

レイアウトからSKILLスクリプトを用いて基板コンタクトを消去

スタンダードセル列の間にp拡散層, n拡散層を追加し, 新たに V_{psub} , V_{nsub} 上に基板コンタクトを生成

図 1 設計のフローチャート

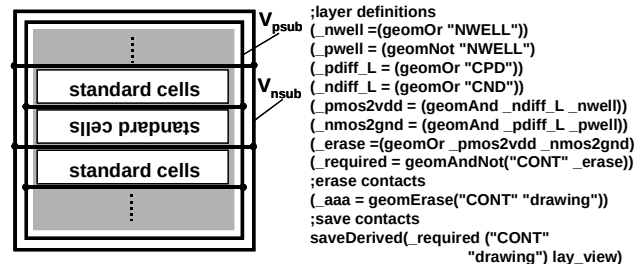


図 2 V_{nsub} 線と V_{psub} 線の追加

図 3 基板コンタクトを削除する SKILL スクリプトのメイン部分

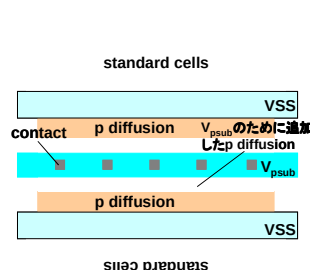


図 4 V_{psub} 線上のコンタクトの追加

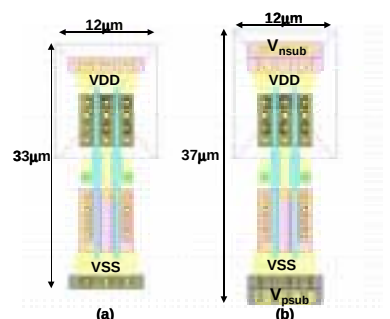


図 5 (a)既存の nand セル (b) V_{nsub} と V_{psub} を追加した nand セル (0.6 μ m プロセス)