

おびにおん

桜井貴康  
東京大学、国際・産学共同研究センター  
教授

これから10年のLSIの技術的課題を展望すると、配線系に多くの問題が集中していることに気付く。LSIの良し悪しを決める指標にはスピード、面積、消費電力、信頼性、ターンアラウンドタイムなどがある。従来はトランジスタがこれらの指標を決めてきた。しかし、ここにきて配線がこれらの指標を決めるというパラダイムシフトが起こっている。配線RC遅延の増大はLSIのスピードを律則し始めた。電源線の電流密度の増大は、信頼性の低下やIRドロップの増大といった問題を引き起こしている。配線の多層化によって製造期間は配線部で決まってくるようになった。

さて、このような問題を解決する上で従来のLSI上の配線だけでは限界が見えている。例えば電源線を考えてみよう。チップの消費電力は増大しており、電源電圧は低下している。International Technology Roadmap for Semiconductorsによれば、2006年には160W、0.8Vといった電力と電源電圧値が出ている。すると、電源系は200Aの電流を運ぶ必要がある。チップの周辺にべったり電源パッドを配し、べた膜で配線できたとしても、中心部で5%の電圧降下しか許さないとすると0.5 $\mu\text{m}$ 以下のシート抵抗が必要となる。これには銅配線を仮定しても、数十 $\mu\text{m}$ 以上の膜厚が必要になってくる。このような厚膜配線は従来のLSI技術ではむずかしい。この例は極端だとしても、1 $\mu\text{m}$ ~20 $\mu\text{m}$ 程度の膜厚配線層が必要になるのは数年以内に起こると考えられる。

現在のところLSI上では1 $\mu\text{m}$ 程度の配線膜厚が限度、一方プリント基板やパッケージなど実装側では数十 $\mu\text{m}$ 以上というように、この中間部分の膜厚とデザインルールが欠落している。この辺の配線技術、すなわちスーパーコネクタ技術が必要になってくる所以である。スーパーコネクタがどのような技術体系になるのかはまだ分からない。ただ、実装側もビルドアップ工法などLSIに近い製造法なども出てきて、LSIと実装との融合も取れやすい環境が整ってきている。マイクロパッドといった15 $\mu\text{m}$ 角程度のパッド技術も実用化されている。

さて、このようなスーパーコネクタは配線遅延を軽減するにも役立つ。クロック系のスキューの低減は頭のいたい課題だが、低抵抗な配線層があればスキューを小さくできる。従って、クロックの基幹系をスーパーコネクタで行いたい。それにはLSI上の配線とスーパーコネクタを同時にシームレスに設計するコデザインが必要になってくる。

スーパーコネクタには、従来の配線問題の解決のみならず、新しい付加価値の創造という側面もある。プロセスの異なるチップを高いバンド幅で繋ぐ技術は、システムをワンチップで構成するよりバランスのとれたソリューションを提供する。チップを積層するスーパーコネクタでは、チップを平面に並べるマルチ・チップ・モジュールより全体の配線距離を小さくできるので、システムがより小型、高性能になる。熱の放散やインダクタンスの制御、特性インピーダンスの調整などにも利用できる可能性がある。LSI上の配線と

スーパーコネクトを並列して製造できればターンアラウンドタイムの減少にも寄与する。

少し振りかえてみると、配線技術がLSIのビジネスモデルを変えた例に気づく。配線の多層化によって、LSIの製造ターンアラウンドタイムが配線系によって決まるようになってきた。こうなると、ゲートアレイがセルベースのASICに対して持っている製造時間の優位性が保てなくなった。これを反映して、面積や性能的に有利なセルベースビジネスに主流が移行してきた。このように配線技術はビジネスモデルにも影響を与える。スーパーコネクトによってこれからのビジネスモデルが変わる可能性も十分にある。

-----用語の説明-----

配線RC遅延：

配線が微細化すると断面積が小さくなって抵抗Rが増す。すると、Rと容量Cの積に比例する配線遅延が生ずる。これが配線RC遅延である。

IRドロップ：

配線抵抗Rの配線に電流Iを流すと、 $IR$ という電圧降下が起きる。電源配線系を注意深く設計しないと、外部から2Vを与えても、内部は電源線の電圧降下によって1.8Vしか加わらず、所望の速度が得られないといった問題が起こっている。

LSIのスピードや消費電力を決めるキャパシタンスに関して、トランジスタの容量より配線容量の占める割合が増大し、プロセッサなどでは70%の容量は配線ともいわれるようになった。

配線RC遅延

遅延増大

バッファ挿入

配線幅サイジング

Cu配線（抵抗率の低い材料の使用）

low-k

小振幅で感知して高速化するセンスアンプの利用など

スケールされない、あるいは逆スケールされた配線の使用

パッケージやボードなどの厚膜の利用

多層化などによるチップ面積の縮小（3次元化も含める）

遠くとは交信を少なくするアーキテクチャ

光

インダクタンス

信号が暴れる

高電圧による信頼性の低下

電源線が暴れると'1'を'0'に間違えるなど誤動作

リターンパスあるいはレファレンスプレーンを近くに

スリューレートを制御し $di/dt$ を低下させる

カップリングキャパシタンス、カップリングインダクタンス

ノイズによる誤動作  
遅延の変動

距離を離す  
長く平行に這わせない  
配線間にシールドメタルを入れる

スキニングエフェクト、誘電体損

高周波で配線抵抗の増加  
高周波で消費電力の増加

高周波をなるべく使わない

電流密度の増大

エレクトロマイグレーションの増大による信頼性の低下

Cu配線  
電源線幅の最適化  
低電力化  
スケールされない、あるいは逆スケールされた配線の使用  
パッケージやボードなどの厚膜の利用

EMI

電磁波による他機器への悪影響

高調波低減  
スリューレートを制御し $di/dt$ を低下させる

IRドロップの増加

電源線電圧低下による高速化阻害

Cu配線  
電源線幅の最適化  
低電力化  
スケールされない、あるいは逆スケールされた配線の使用  
パッケージやボードなどの厚膜の利用

配線製造時間、コスト増加

多層化によるマスクコスト増加  
多層化やプロセス複雑化によるプロセス時間、コスト増加

FPGAなどのプログラマビリティの導入  
IPベースなどの設計によって設計確度向上

配線パラメータのバラツキ増加

シミュレーションからの出来上がりのずれ  
遅延などのバラツキによる歩留まり低下

クリティカルな配線での配線幅の最適化  
バラツキを含めた設計