

事例(1) ● 巨大配線でLSIの限界を打破

東京大学 教授
桜井 貴康

LSIは性能向上に向けて様々な技術的課題を抱えているが、その課題の多くが配線技術に集中してきた(図2)。これまでLSIはトランジスタ技術を主体に性能を上げてきたが、これからは配線技術がその決め手になる。こうした配線技術の課題を解決する有力な手段が、断面を約 $10\mu\text{m}$ 角と大きくした巨大配線技術である。LSI技術はこれまで微細化によって進化してきたが、今後10年は微細化とともに、こうした巨大配線技術を開発していくことが重要になる。

LSIの問題点は配線に集中

配線技術に起因する代表的な問題として、配線層数の増加、配線で消費する電力の増加、配線遅延の増加、配線工程数の増加が挙げられる(図2)。

配線層数は、現状では約6層だが10年後には8〜10層に増えてしまう。トランジスタでは層数に变化がないが、配線は非常に多層になるため、LSI設計の複雑さが配線で決まってくるようになる。

配線で消費する電力は、LSI全体の消費電力の大半を占めるようになる。CMOSのLSIにおける消費電力はトランジスタと配線がそれぞれ持つ静電容量の充放電で決まる。トランジスタと配線の容量の比は、配線が多層化

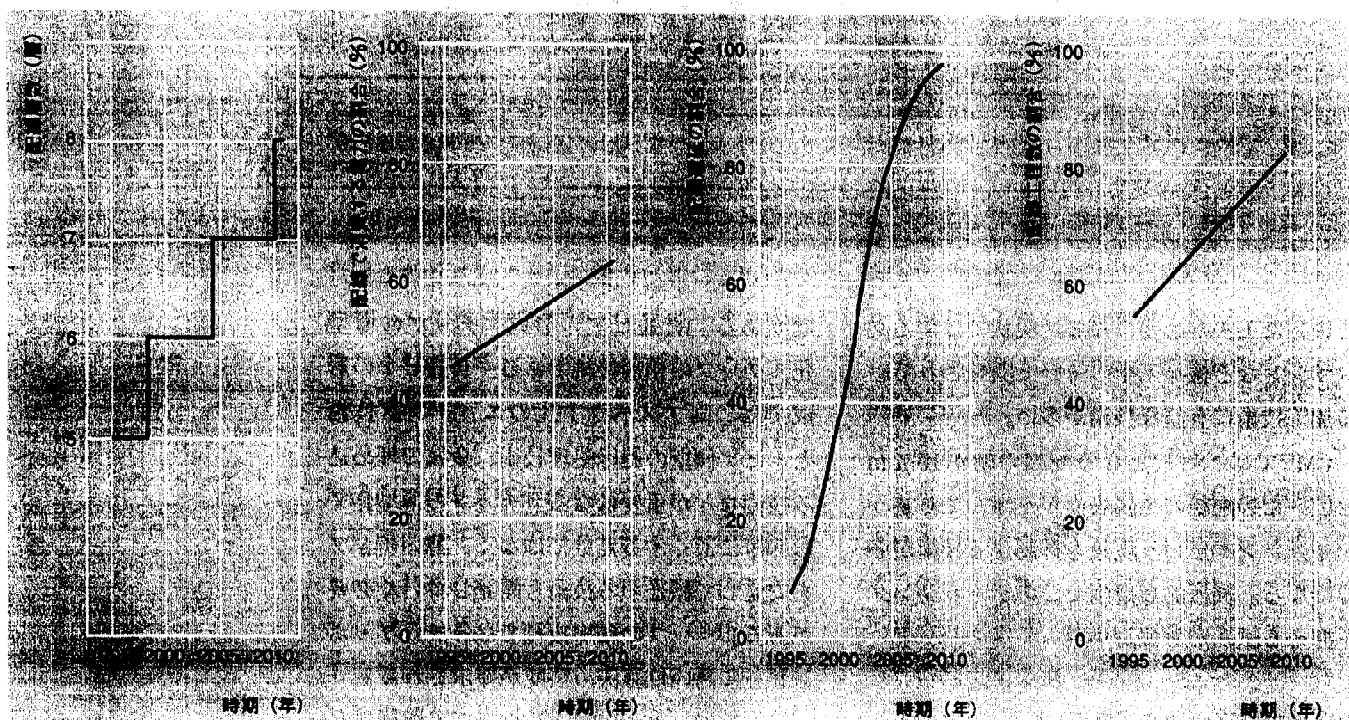
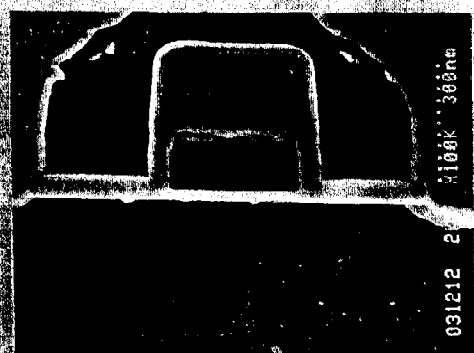
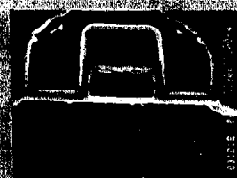


図2 ● LSI技術が抱える課題の大部分は配線技術にある
配線層数が増加することによって、チップ電力の大部分は配線で消費されるようになる。チップの高速性は配線遅延で制限され、コストは配線工程数で決まるようになる。東京大学のデータ。



1/2に
スケーリング



スケーリングによるメリット	
寸法	1/2倍
電圧	1/2倍
電流	1倍
トランジスタの遅延	1/3倍
コスト	1/4倍

スケーリングによるデメリット	
電力密度	1.6倍
トランジスタ遅延に対する配線遅延の比率	3.2倍
電流密度	1.6倍
電圧降下	3.2倍
設計の複雑さ	4倍

図3●スケーリングのデメリット

スケーリングはLSI性能の指数関数的な向上をもたらした半面、消費電力の増大や配線遅延の増大といった問題も引き起こしている。これらのデメリットがここへ来て顕在化してきた。東京大学のデータ。

していくほど、配線が占める割合が増えていく。このため、LSIの消費電力を下げるためには配線の消費電力を下げるのが最優先課題になってくる。

配線遅延は、トランジスタのゲート遅延に比べて大きな割合を占めるようになってきた。このことは0.25 μ m時代から指摘されている。

配線工程数は、多層化によってトランジスタの工程数に比べて大きな割合を占めるようになる。このため、LSIの製造コストの大部分を配線が占めることになる。

このような問題は微細化のデメリットともいえる(図3)。過去30年間、DRAMの集積度とマイクロプロセッサの素子数は指数関数的に増加してきた。これはトランジスタの寸法や電圧を一定の割合で小さくしていくスケーリングの効果である。スケーリングによって、トランジスタの密度は4倍に、トランジスタの遅延は1/3になるというメリットがある。しかし、トランジスタの電力密度は1.6倍に、トランジスタ遅延に対する配線遅延の比率は3.2倍に増えてしまうというデメリット

がある。こうしたデメリットが問題として一気に顕在化してきたといえる。

電源電流が500Aに急増

特に深刻な問題が、(1)消費電力と(2)配線遅延の増加である。

(1)消費電力の問題は、主に電源電流の増加と、それに伴う電圧降下の増大に分かれる。

電源電流は単純計算すると、2014年に500Aという膨大な値になってしまう(図4)。このことは国際半導体技術ロードマップ「International Technology Roadmap for Semiconductors (ITRS)」の2014年に向けた消費電力のトレンドで示されている。

超高速のマイクロプロセッサでは、すでに100Wを超えるチップが製品化されている。10年後には約200Wのチップが出てくるようになる。低消費電力を重視したデジタル家電向けチップではこれほど大きくならないが、それでも何もしなければ消費電力は増加する傾向にある。これに対して、スケーリングに

図4 ●急増するチップ電流
スケーリングに伴いチップの消費電力が増大し、電圧が低減。この結果、チップに供給する電流は急激に増えている。2014年には500Aという膨大な値になる。東京大学のデータ。

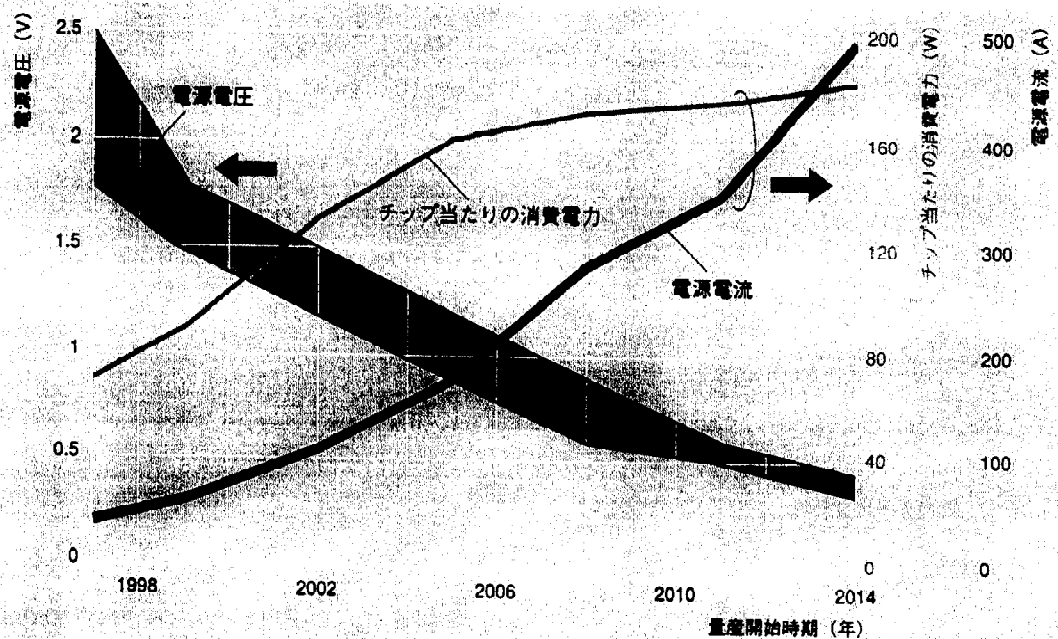
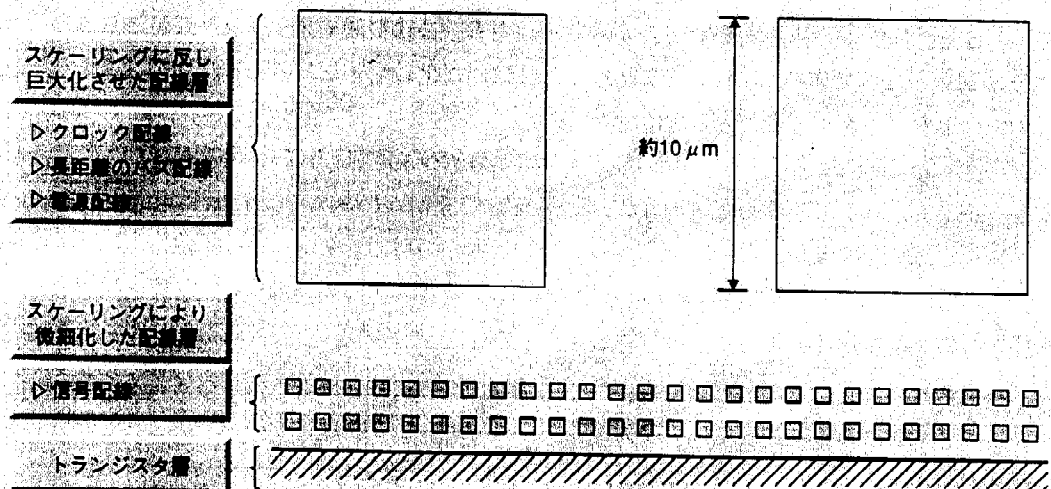


図5 ●巨大配線を使って高速・低消費電力化の限界を打破
厚さが約10 μ mと巨大な配線を使えば大電流を供給できるほか、配線遅延を大幅に削減できる。東京大学のデータ。



よって電圧は着実に下がっていく。現在、マイクロプロセッサの内部電圧は2~2.5Vだが、10年後には約0.5Vにまで下がる。消費電力が増えて電圧が下がるということは電流が急速に増えることを意味し、数年後には100Aを超える時代がくる。この大電流をどのようにLSIに供給するかが大きな課題である。

電圧降下の増大は、電源電流の増加によってより顕著になる。チップの周辺部から中心

部に電源電流を供給する場合、どうしても配線抵抗と電流の積に相当する電圧降下が発生してしまい、設計通りの電圧が印加できずチップ性能が出なくなる。

配線遅延がクロック周期を上回る

(2)の配線遅延は、クロック信号の分配で特に問題になる。スケーリングした微細な配線を使った場合、2005年には配線長を

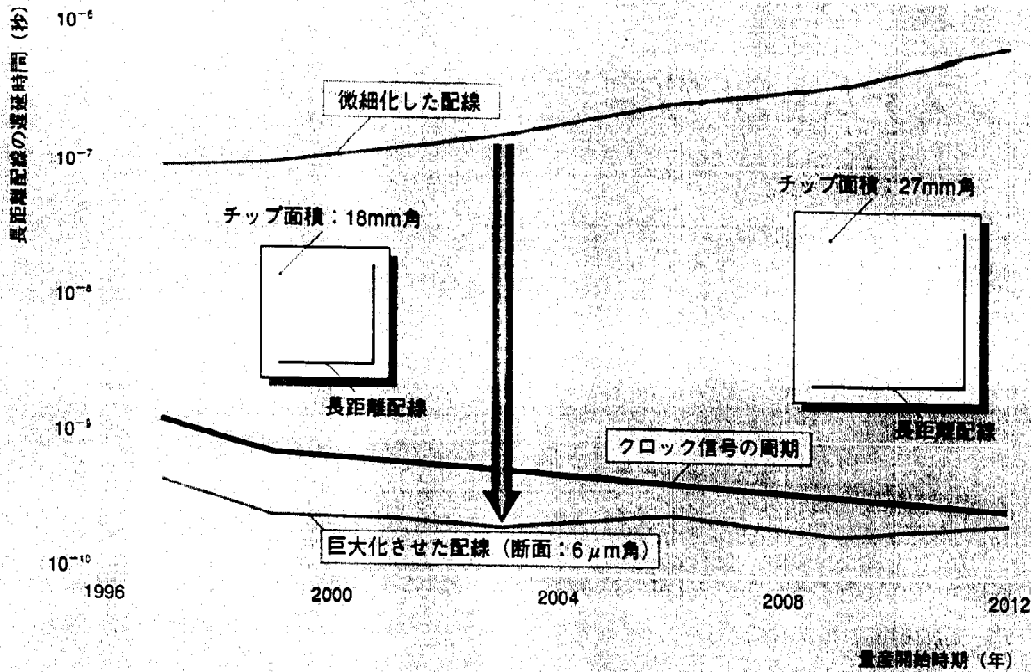


図6●巨大配線を使って配線遅延を削減
6 μ m角の巨大配線をクロック配線に適用すれば、配線遅延をクロック信号の周期内に抑えられる。東京大学のデータ。

1mmにすると配線遅延がクロックの周期を上回るようになる。クロック信号を伝えたい最大距離はチップの端から端までの長さに相当するため、実際にはクロック周期よりも非常に長い配線遅延が生ずる。

巨大配線技術で解決

約10 μ m角の断面を持った巨大な配線層を使うことによって、これらの問題を解決できる(図5)。

電力の問題については、配線抵抗が大幅に減るため大電流を供給でき、電圧降下を抑えられる。例えば、電圧1V、電流20A、電力20Wのチップを考えた場合、電圧降下を設計上の許容範囲である4~5%にすることができ、電流を供給する電極を周辺型からエリア型にすれば、配線長を短くできるため、さらに電圧降下を下げられる。

配線遅延は、配線抵抗が減るために大幅に削減できる。例えば、6 μ m角の配線を使った場合、クロックの1周期内でチップの端から端までクロック信号を伝達できる(図6)

一般に配線遅延の問題に対しては、リピータと呼ばれる波形整形器を入れて対策する方法が採られているが、十分ではない。リピータを入れると配線部の約60%の電力をリピータが消費するためである。これに対して、巨大配線を使えば、配線抵抗が下がり配線部の消費電力を大幅に引き下げることができる。

インダクタンスの考慮が必須に

ただ、非常に抵抗の低い巨大配線ではインダクタンスの影響を考慮しなくてはならない。最近までLSI技術の中ではインダクタンスの問題は電源配線以外にほとんど出てこなかったが、ここへ来てクロック配線でその問題が顕著になっている。インダクタンスが大きいと、伝えるクロック信号の波形が乱れてしまい、配線遅延に大きなバラつきが生じる。これは実質的に配線遅延が大きくなったことと等価である。こうしたインダクタンスへの対策は、ボードやパッケージの分野で解析が進んでいる。巨大配線を使う場合には、そこで蓄積された知見が必須になるだろう。