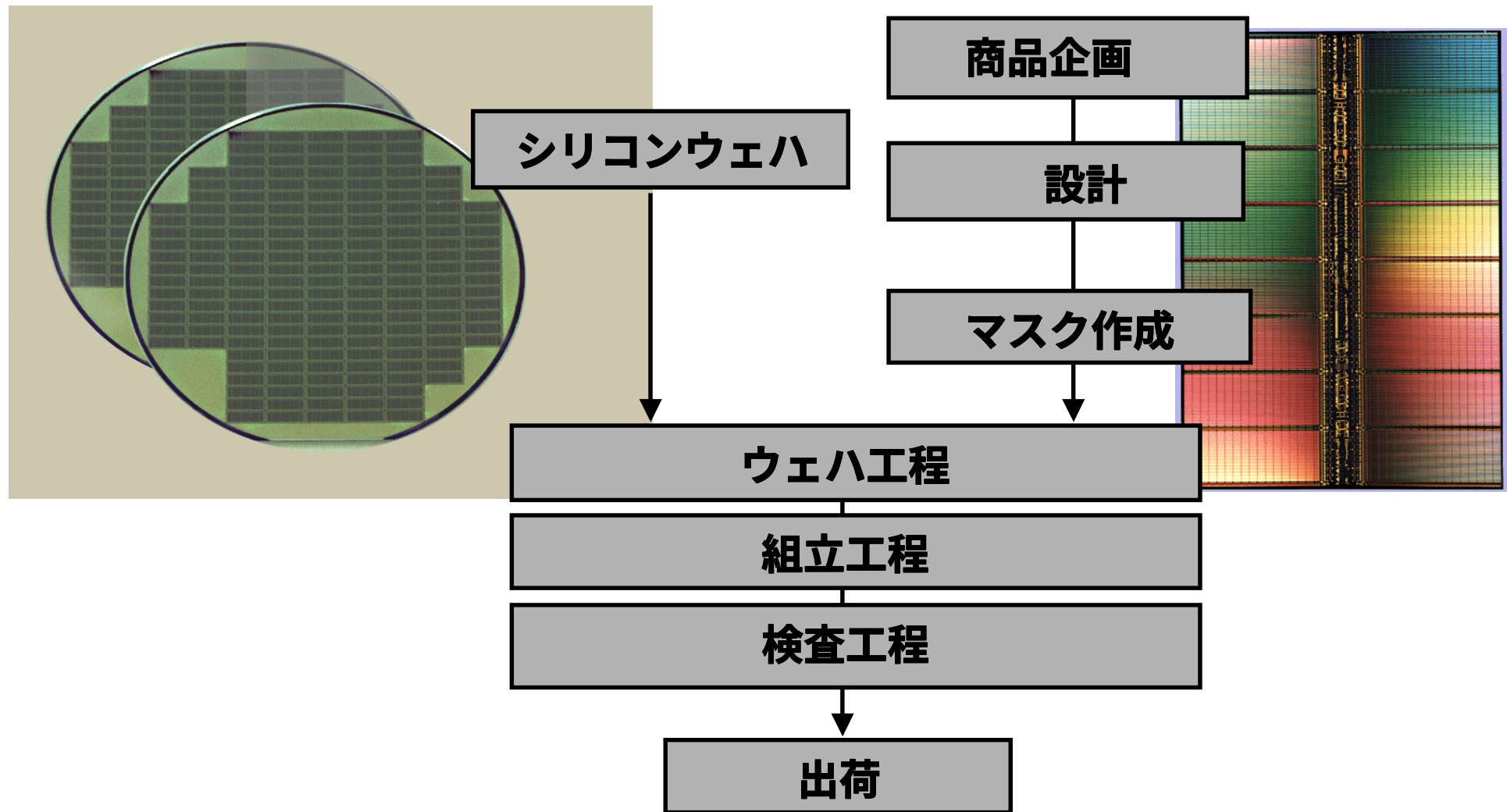

デジタルVLSI設計技術の基礎(10:00~17:00)

論理回路
基本回路技術
CMOS回路ブロック設計
CMOS回路ブロック解析
VLSI設計基礎
メモリ設計

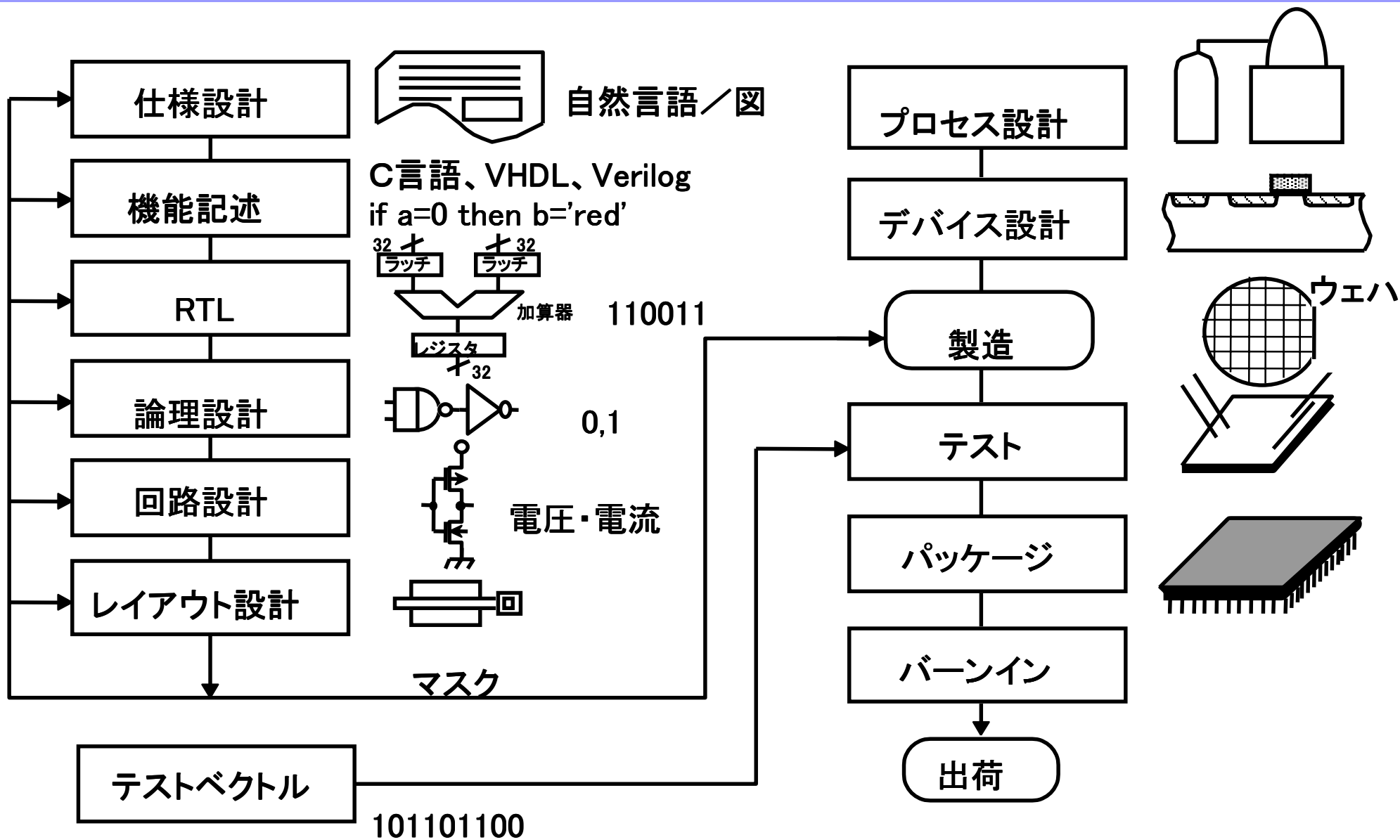
東京大学
国際・産学共同研究センター 教授
生産技術研究所 教授
桜井貴康

tsakurai@iis.u-tokyo.ac.jp

LSI製造工程



VLSIの設計

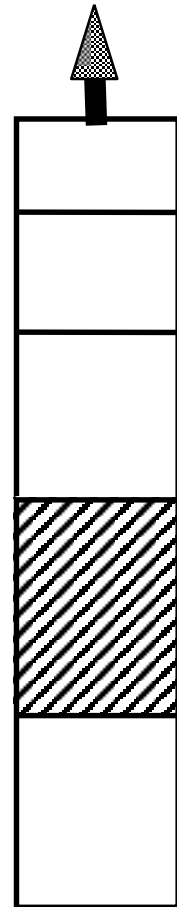


設計のゴールとコスト構成

差別化要因

- ・機能
- ・コスト
- ・スピード
- ・パワー
- ・信頼性

コスト構成



営業／販売経費、マージン

バーンインコスト

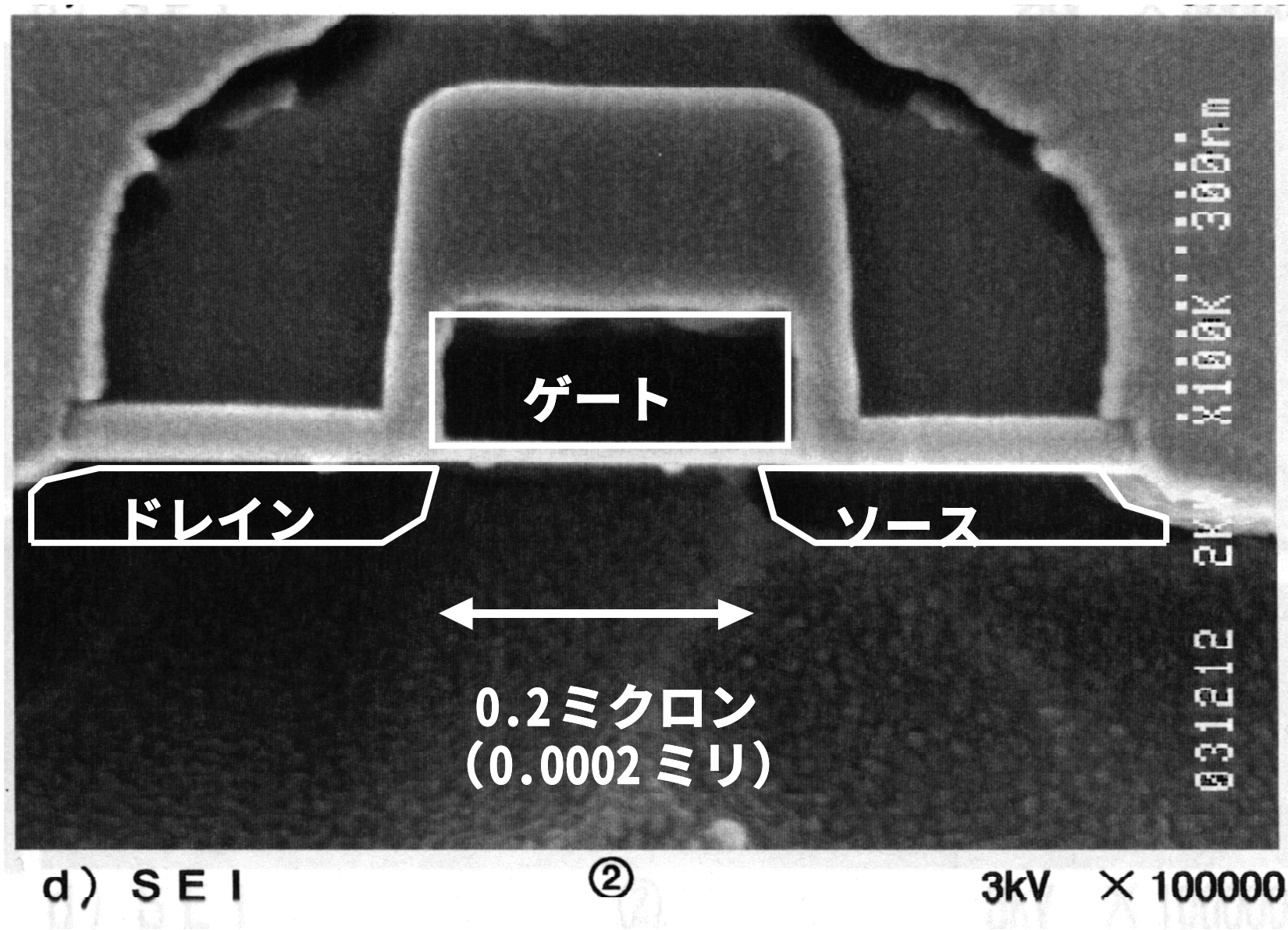
テストコスト { テスト時間
テスター性能

パッケージコスト { プラスティック
セラミック

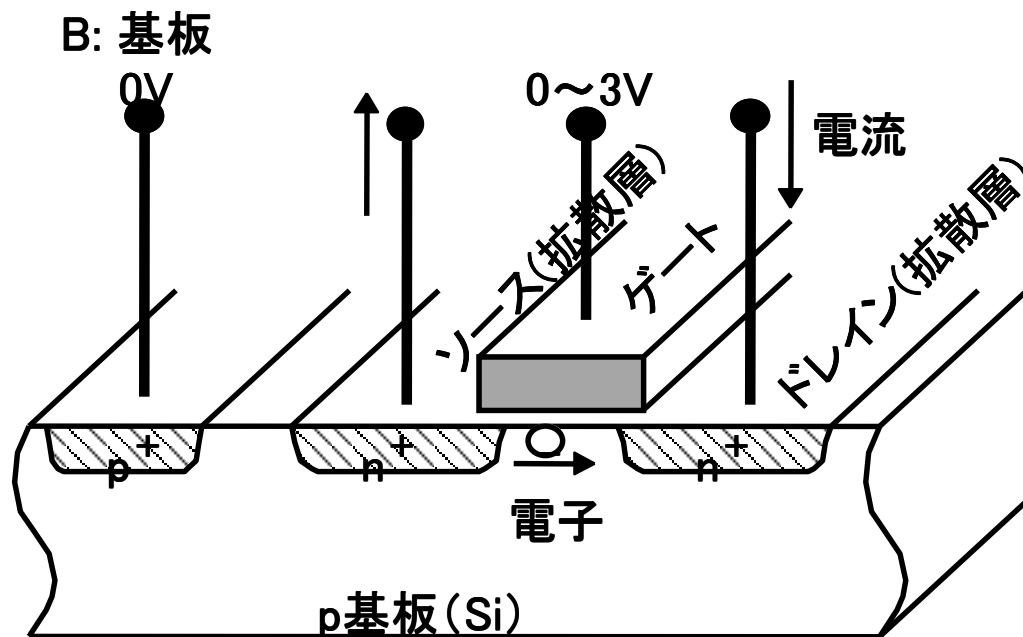
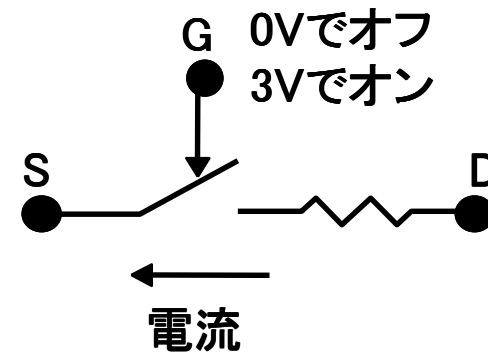
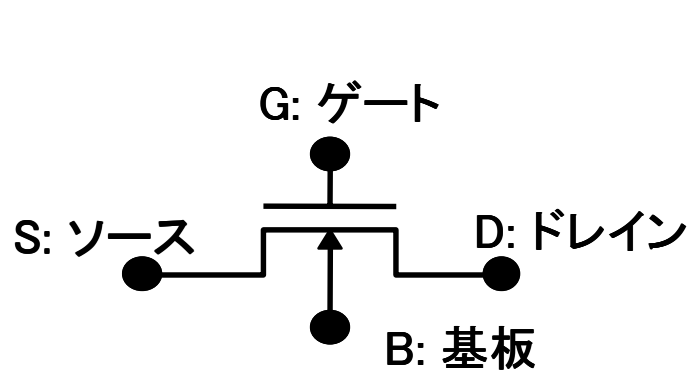
チップコスト { チップ面積
歩留り 10%～95%
プロセスの複雑さ(1層～6層配線)

開発費(人、年、設備...)

MOSTランジスタ

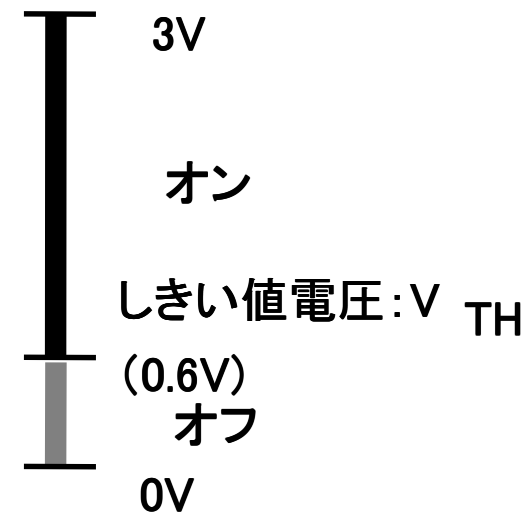


NチャネルMOSFETとは



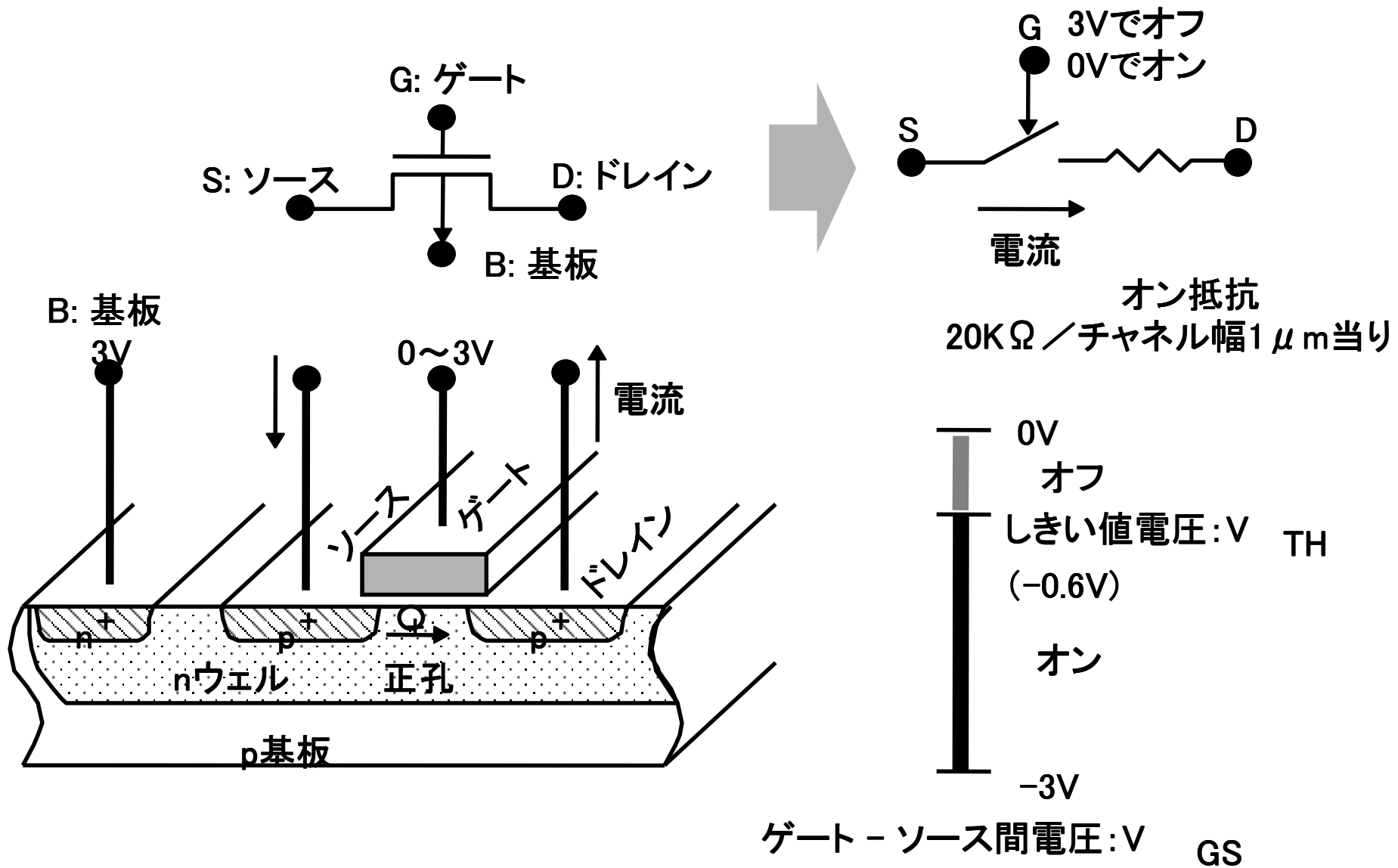
ゲート材料は多結晶Si (ポリシリコン)

オン抵抗
10K Ω / チャネル幅1 μ m当り

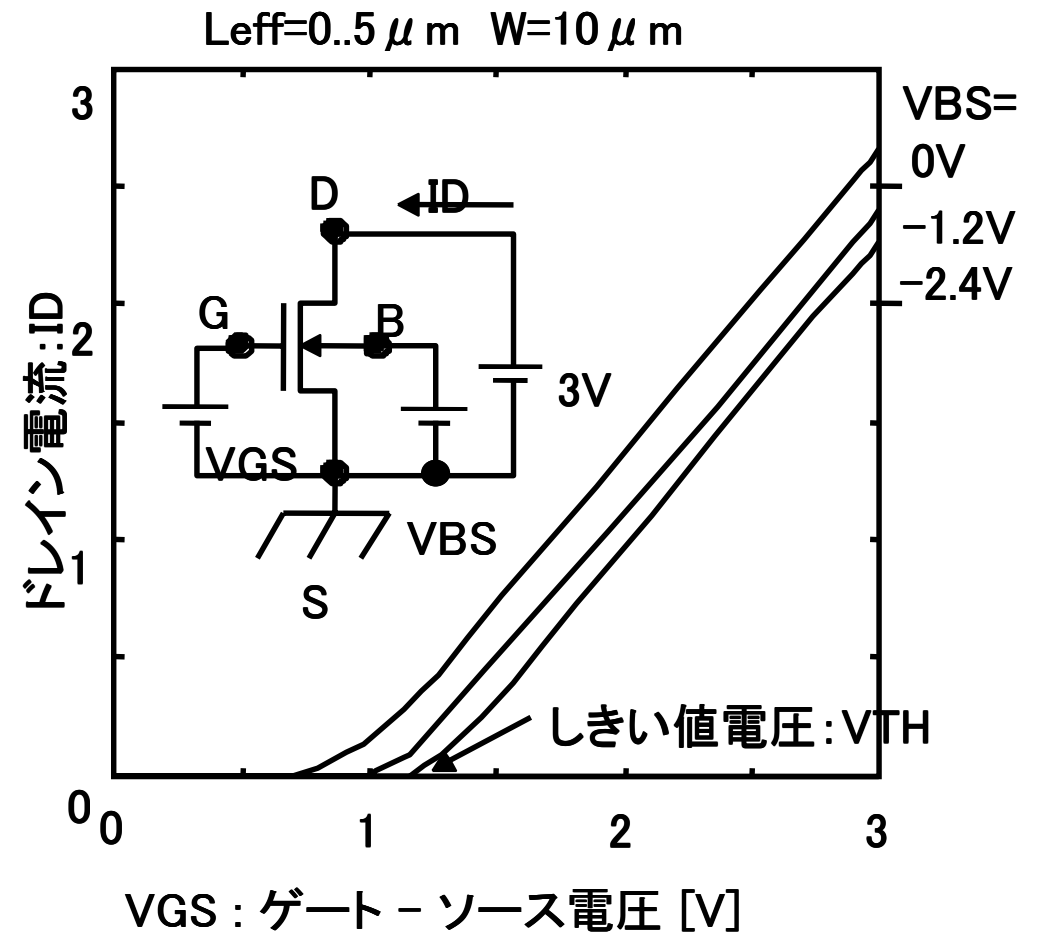
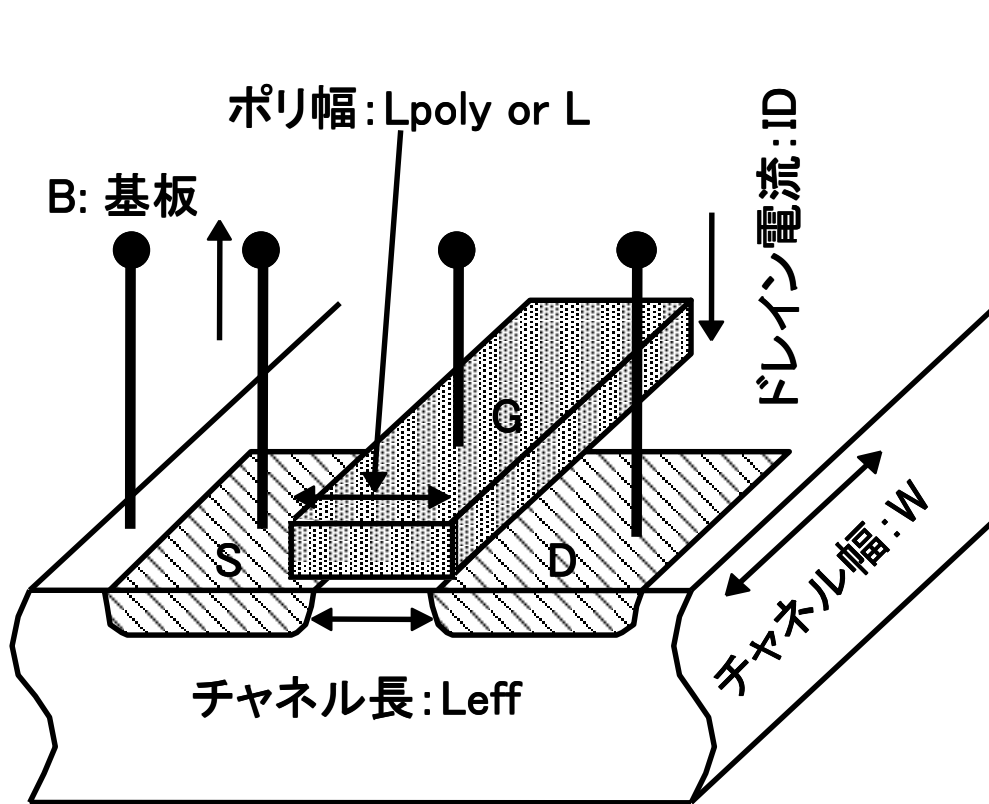


ゲート - ソース間電圧: V_{GS}

PチャネルMOSFETとは

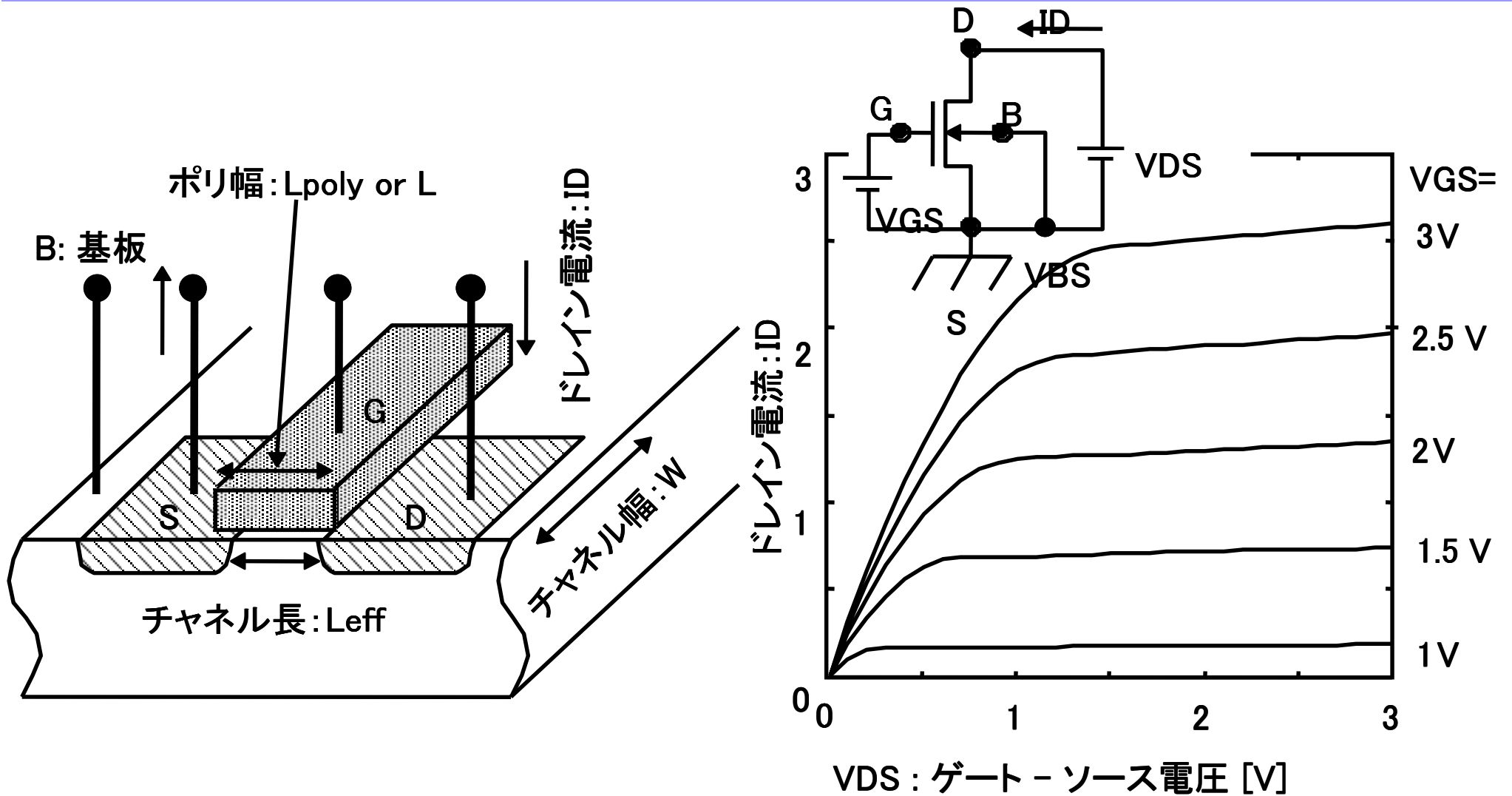


NMOSの電流電圧特性



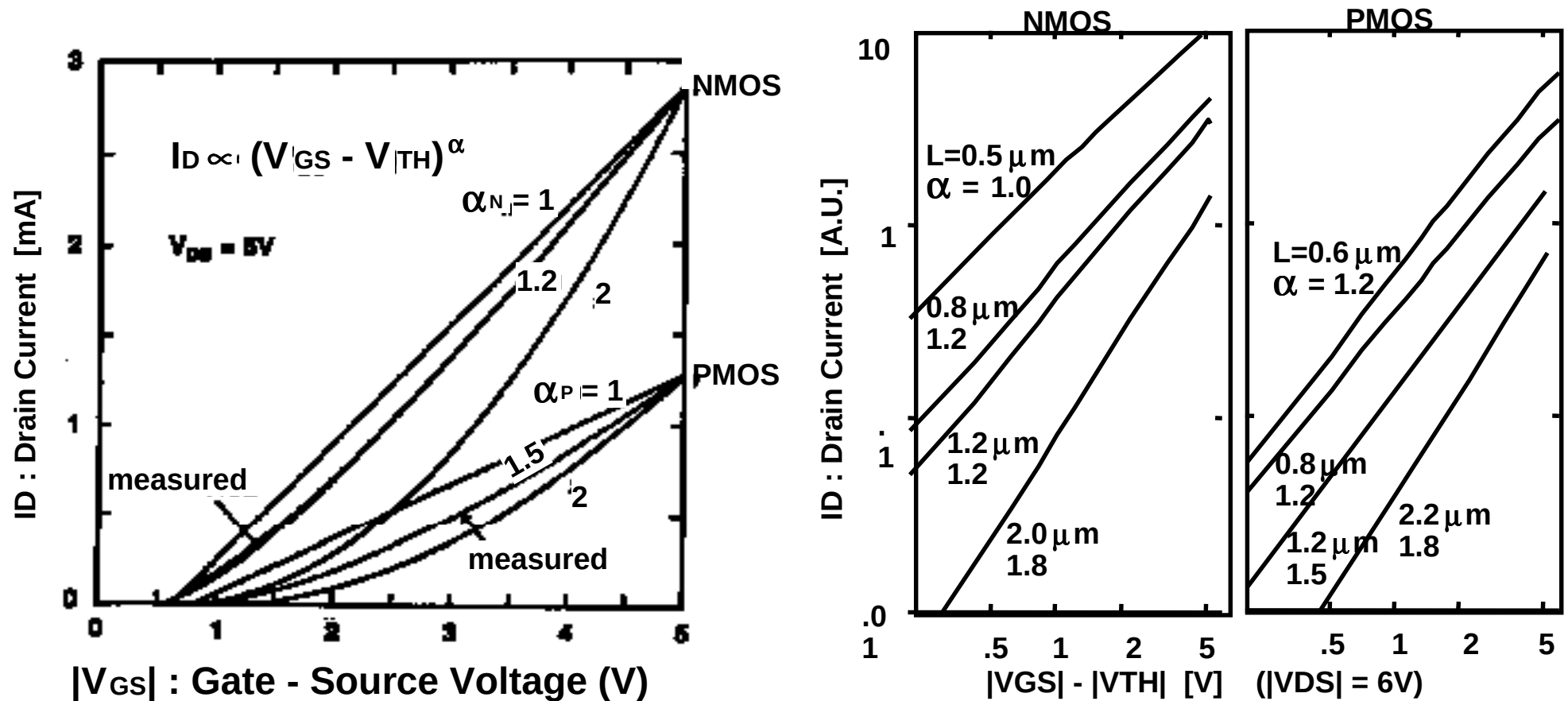
$$I_D \propto \frac{W}{L_{eff}} (V_{GS} - V_{TH})^\alpha \quad \alpha = 1 \sim 2$$

NMOSの電流電圧特性



$$I_D \propto \frac{W}{L_{\text{eff}}} (V_{GS} - V_{TH})^\alpha \quad \alpha = 1 \sim 2$$

ショートチャネルMOSFETの α の値

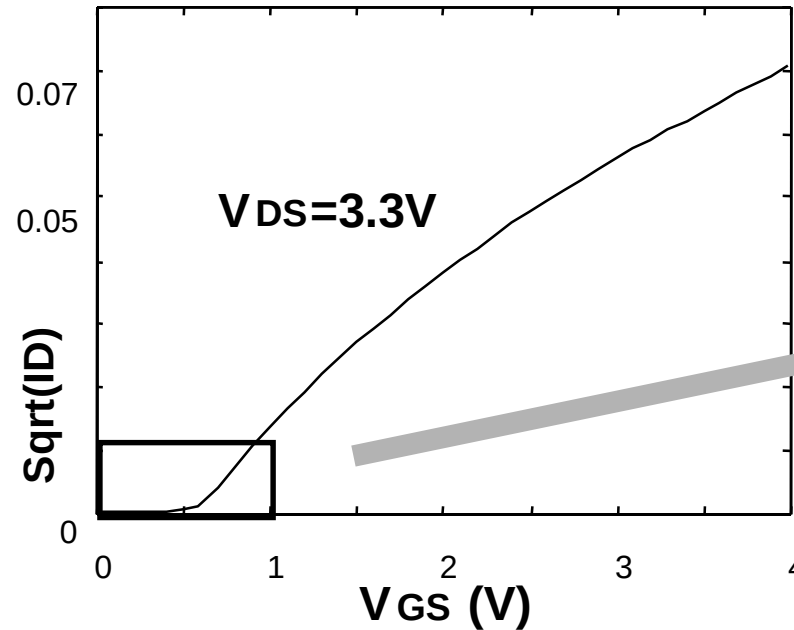


- o T.Sakurai and A.R.Newton, " Alpha-Power Law MOSFET Model and Its Application to CMOS Inverter Delay and Other Formulas," IEEE J. Solid-State Circuits, Vol.25, No.2, pp.584-594, Apr. 1990.
- o T.Sakurai and A.R.Newton, "Delay Analysis of Series-Connected MOSFET Circuits," IEEE J. Solid-State Circuits, Vol.26, No.2, pp.122-131, Feb. 1991.
- o T.Sakurai and A.R.Newton, "A Simple MOSFET Model for Circuit Analysis," IEEE Trans. on ED, Vol.38, No.4, pp.887-894, Apr. 1991.

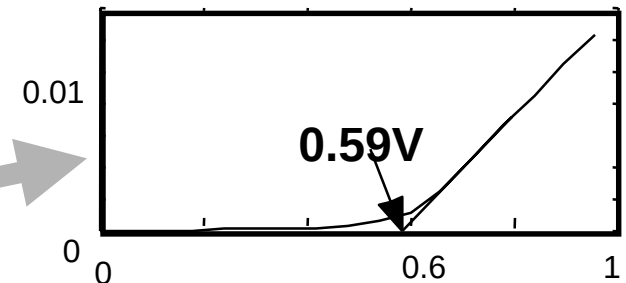
しきい値電圧の定義

5極管外挿VTH

VDSにVDDに近い電圧をかけ、VGS-Sqrt(ID)のグラフの最大傾斜部分を外挿してx軸との交点をVTHとする。

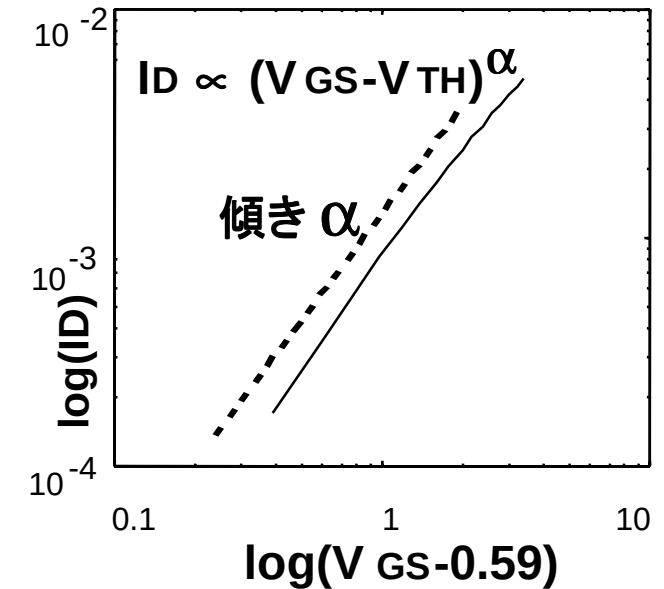
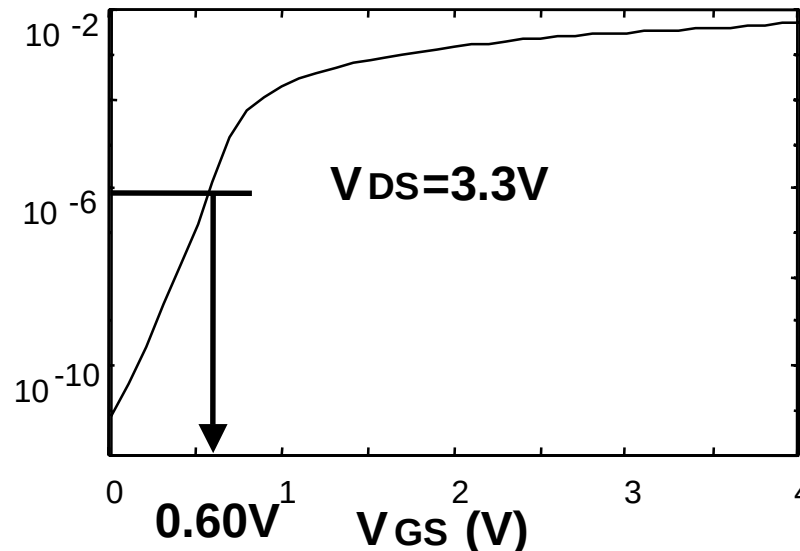


NMOS $L = 0.5 \mu m$
 $W = 10 \mu m$



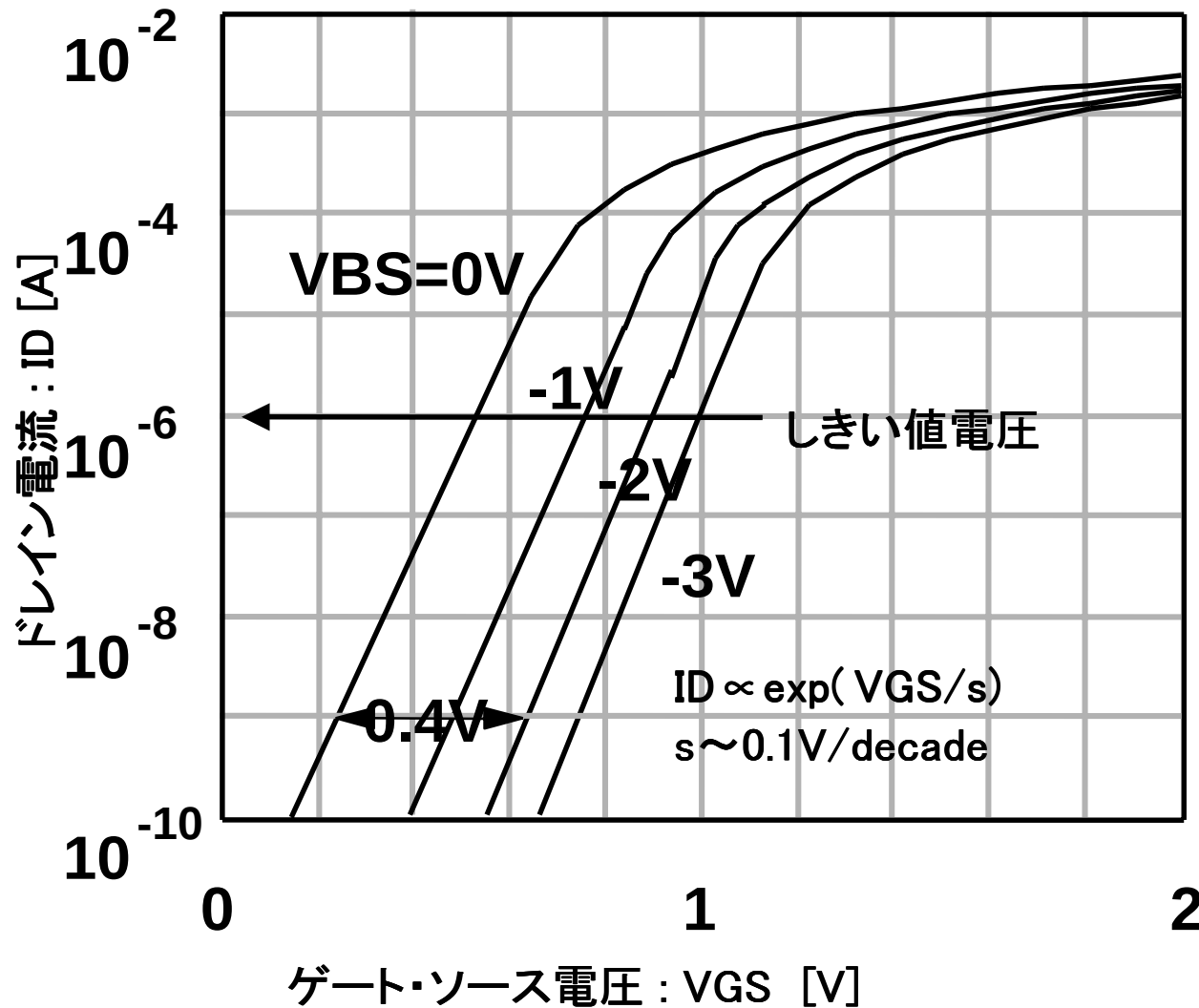
一定リークVTH

VDSにVDDに近い電圧をかけ、VGS-log(ID)のグラフからIDが例えば $1 \mu A$ のVGSをVTHとする。



サブスレシヨルド電流

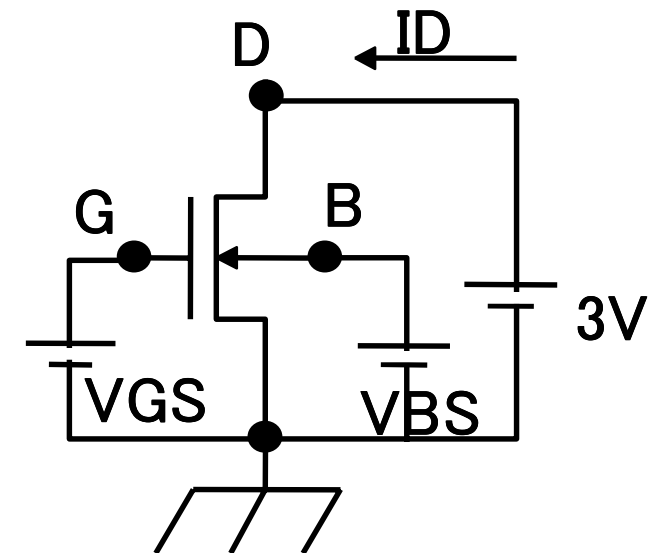
(しきい値電圧以下の電流)



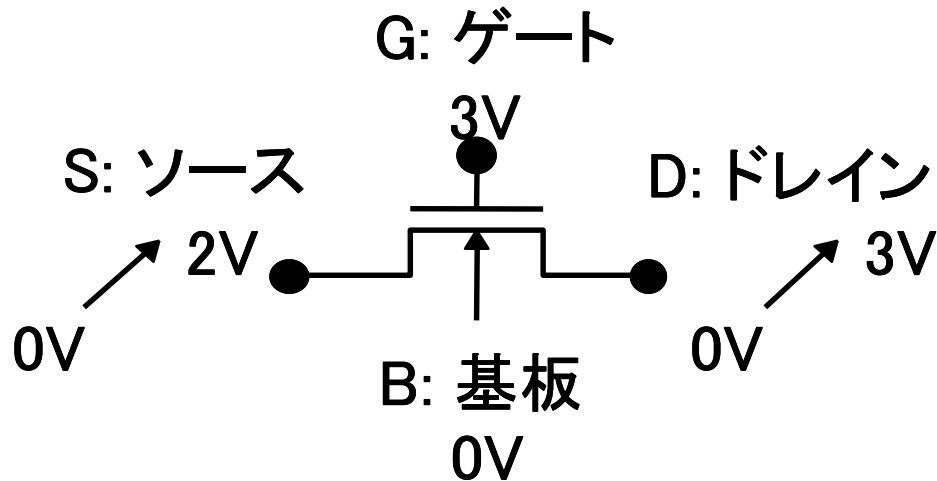
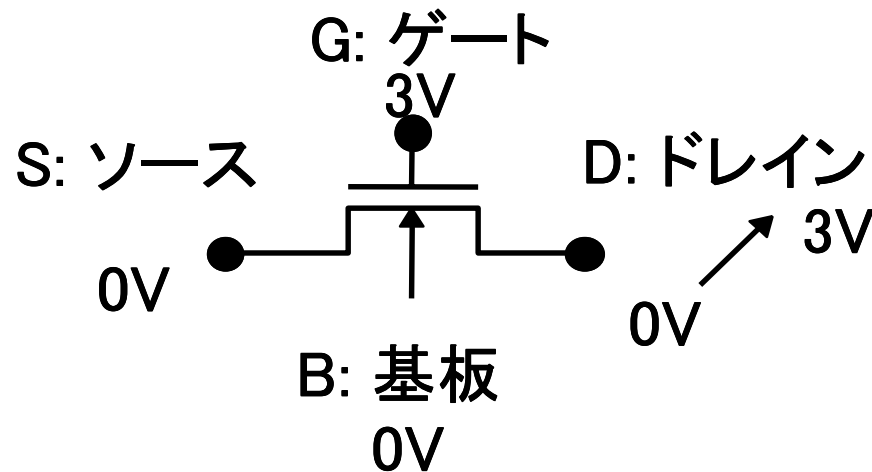
室温
NMOS

$L = 0.3 \mu\text{m}$
 $W = 10 \mu\text{m}$

$$V_{TH} = V_{TH0} + \gamma \sqrt{2\phi_F - V_{BS}}$$
$$\approx V_{TH0} + KV_{BS} \quad (K \approx 0.15 \sim 0.2)$$

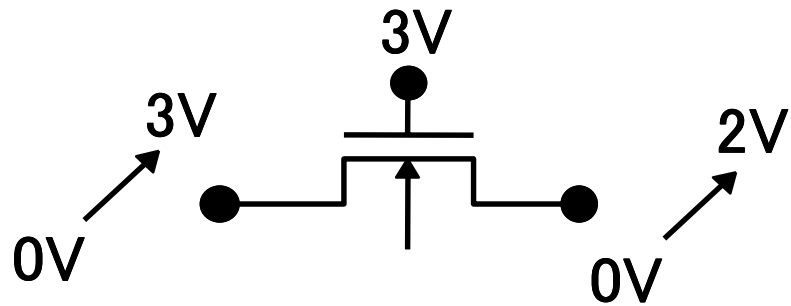


MOSFETのスイッチ素子としての注意点



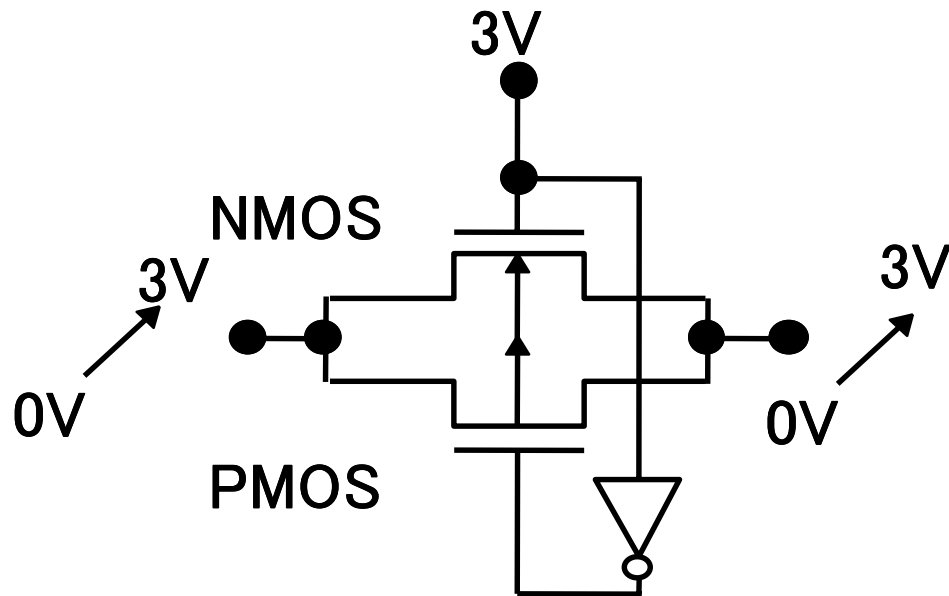
- 基板-ソース電圧 V_{BS} が0Vでないと、しきい値の絶対値が大きくなる。(基板バイアス効果)
- 例えば、 $V_{BS}=0V$ の時 $V_{TH}=0.6V$ だと $V_{BS}=-2V$ の時 $V_{TH}=1.0V$ 程度となる。
- 従って、ドレインを3Vに上げても、ソースは2Vまでしか上がらない。

トランスミッションゲート



トランスファークロウ

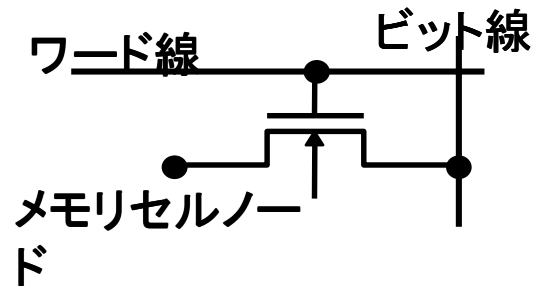
NMOSは0Vは通せるが3Vは通せない。
PMOSは3Vは通せるが0Vは通せない。



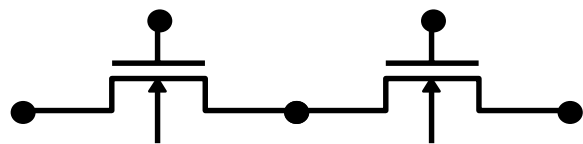
トランスミッションゲート

NMOSとPMOSを並列すること
により、0Vも3Vも通せる理想的
なスイッチとなる。

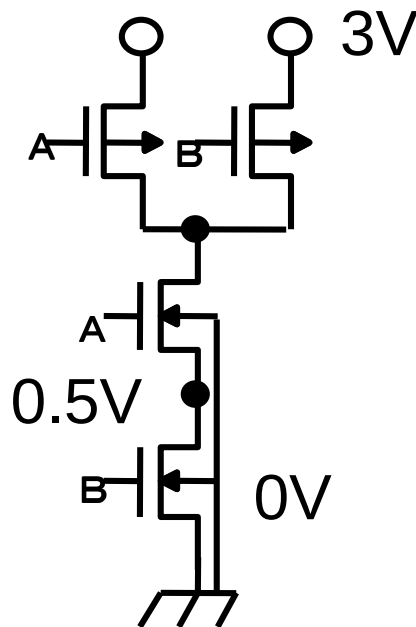
基板バイアス効果の現れる場所



- ・ メモリセルのトランスファゲート



- ・ パス・トランジスタ論理回路



- ・ NANDなどの縦積み回路

CMOS基本ゲート回路設計の基礎

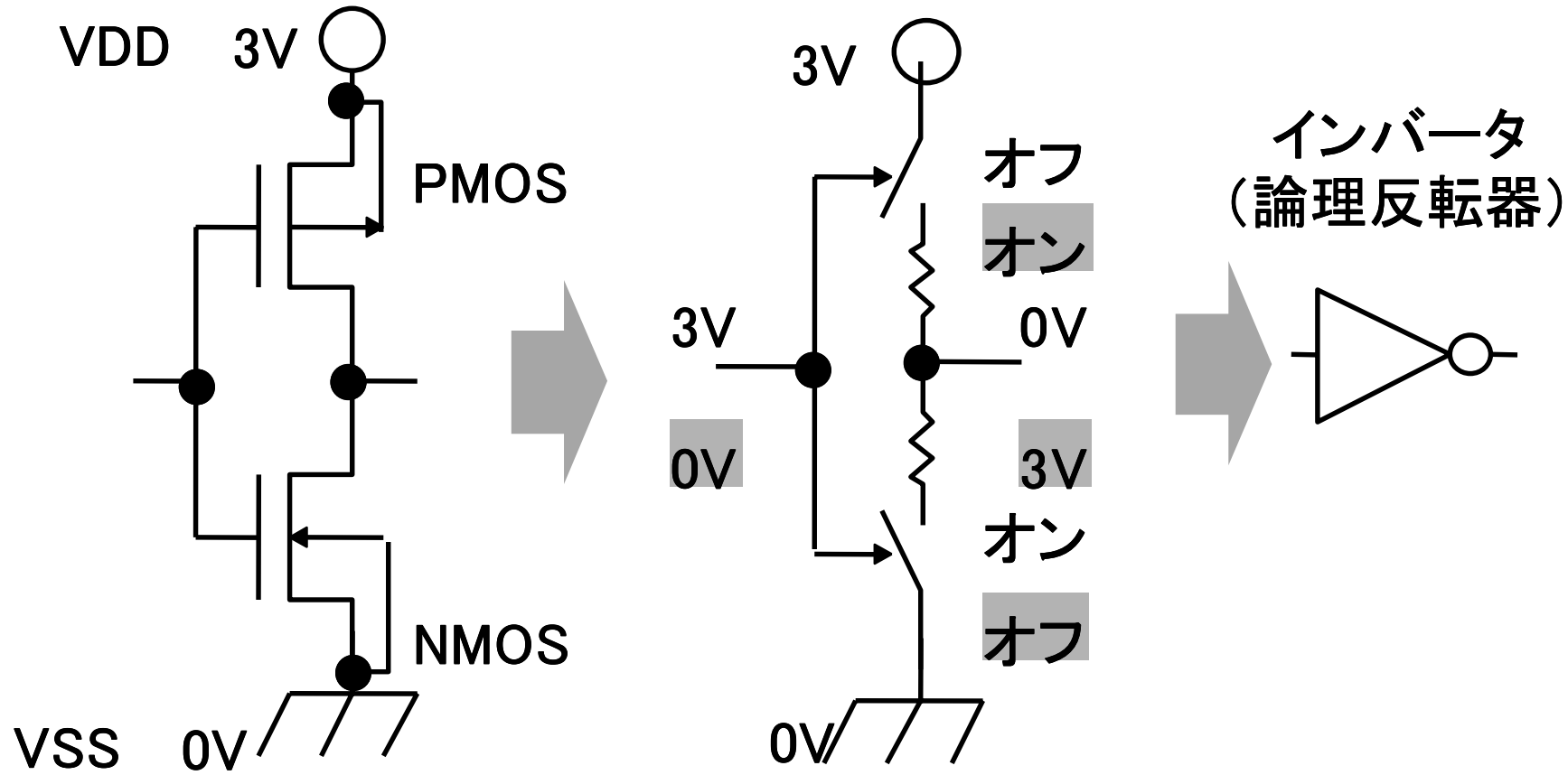
● CMOS基本ゲート回路

東京大学
国際・産学共同研究センター 教授
生産技術研究所 教授
桜井貴康

tsakurai@iis.u-tokyo.ac.jp

CMOSインバータ

CMOS: Complementary MOS、相補型MOS

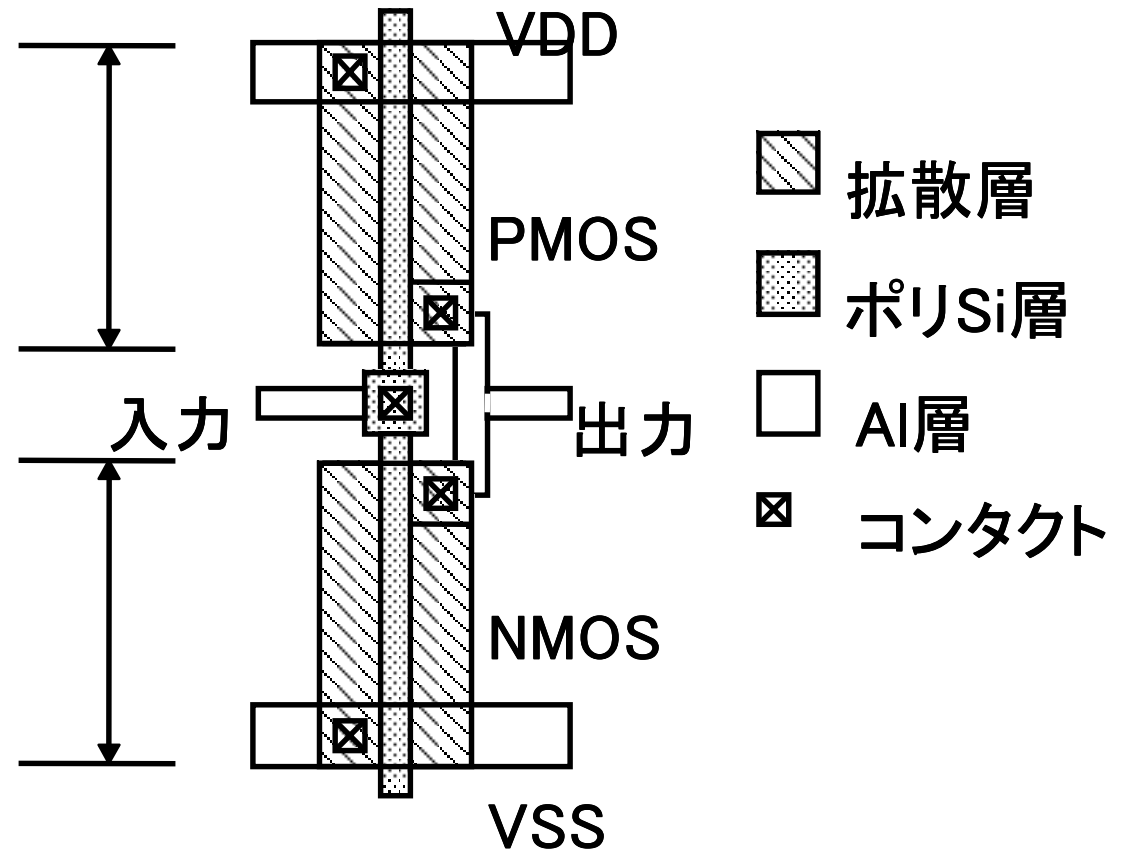


- ・直流パスなし
- ・動作マージン大

CMOSインバータ・レイアウト例

PMOSの幅: W_p

NMOSの幅: W_n



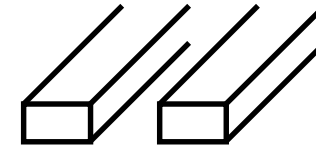
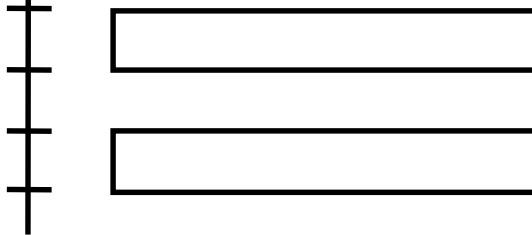
デザインルール

1) アルミニウム配線／ポリシリコン／拡散層 (線幅とスペース)

λ 以上

λ 以上

λ 以上

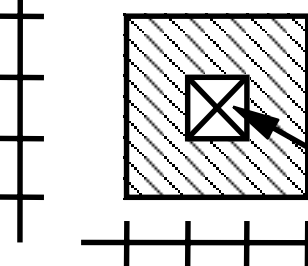


2) コンタクト周辺 (コンタクトサイズとコンタクト余裕)

λ 以上

λ 以上

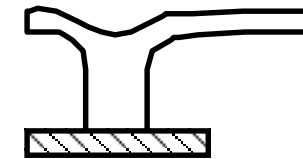
λ 以上



アルミ／ポリ／拡散層

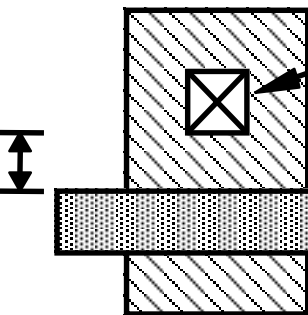
コンタクト

すべて λ 以上



3) ゲート・コンタクト余裕

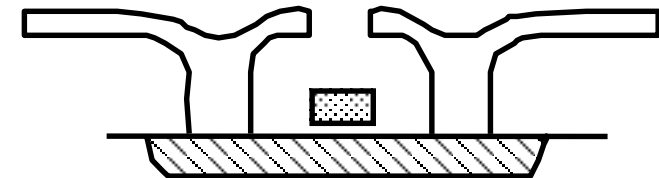
余裕 λ 以上



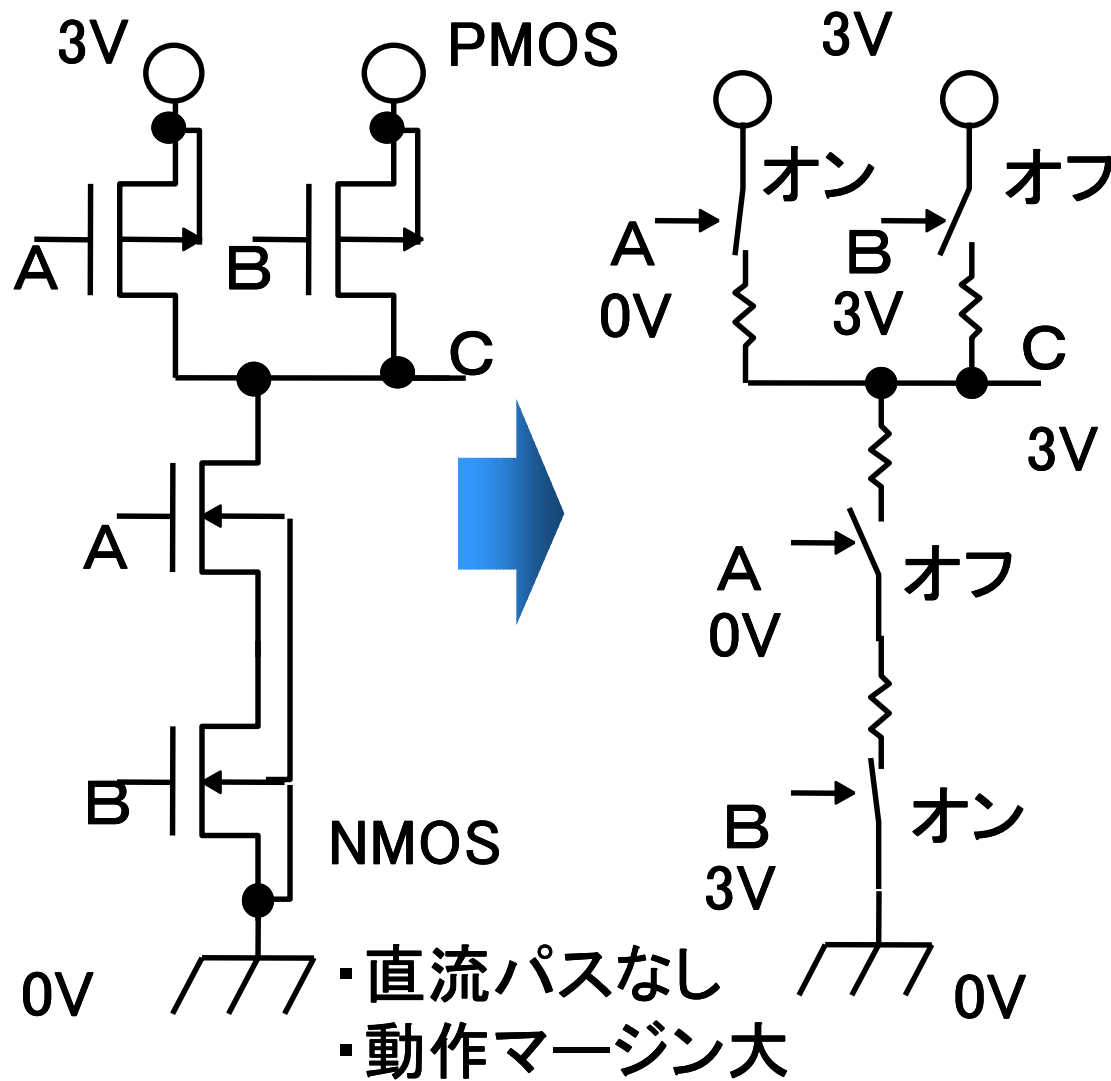
コンタクト

ゲートフリンジ λ 以上

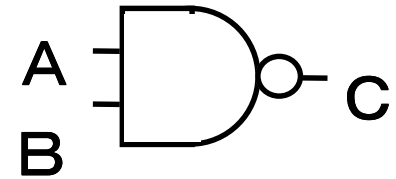
ゲート・ポリシリコン



CMOS NANDゲート



NAND ゲート

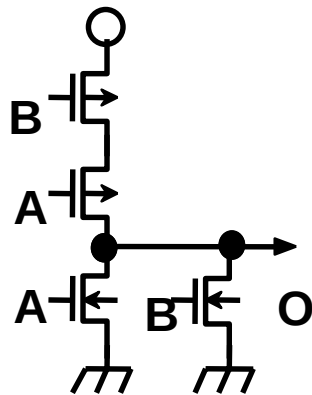
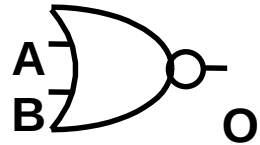


A	B	C
0	0	1
0	1	1
1	0	1
1	1	0

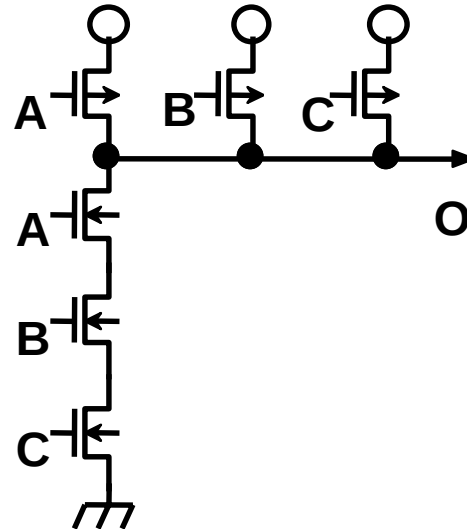
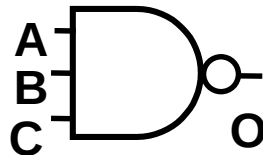
真理値表

基本論理ゲート

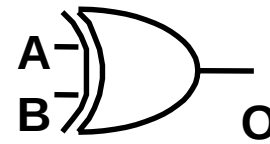
2入力 NOR



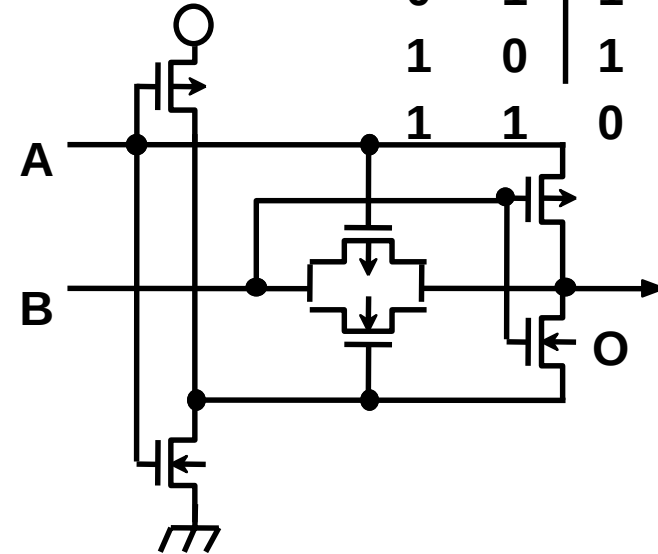
3入力 NAND



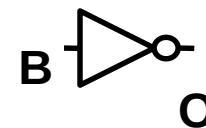
2入力 Exclusive OR



A	B	O
0	0	0
0	1	1
1	0	1
1	1	0



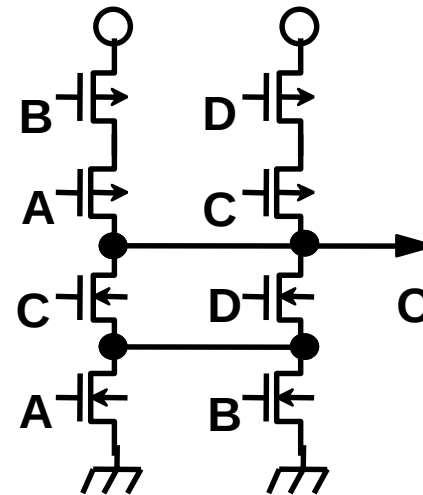
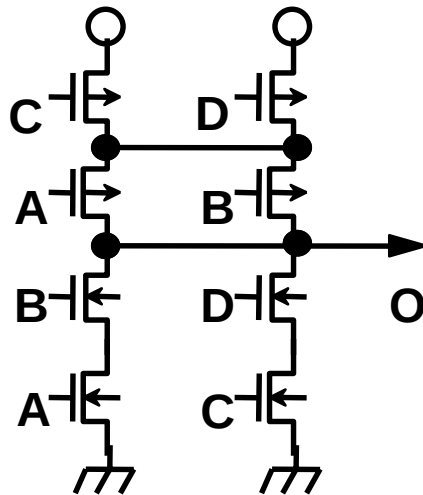
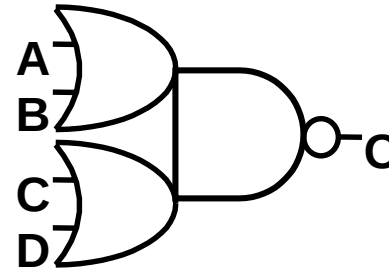
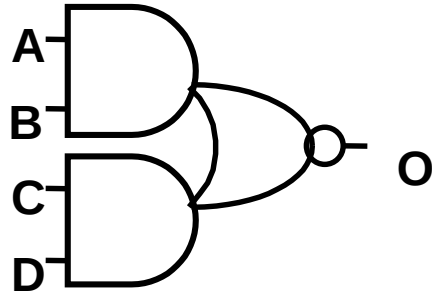
A=1の時



A=0の時



複合ゲート



複合ゲートの構成法

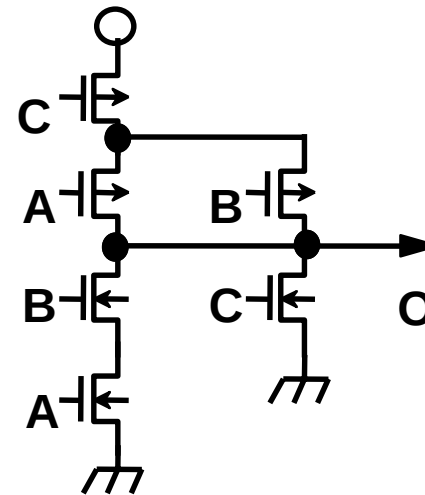
出力は負論理となるように調整

論理積はNMOSは直列、PMOSは並列接続

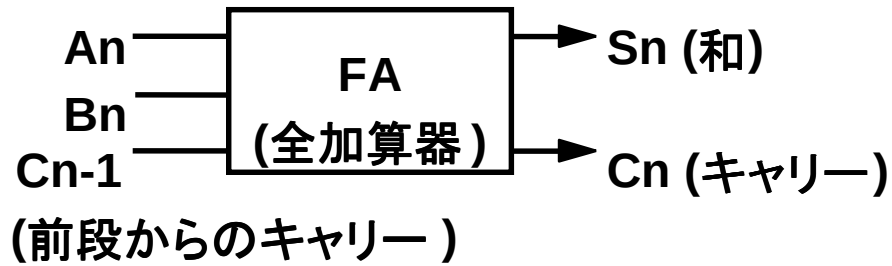
論理和はNMOSは並列、PMOSは直列接続

まずNMOSを作ってその後、PMOSは双対回路になるようにして構成

$$O = \overline{A \cdot B} + C$$



全加算器

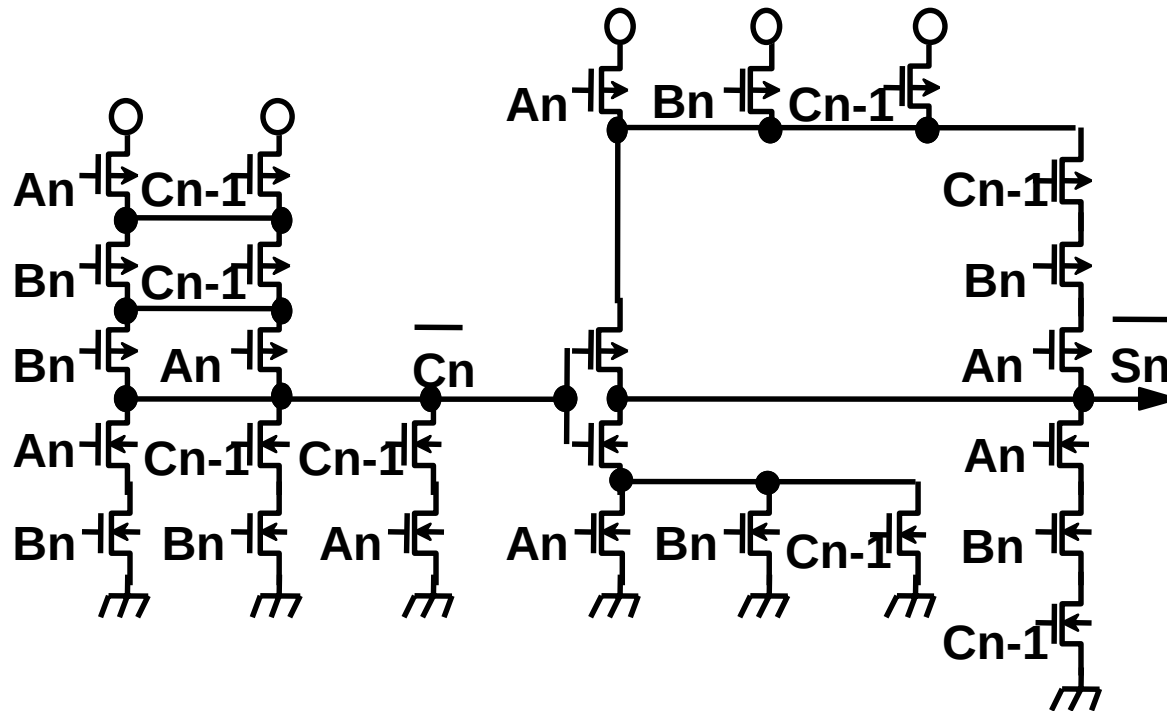


$$C_n = A_n \cdot B_n + B_n \cdot C_{n-1} + C_{n-1} \cdot A_n$$

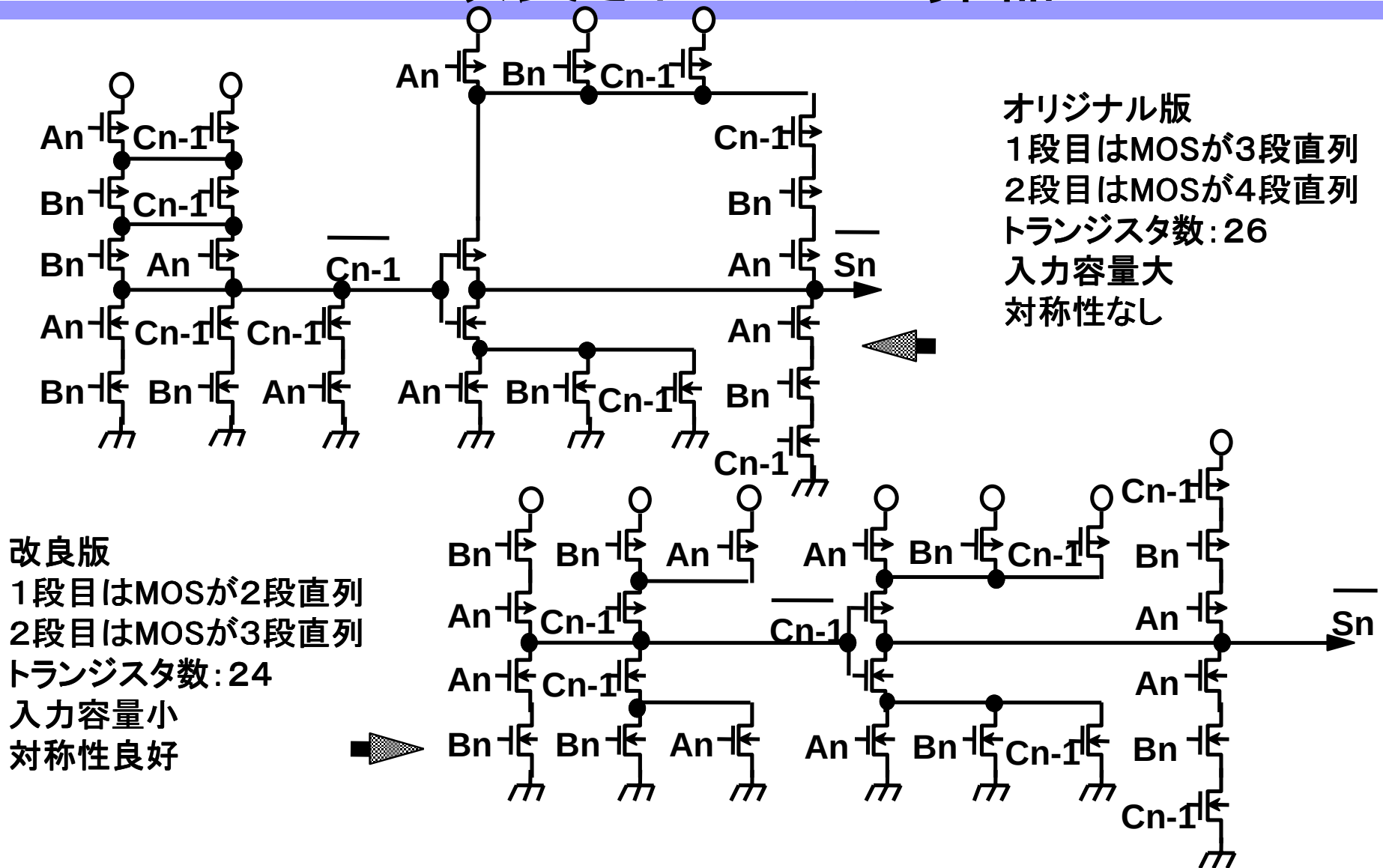
$$S_n = A_n \cdot B_n \cdot C_{n-1} + (A_n + B_n + C_{n-1}) \cdot \bar{C}_n$$

真理値表

An	Bn	Cn-1	Sn	Cn
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



改良された全加算器



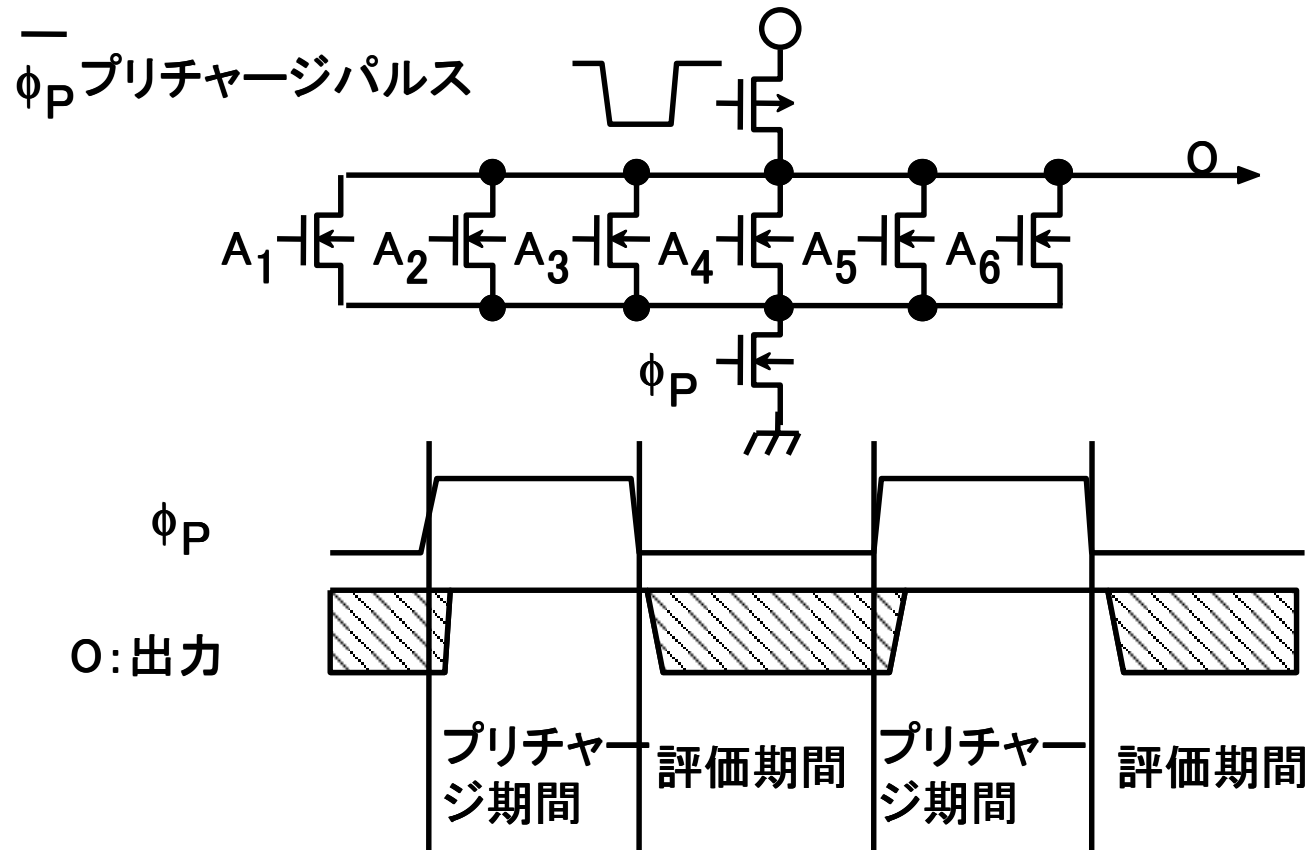
CMOS複合ゲート

出力が次のfとなる一段のCMOS複合ゲートを構成したい。

$$f = \overline{a \cdot b + a \cdot c + a \cdot d + b \cdot c \cdot d}$$

但し、入力が確定したときには、VDDからVSSへの直接電流パスはなく、出力はVDDからVSSにフル振幅するものとする。

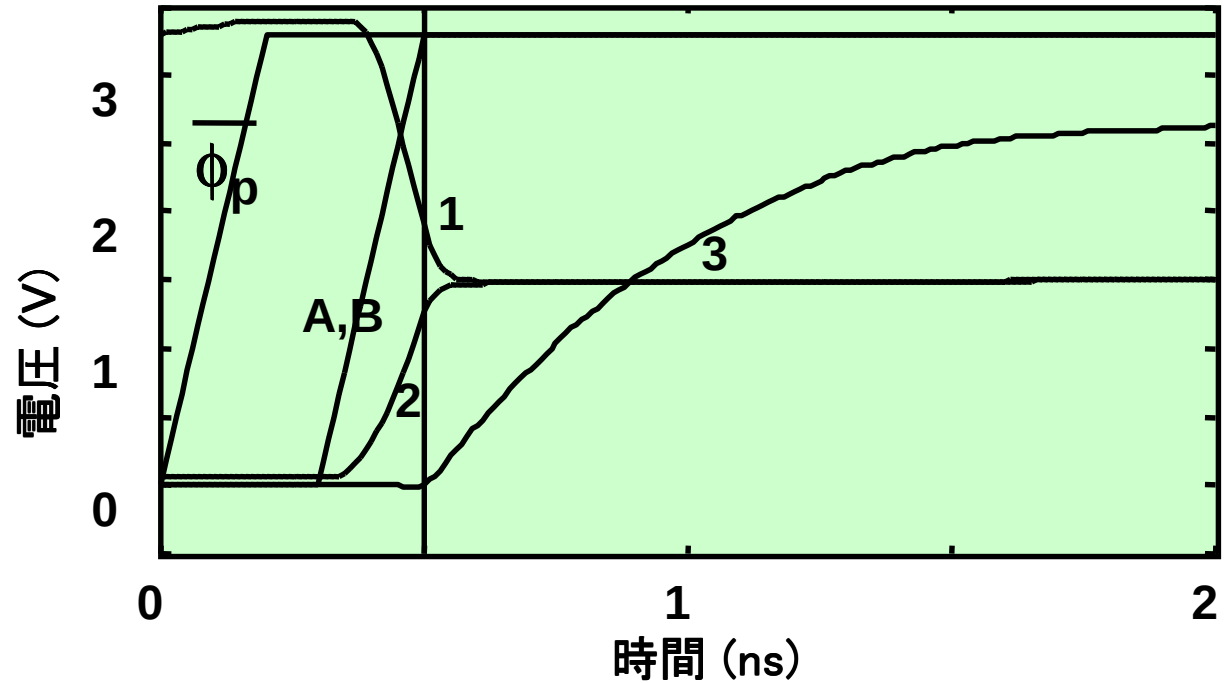
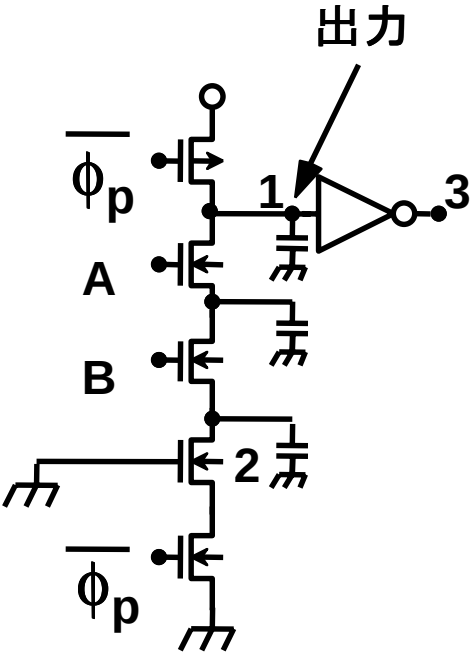
ダイナミック回路とプリチャージ



利点: トランジスタ数少 $\rightarrow$ C少 $\rightarrow$ 面積／遅延少

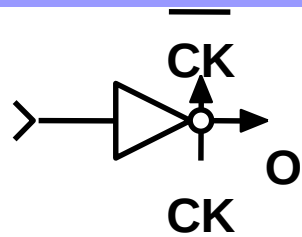
欠点: 最低可動周波数あり。ノイズの弱い。タイミング発生回路が必要な場合がある。

CONCLUSIONS

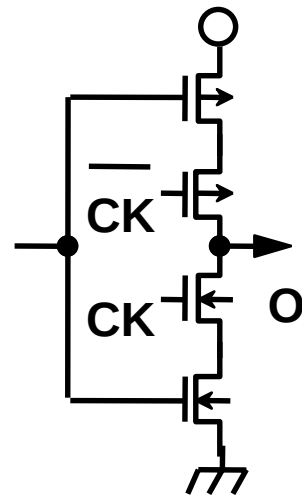


- 出力節点の容量がゲートの容量の総和より相当大きくないとチャージ・シェアリングにより誤動作する。
- ダイナミックゲートを二段連続でつなげるのは危険。ダイナミックゲート、スタティックゲートを交互ならばエラー耐性向上する。

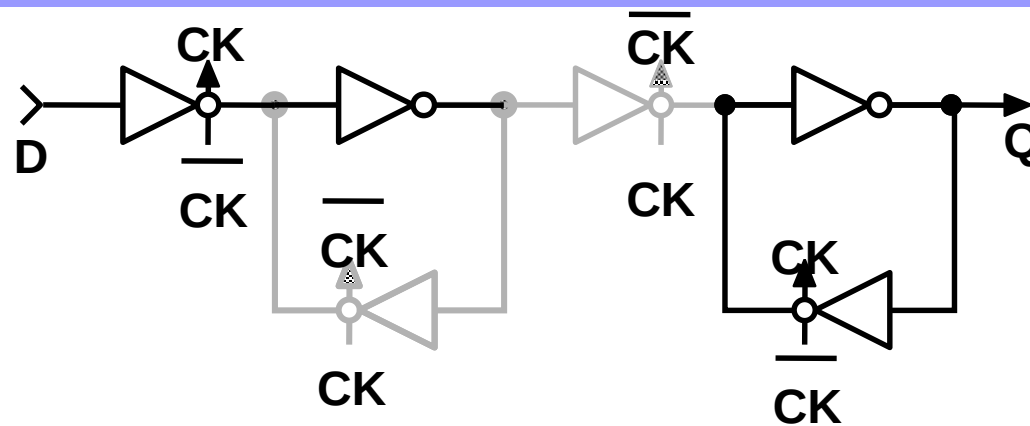
クロック・インバータとD-フリップ・フロップ



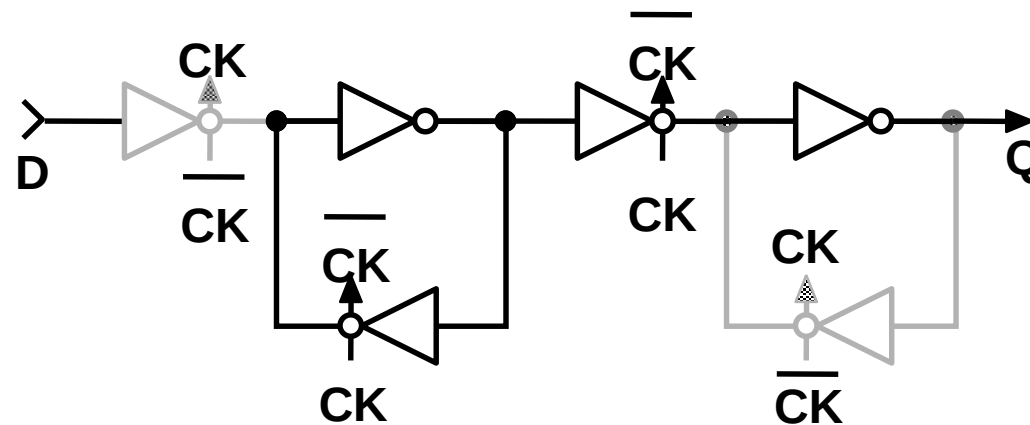
|||



クロック・インバータ

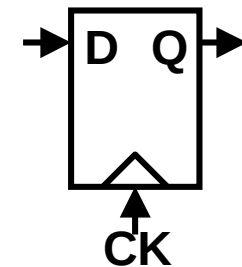
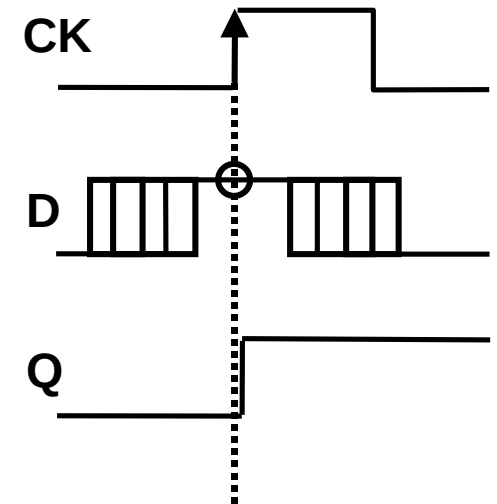


CKが'0'のとき

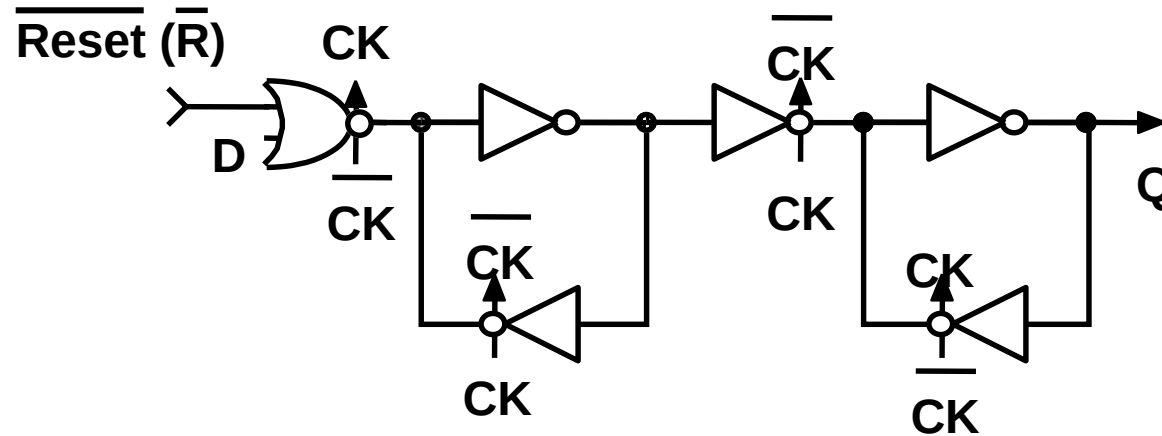
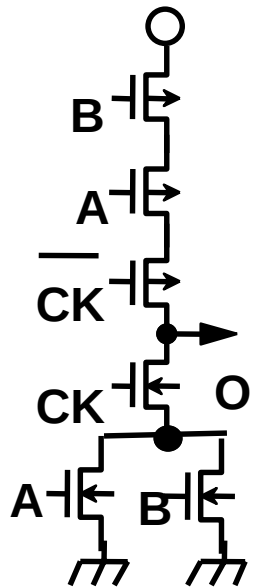
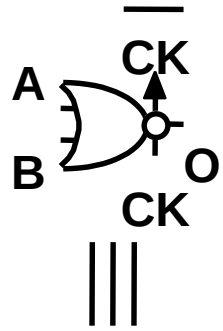


CKが'1'のとき

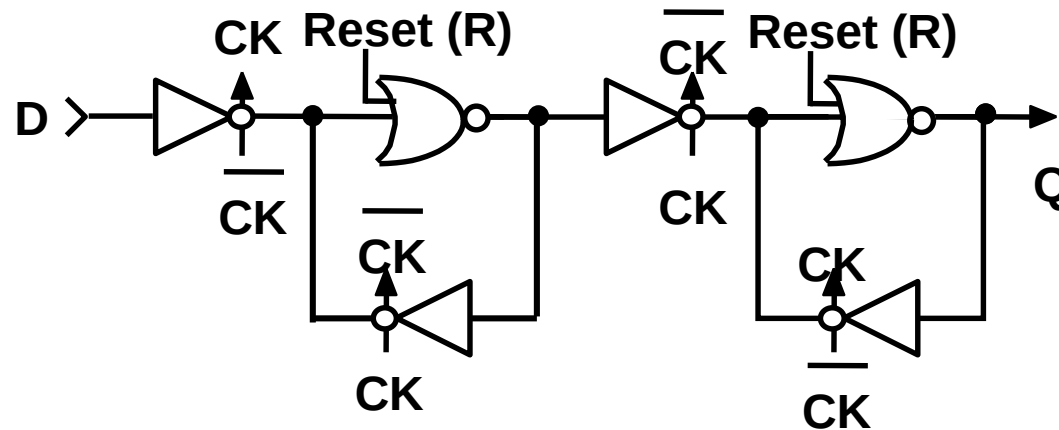
D-フリップ・フロップ (CKはクロック、クロックが'1'になった瞬間のDを保持しQに出力)



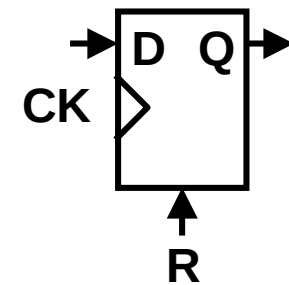
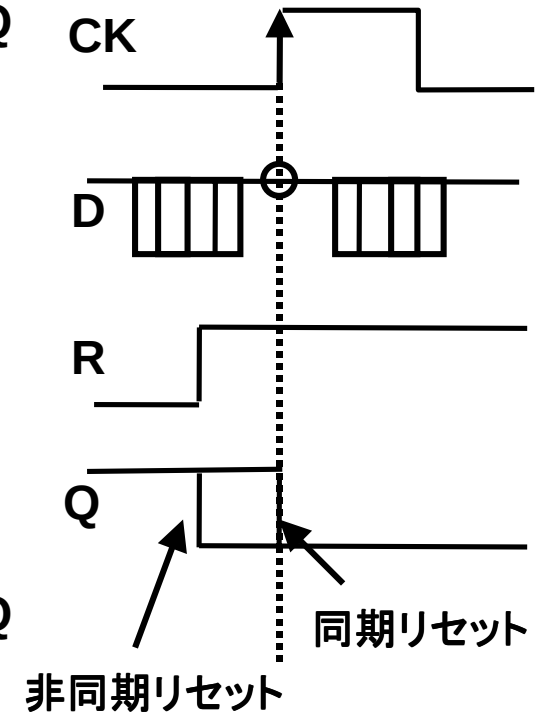
リセット付きD-フリップ・フロップ



同期リセット



非同期リセット



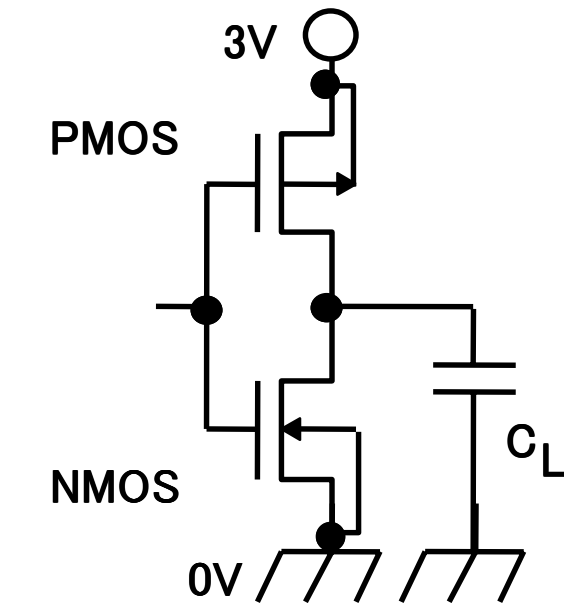
CMOS回路設計の実際的配慮

- マージン設計
- 信頼性
- 設計手法の種類

東京大学
国際・産学共同研究センター 教授
生産技術研究所 教授
桜井貴康

tsakurai@iis.u-tokyo.ac.jp

CMOSインバータの速度



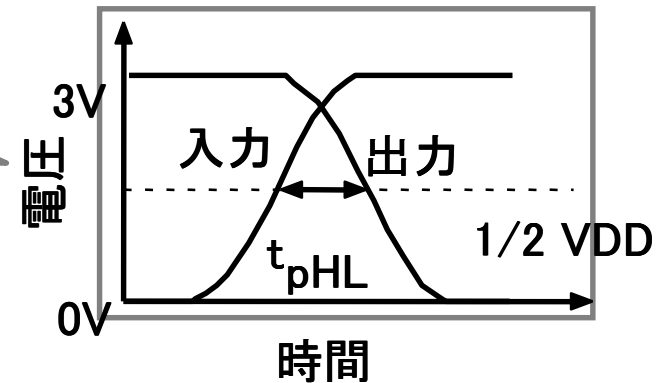
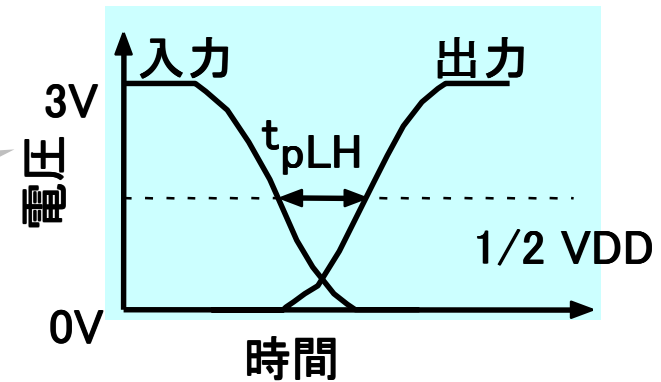
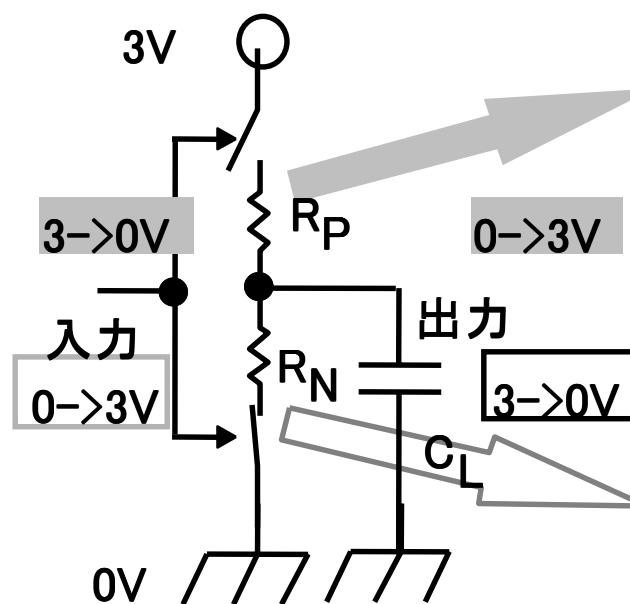
- $R_N \sim 10K\Omega / 1\mu m \text{ の } W \text{ 当り}$
- $R_P \sim 20K\Omega / 1\mu m \text{ の } W \text{ 当り}$
- $t_{pLH} \sim 0.75R_P C_L$
- $t_{pHL} \sim 0.75R_N C_L$

例: $10\mu m$ の NMOS で $1pF$ の 負荷容量 を 駆動 した 場合 →

$$t_{pHL} \sim 0.75 \times 1K\Omega \times 1pF = 0.75ns$$

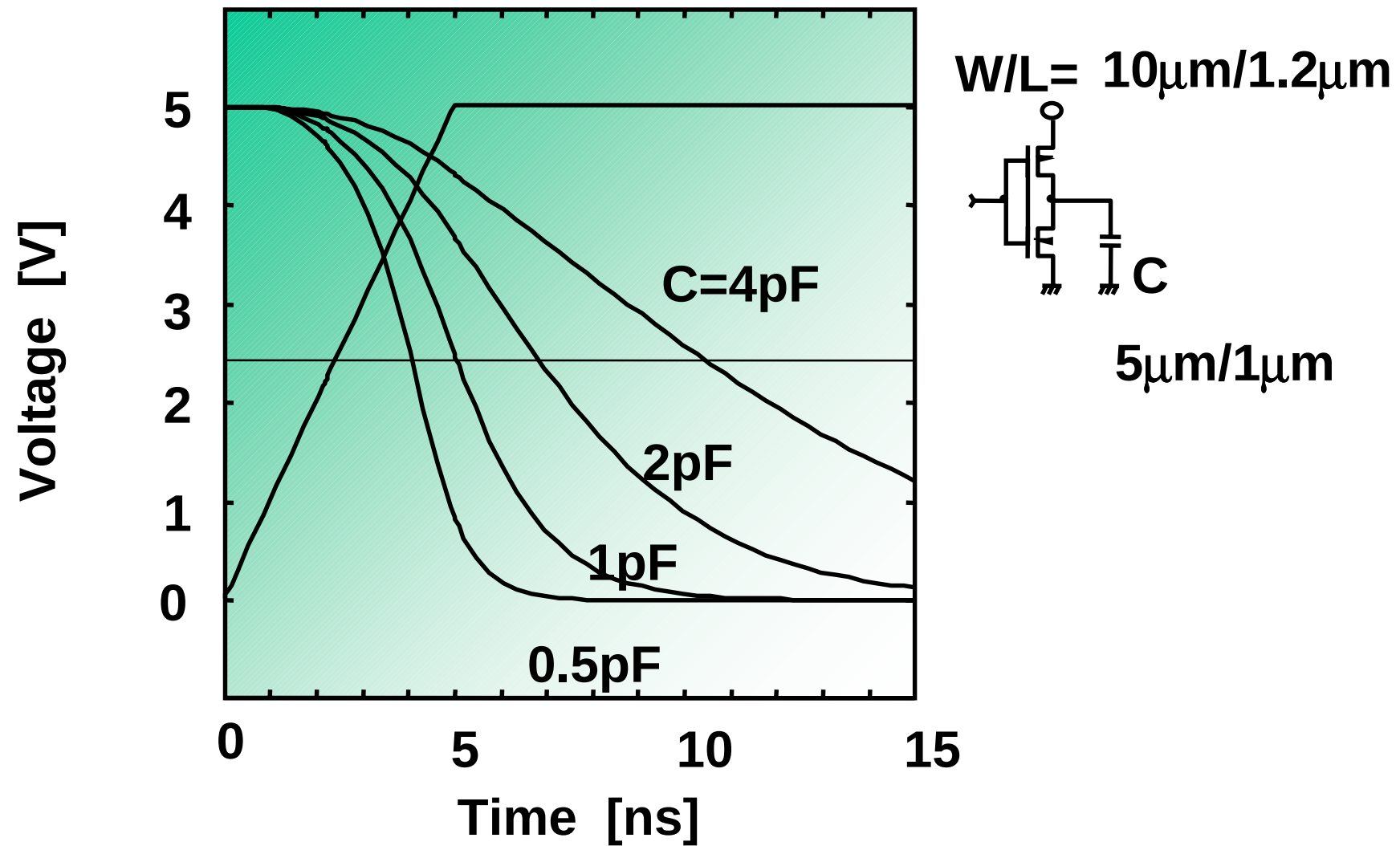
参考文献; CMOS超LSIの設計、培風館

T.Sakurai and A.R.Newton, "Alpha-Power Law MOSFET Model and Its Application to CMOS Inverter Delay and Other Formulas," IEEE J. Solid-State Circuits, Vol.25, No.2, pp.584-594, Apr. 1990.



CMOS回路の遅延の基本は
 $t_{pd} = Q/I = CV/I = RC$ である。

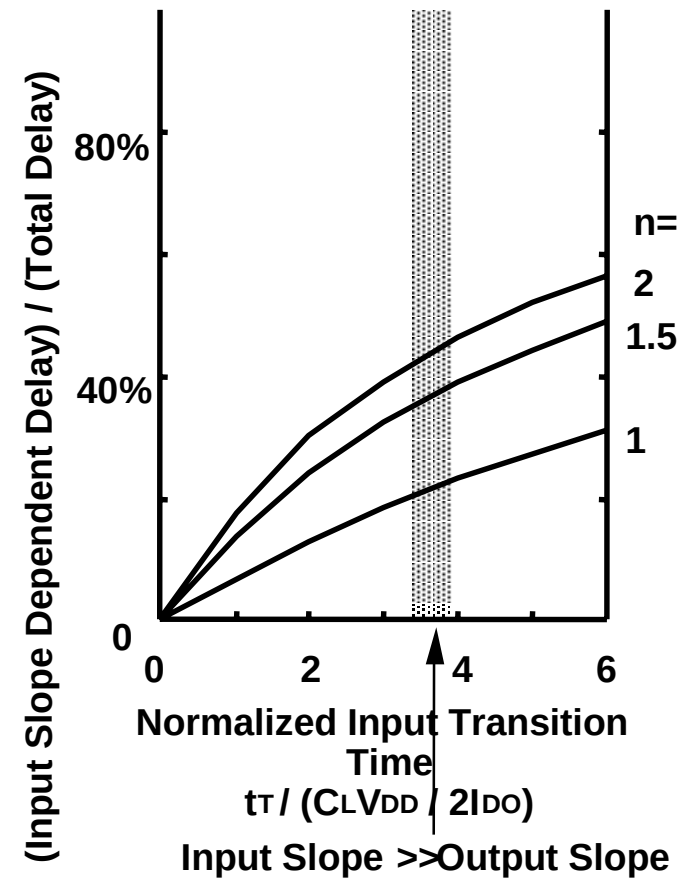
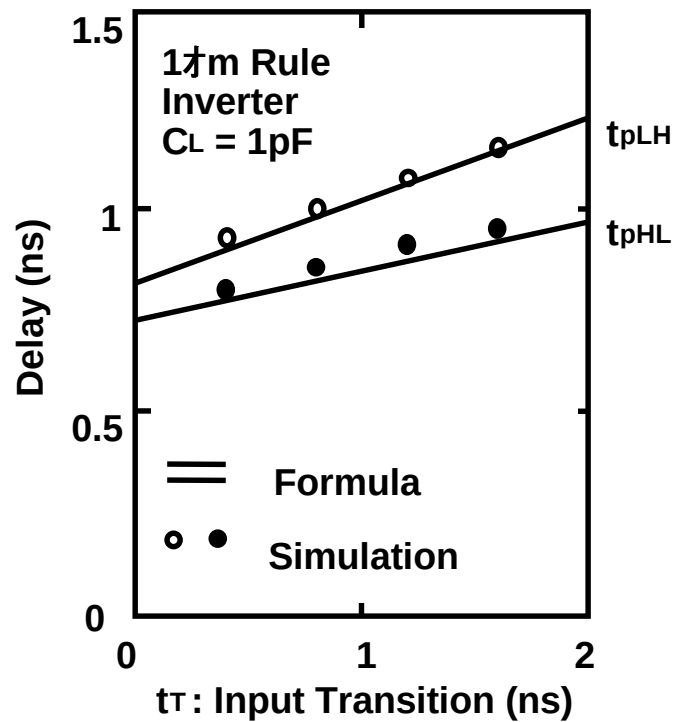
遅延の負荷容量依存性



遅延の式(1)

$$t_{pHL}, t_{pLH} = \left(\frac{1}{2} - \frac{1 - V_{TH}/V_{DD}}{1 + n} \right) t_T + \frac{C_L V_{DD}}{2I}$$

= (Input Transition Dependent Term) +
(Output Capacitance Dependent Term)



遅延の式(2)

$$t_{T,OUT} \approx \frac{C_L V_{DD}}{I_{DO}} \left(\frac{0.9}{0.8} + \frac{V_{DO}}{0.8 V_{DD}} \ln \frac{10 V_{DD}}{e V_{DD}} \right)$$

When Output Slope $\approx$ Input Slope ,

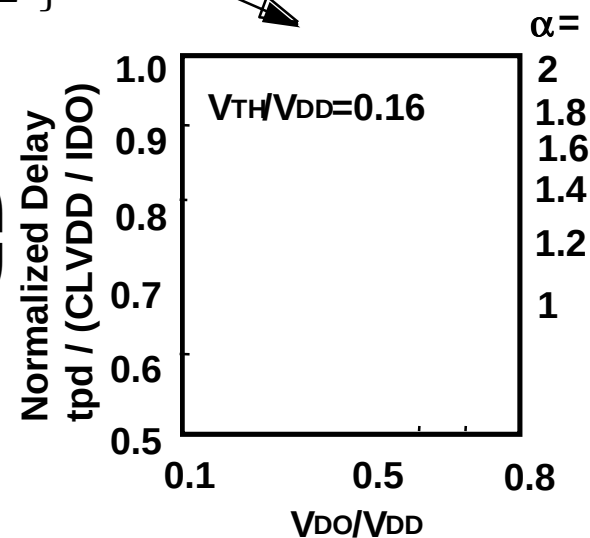
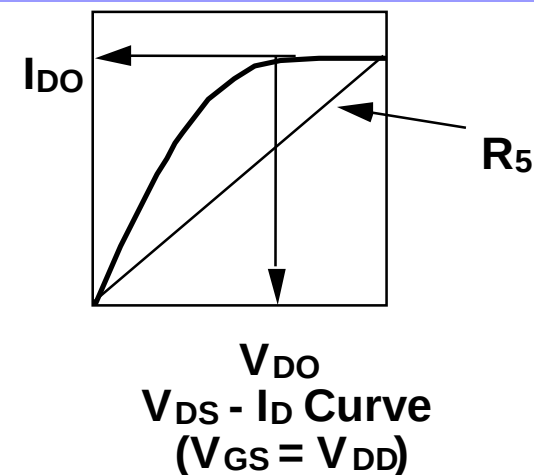
$$t_{pd} = \frac{t_{pHL} + t_{pLH}}{2}$$

$$\approx \frac{C_L V_{DD}}{I_{DO}} \left\{ \left(\frac{0.9}{0.8} + \frac{V_{DO}}{0.8 V_{DD}} \ln \frac{10 V_{DD}}{e V_{DD}} \right) \left(\frac{1}{2} - \frac{1 - V_{TH}}{1 + \alpha} \right) + \frac{1}{2} \right\}$$

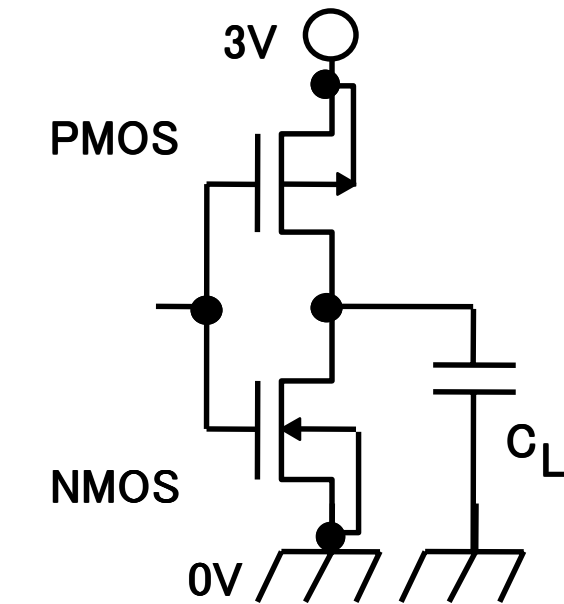
$$\text{ex. } V_{DO} = 0.6, n = 1.2$$

$$\approx 0.7 C_L R_5 \left(C_L \text{ includes load capacitance and junction capacitance of the gate.} \right)$$

$$t_{pd} \approx A f + B \quad (f = \text{Fanout})$$



CMOSインバータの速度



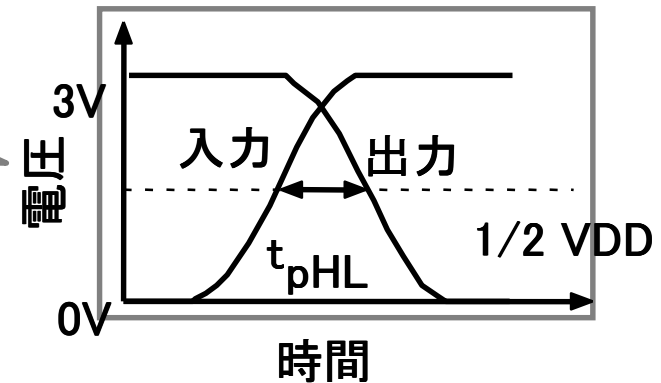
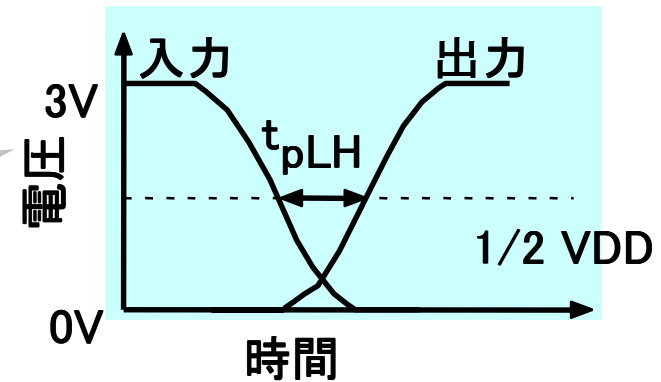
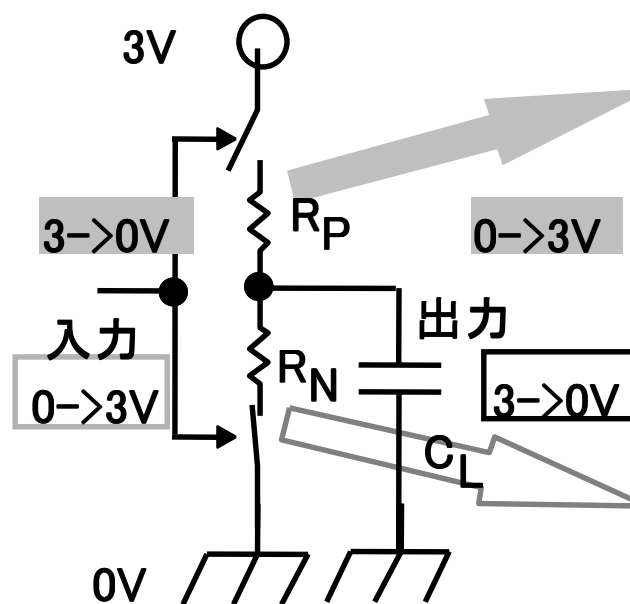
- $R_N \sim 10K\Omega / 1\mu m \text{ の } W \text{ 当り}$
- $R_P \sim 20K\Omega / 1\mu m \text{ の } W \text{ 当り}$
- $t_{pLH} \sim 0.75R_P C_L$
- $t_{pHL} \sim 0.75R_N C_L$

例: $10\mu m$ の NMOS で $1pF$ の 負荷容量 を 駆動 した 場合 →

$$t_{pHL} \sim 0.75 \times 1K\Omega \times 1pF = 0.75ns$$

参考文献; CMOS超LSIの設計、培風館

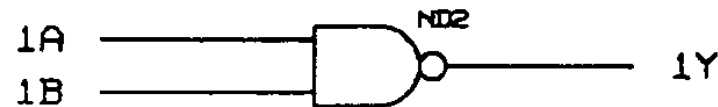
T.Sakurai and A.R.Newton, "Alpha-Power Law MOSFET Model and Its Application to CMOS Inverter Delay and Other Formulas," IEEE J. Solid-State Circuits, Vol.25, No.2, pp.584-594, Apr. 1990.



CMOS回路の遅延の基本は
 $t_{pd} = Q/I = CV/I = RC$ である。

tpHL & tpLH

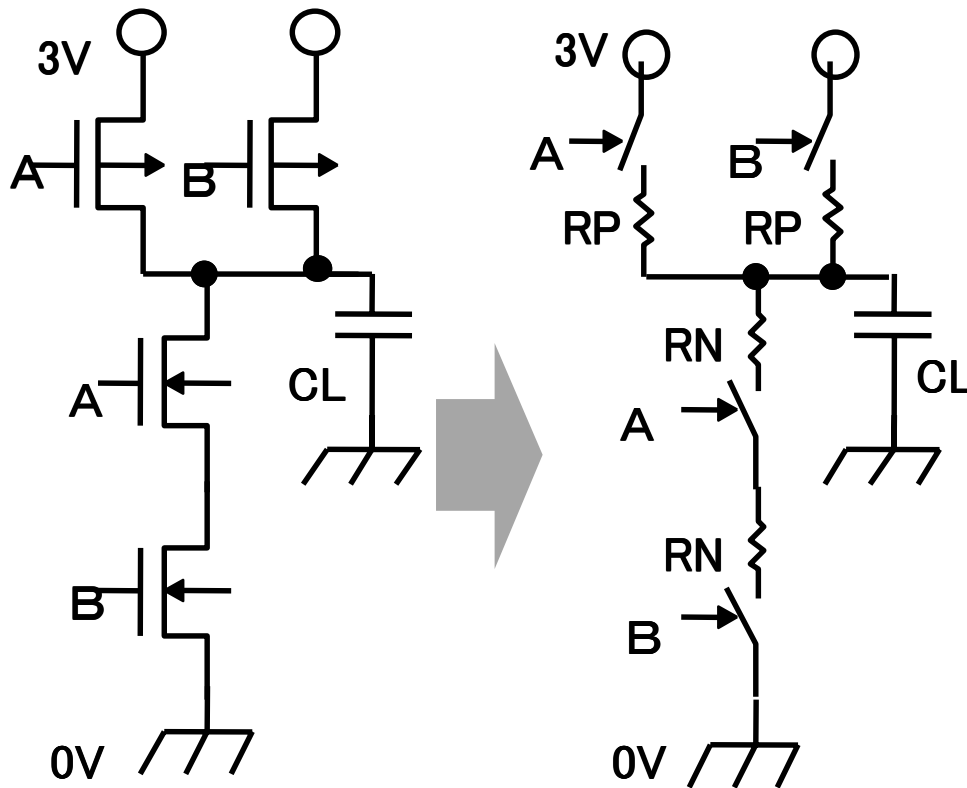
SCHEMATIC



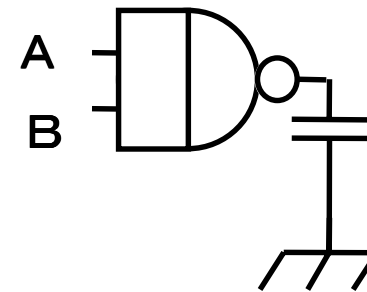
AC CHARACTERISTICS			(Each 2-NAND)	
	TpLH		TpHL	
	Tup	Kup	Tdn	Kdn
A, B → Y	0.44	0.17	0.25	0.17
UNIT	nS	nS/LU	nS	nS/LU

- tpHLは入力に変化してから、出力が‘H’から‘L’に変化するまでの伝播遅延
- tpLHは入力に変化してから、出力が‘L’から‘H’に変化するまでの伝播遅延

CMOS NANDゲートの速度

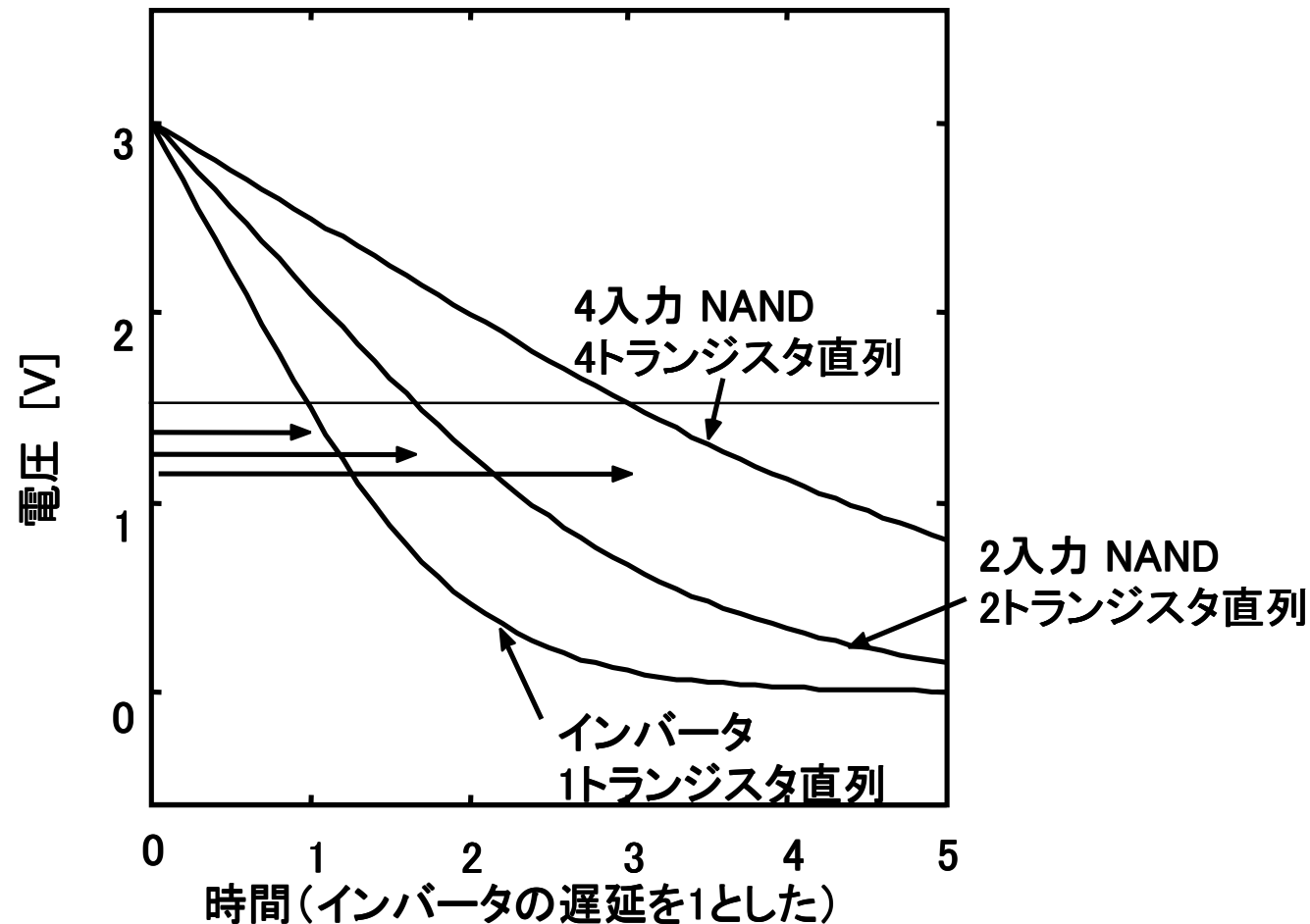


NAND ゲート



- $R_N \sim 10K\Omega / 1\mu m \text{ の } W \text{ 当り}$
- $R_P \sim 20K\Omega / 1\mu m \text{ の } W \text{ 当り}$
- $t_{pLH} \sim 0.75 R_P C_L$
- $t_{pHL} \sim 0.75 \times 2 \times R_N C_L$

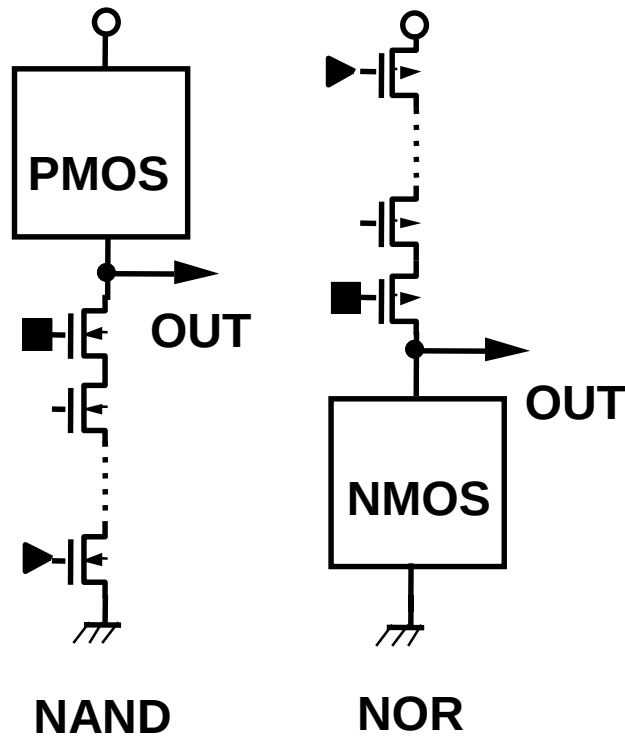
実際の速度の直列MOSFET数依存性



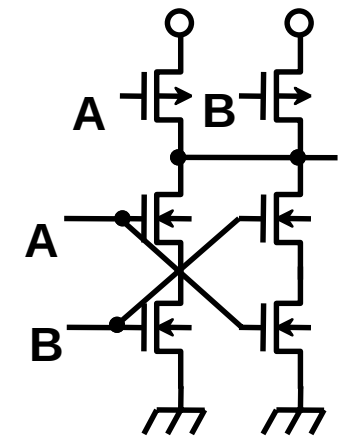
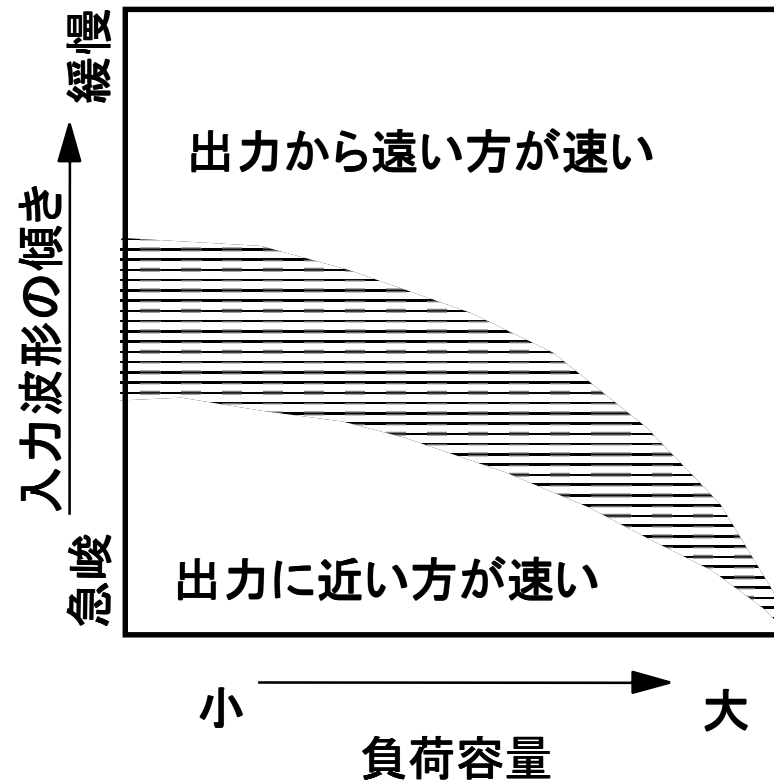
実際のゲート遅延は直列MOSFET数を n として n 倍遅くはならない。

T.Sakurai and A.R.Newton, "Delay Analysis of Series-Connected MOSFET Circuits," IEEE J. Solid-State Circuits, Vol.26, No.2, pp.122-131, Feb. 1991.

直列MOSFETではどちらが速いか



- 出力に近い方
- ▶ 出力から遠い方

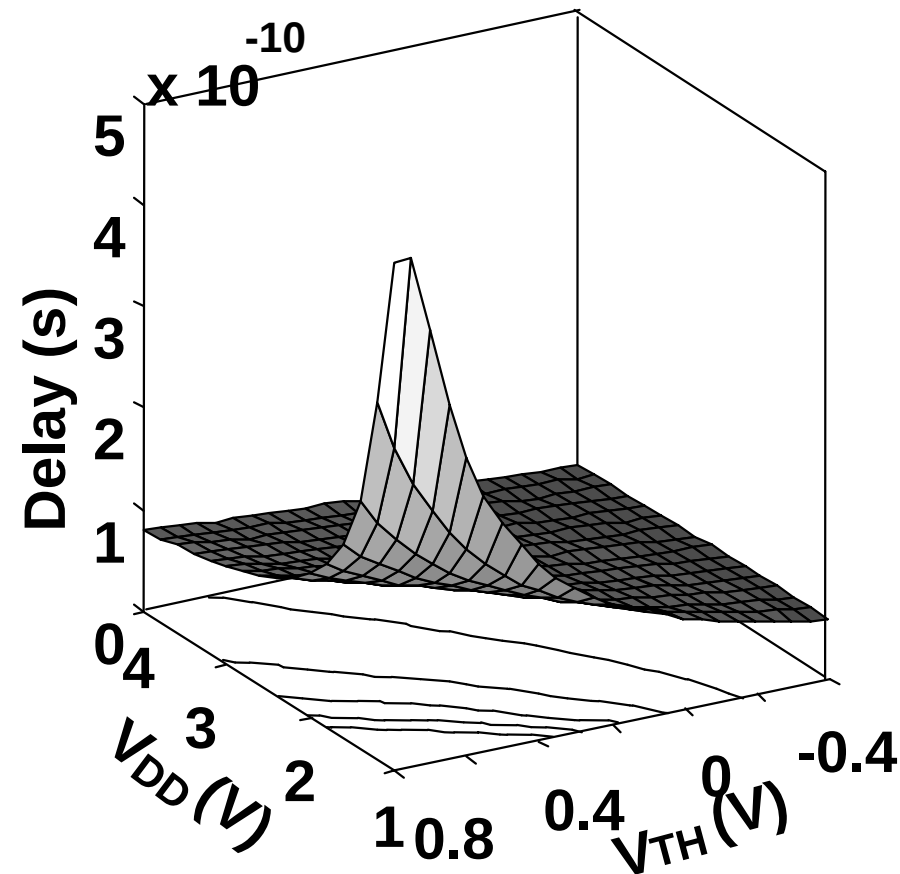


両方の入力からの遅延が等しいNAND

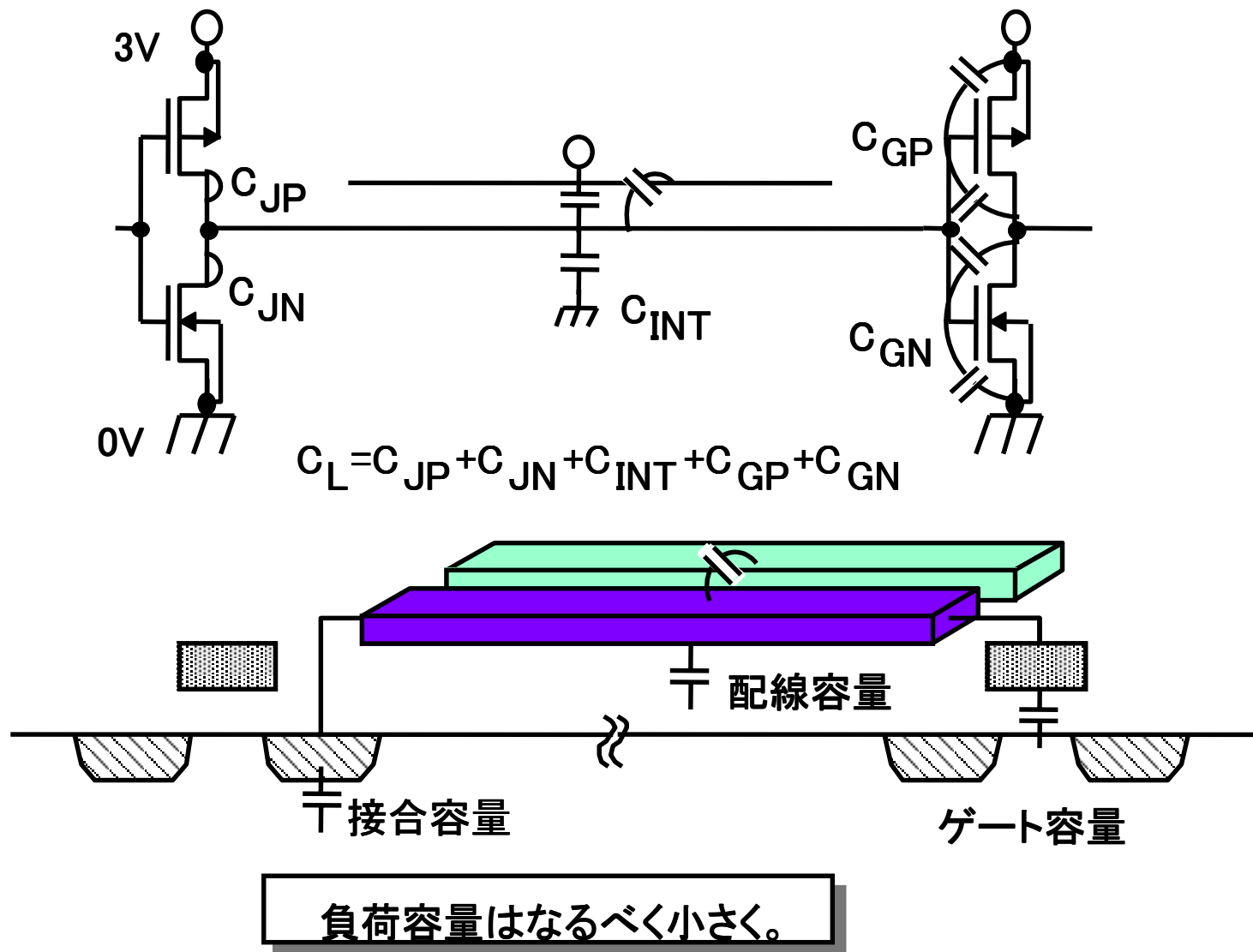
遅延のVDD、VTH依存性

$$\text{遅延} = k \cdot C_L \cdot R = \frac{k \cdot C_L \cdot V_{DD}}{I} = \frac{k \cdot Q}{I} = \frac{k \cdot C_L \cdot V_{DD}}{(V_{DD} - V_{TH})^\alpha}$$

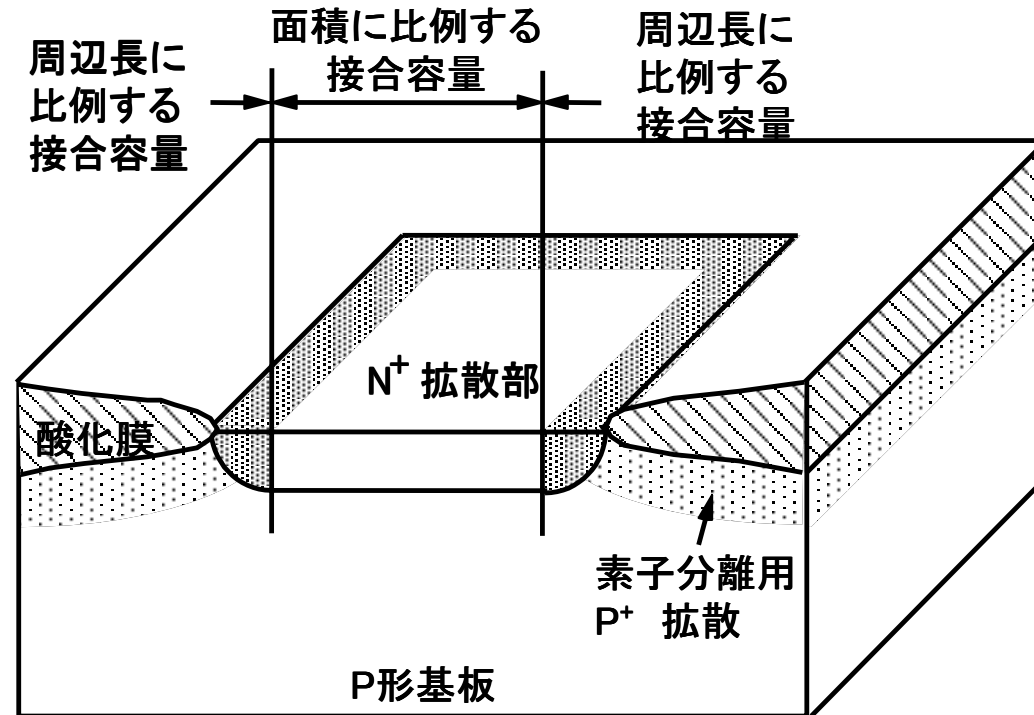
($\alpha=1.3$)



負荷容量CLの中身



接合容量の算出法



例: 面積部 $1\text{fF}/\mu\text{m}^2$
周辺部 $0.3\text{fF}/\mu\text{m}$

配線容量の算出法

$$\frac{C_1}{\epsilon_{ox}} = 1.15 \left(\frac{W}{H} \right) + 2.8 \left(\frac{T}{H} \right)^{0.222}$$

$$\text{error} < 6\% \text{ in } 0.3 < \frac{W}{H}, \frac{T}{H} < 30$$

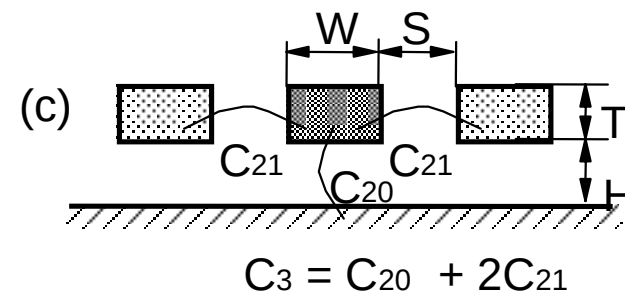
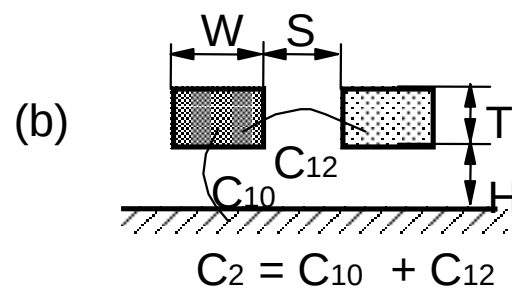
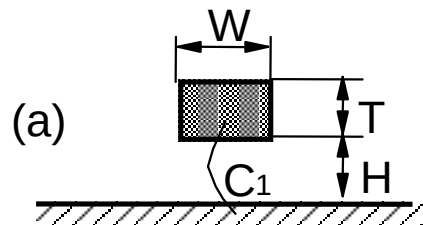
配線の例 $H = W = T = 1 \mu\text{m} \rightarrow C_1 = 3.95 \epsilon_{ox} = 3.95 \times 3.9 \times 8.854 \times 10^{-12} \text{ F/m} = 0.14 \text{ fF}/\mu\text{m}$

ゲートの例 $H = 10 \text{ nm}, W = 500 \text{ nm}, T = 500 \text{ nm} \rightarrow C_1 = 2.2 \text{ fF}/\mu\text{m}$

$$\frac{C_2}{\epsilon_{ox}} = \frac{C_1}{\epsilon_{ox}} + \left[0.03 \left(\frac{W}{H} \right) + 0.83 \left(\frac{T}{H} \right) - 0.07 \left(\frac{T}{H} \right)^{0.222} \right] \left(\frac{S}{H} \right)^{-1.34}$$

$$\frac{C_3}{\epsilon_{ox}} = \frac{C_1}{\epsilon_{ox}} + 2 \left[0.03 \left(\frac{W}{H} \right) + 0.83 \left(\frac{T}{H} \right) - 0.07 \left(\frac{T}{H} \right)^{0.222} \right] \left(\frac{S}{H} \right)^{-1.34}$$

$$\text{error} < 10\% \text{ in } 0.3 < \frac{W}{H}, \frac{T}{H} < 10, \quad 0.5 < \frac{S}{H} < 10$$



配線間容量の算出法

配線2本

$$\frac{C_{12}}{\varepsilon_{ox}} = \left\{ 1.82 \left(\frac{T}{H} \right)^{1.08} + \left(\frac{W}{H} \right)^{0.32} \right\} \left(\frac{S}{H} + 0.43 \right)^{-1.38}$$

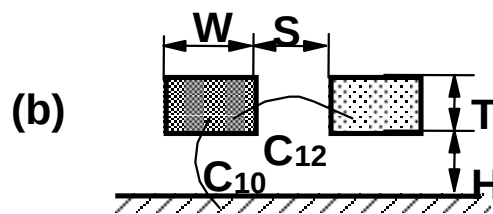
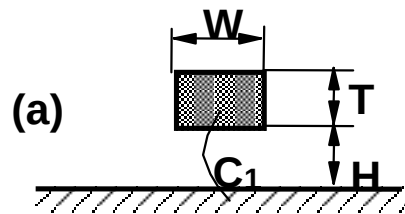
$$C_{10} = C_2 - C_{12}$$

配線3本

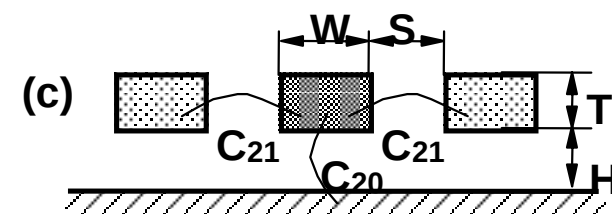
$$\frac{C_{21}}{\varepsilon_{ox}} = \left\{ 1.93 \left(\frac{T}{H} \right)^{1.1} + 1.14 \left(\frac{W}{H} \right)^{0.31} \right\} \left(\frac{S}{H} + 0.51 \right)^{-1.45}$$

$$C_{20} = C_3 - 2C_{21}$$

Relative error is less than 15% for $0.3 < (T/H), (W/H), (S/H) < 3.0$.



$$C_2 = C_{10} + C_{12}$$

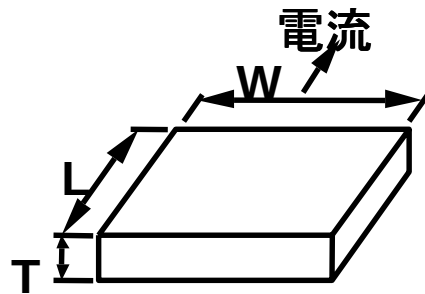


$$C_3 = C_{20} + 2C_{21}$$

参考文献

- [1] T.Sakurai & K.Tamaru, "Simple Formulas for Two- and Three-Dimensional Capacitances," IEEE Trans. on ED, ED-30, No.2, pp.183-185, Feb.1983.
- [2] T.Sakurai, "Approximation of Wiring Delay in MOSFET LSI," IEEE J. Solid State Circ., SC-18, No.4, pp.418-425, Aug.1983.
- [3] T.Sakurai, "Closed-Form Expressions for Interconnection Delay, Coupling and Crosstalk in VLSI's," IEEE Trans. on ED, Vol.40, No.1, pp.118-124, Jan.1993.

抵抗の算出法(シート抵抗)



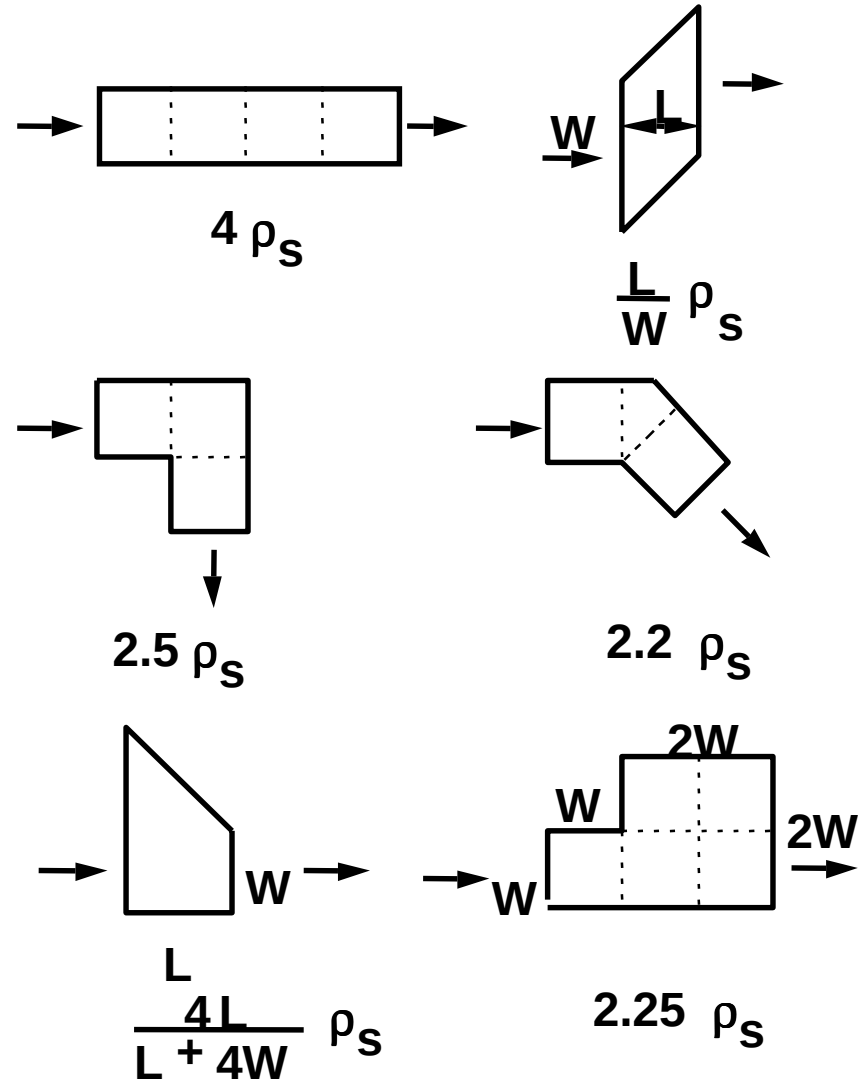
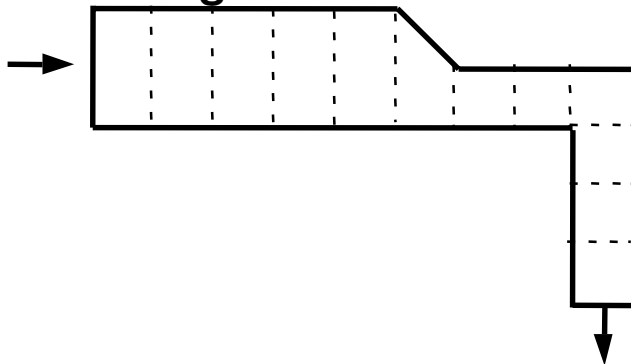
抵抗率 ρ

層の種類	ρ_s ($\Omega/\square$)
拡散層	~ 200
ポリ	~ 50
アルミ	~ 0.03

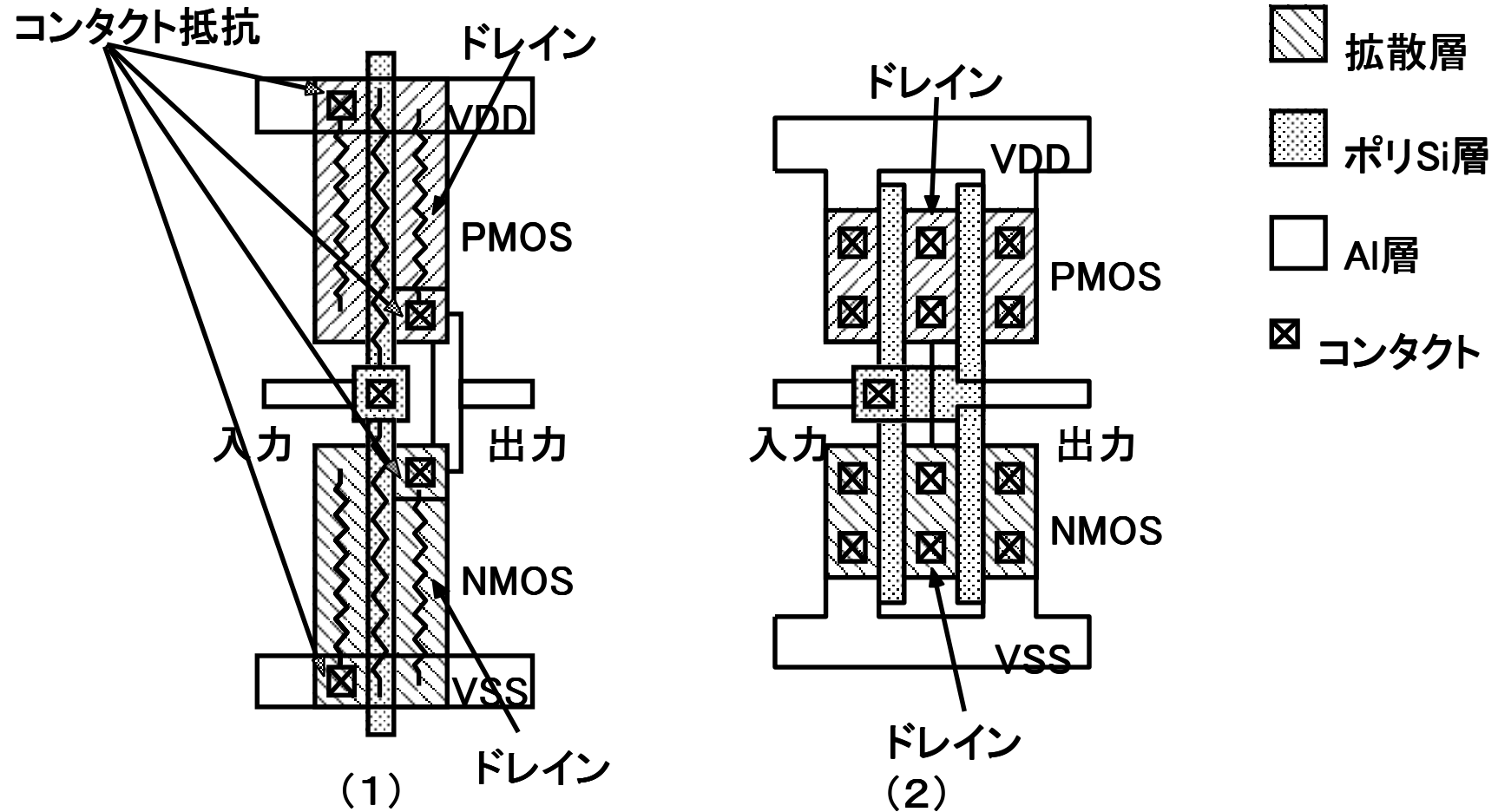
シート抵抗: 正方形の抵抗体の抵抗

$$\rho_s = \rho \frac{L}{WT} = \frac{\rho}{T} \quad (W=L)$$

例題: 何 ρ_s

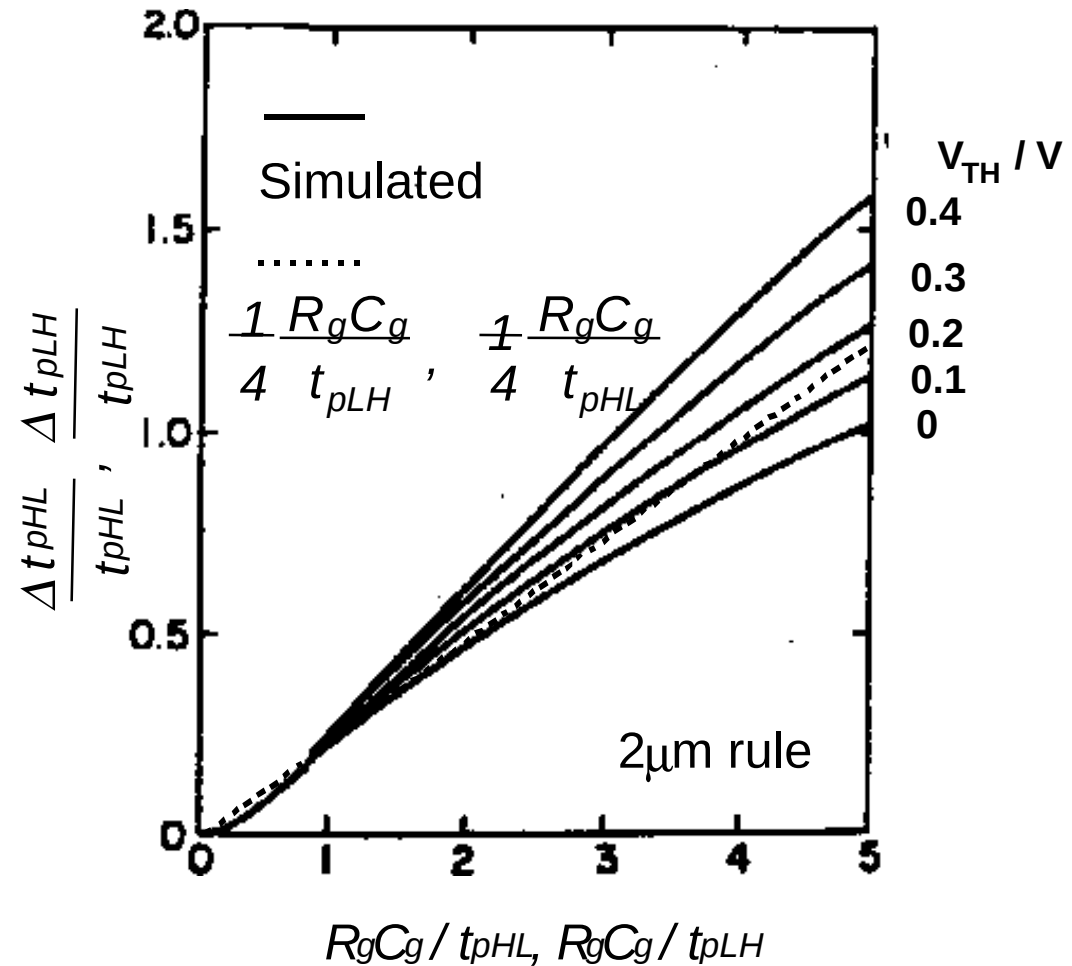
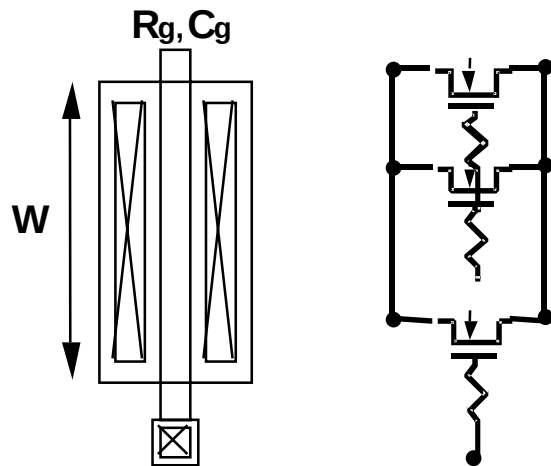


速いインバータのためのレイアウト



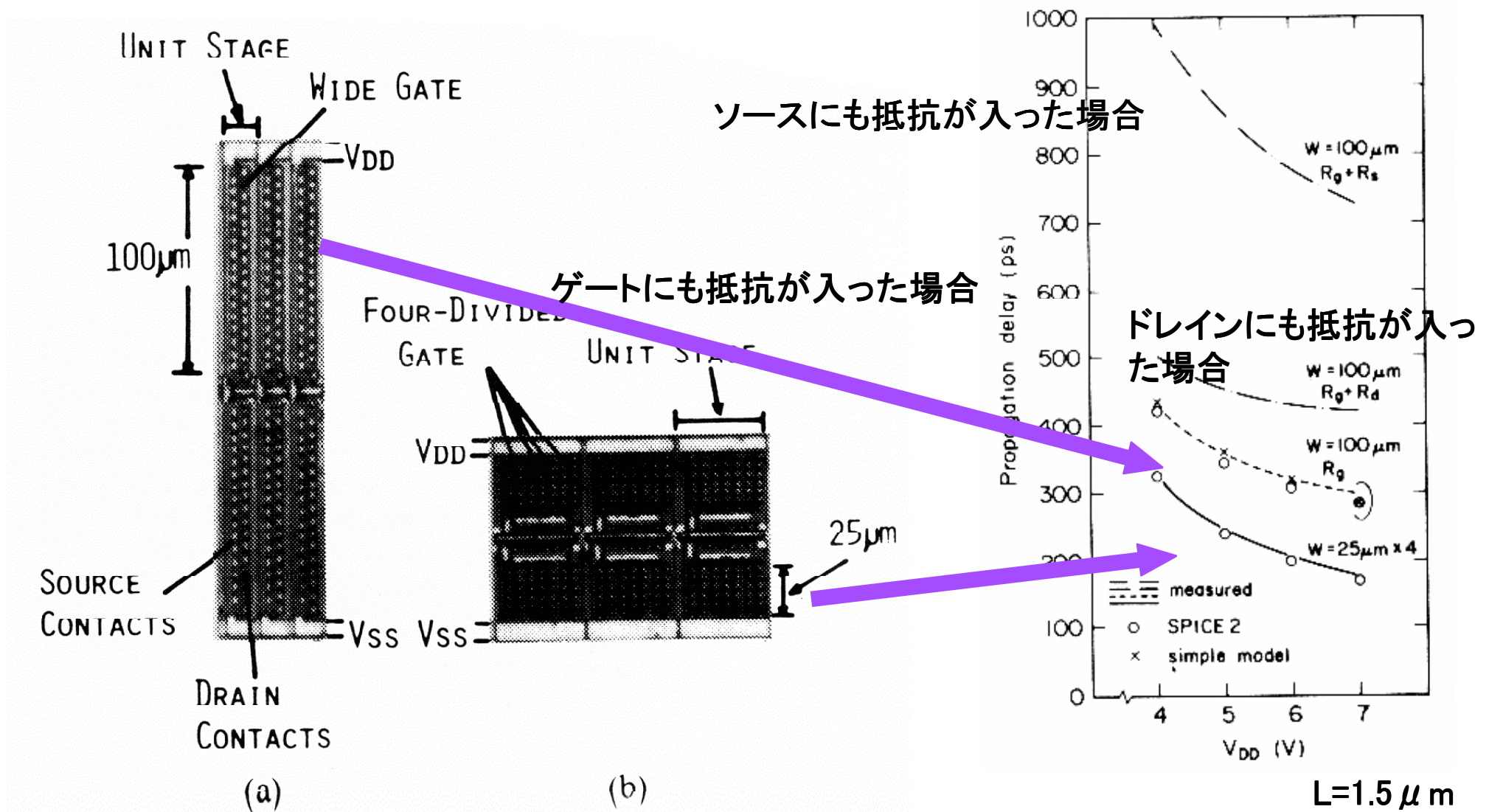
同じチャネル幅

Gate Electrode RC Delay

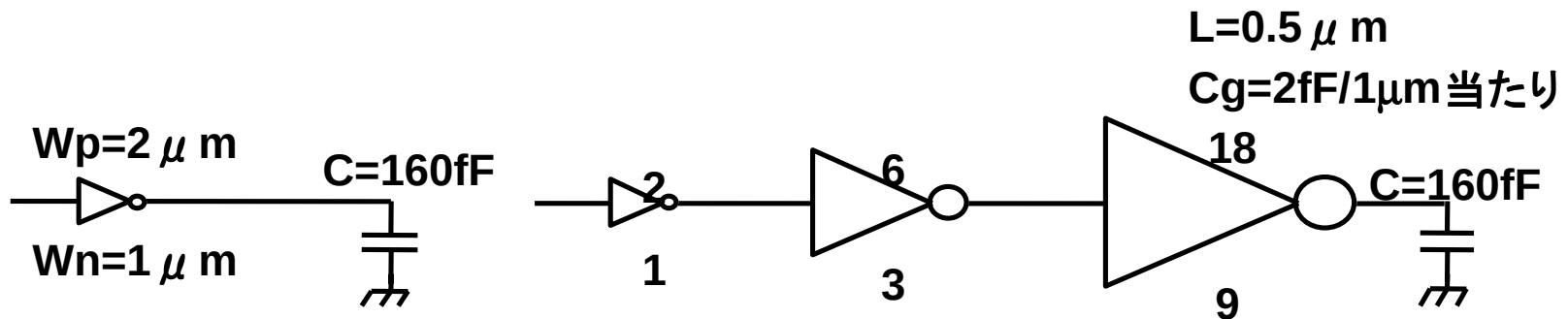


T.Sakurai, T.Iizuka, "Gate Electrode RC Delay Effects in VLSIs," IEEE J. Solid State Circ., SC-20, No.1, pp.290-294, Feb.1985, & IEEE Trans. on ED, ED-32, pp.370-374, Feb.1985.

寄生抵抗による速度の変化の実測値



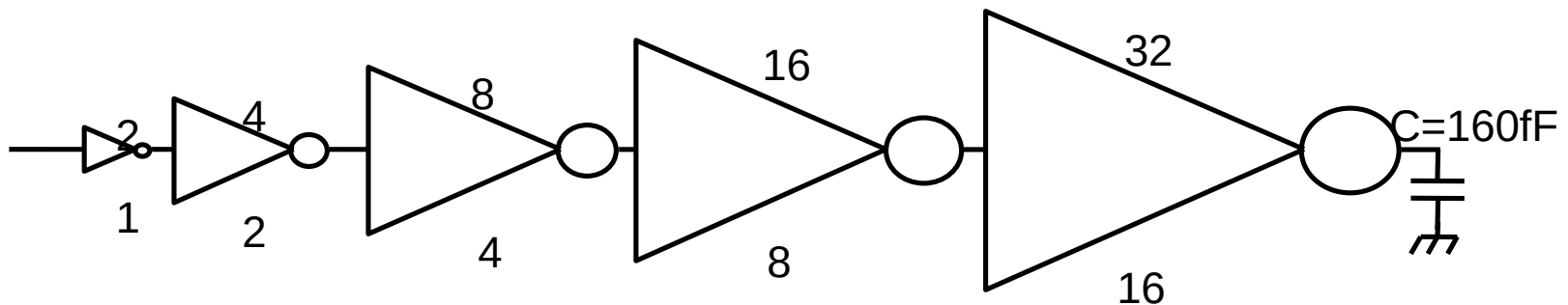
速度の最適化の例



$$t_{pd} \sim 0.75 \times 10K \times 160fF = 1.2ns$$

面積と消費電力は最小

$$t_{pd} \sim 0.75 \times (10K \times 18fF + 3.33K \times 54fF + 1.11K \times 160fF) = 0.36ns$$



$$T_{pd} \sim 0.75 \times (10K \times 12fF + 5K \times 24fF + 2.5K \times 48fF + 1.25K \times 96fF + 0.625K \times 160fF) = 0.58ns$$

高速にするには約ファクター3で徐々に大きくしてバッファリングする。

ただし、面積、消費電力は増加する。

T.Sakurai, "A Unified Theory for Mixed CMOS / BiCMOS Buffer Optimization," IEEE J. Solid-State Circ., SC-27, No.7, pp.1014-1019, Jul.1992.

速度の最適化理論

$$\text{Minimize Total Delay } T \propto \sum_{i=1}^n \left(A \frac{x_{i+1}}{x_i} + B \right)$$

$$\rightarrow \frac{x_{i+1}}{x_i} = f \quad (i = 1 \dots n)$$

$$T = \sum_{i=1}^n (A f + B) = n(A f + B)$$

$$\frac{C_L}{C_I} = f^n = Y \quad \infty n = \frac{\ln Y}{\ln f}$$

$$T = \frac{\ln Y}{\ln f} (A f + B)$$

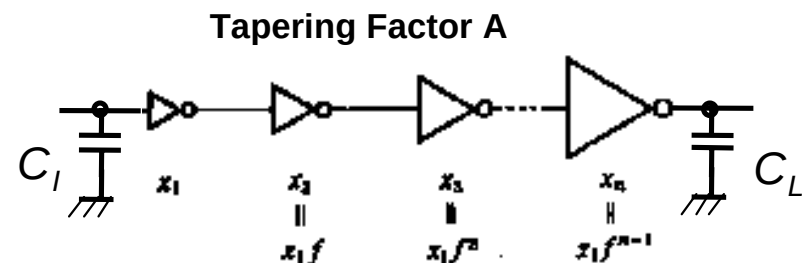
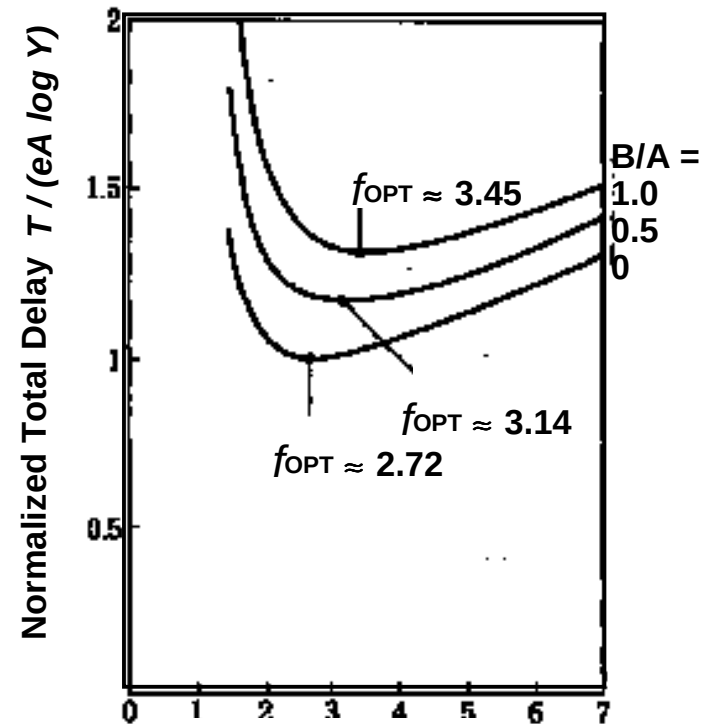
$$f_{OPT} \approx e + \frac{e \cdot B/A}{e + B/A}$$

$f=0$ の場合

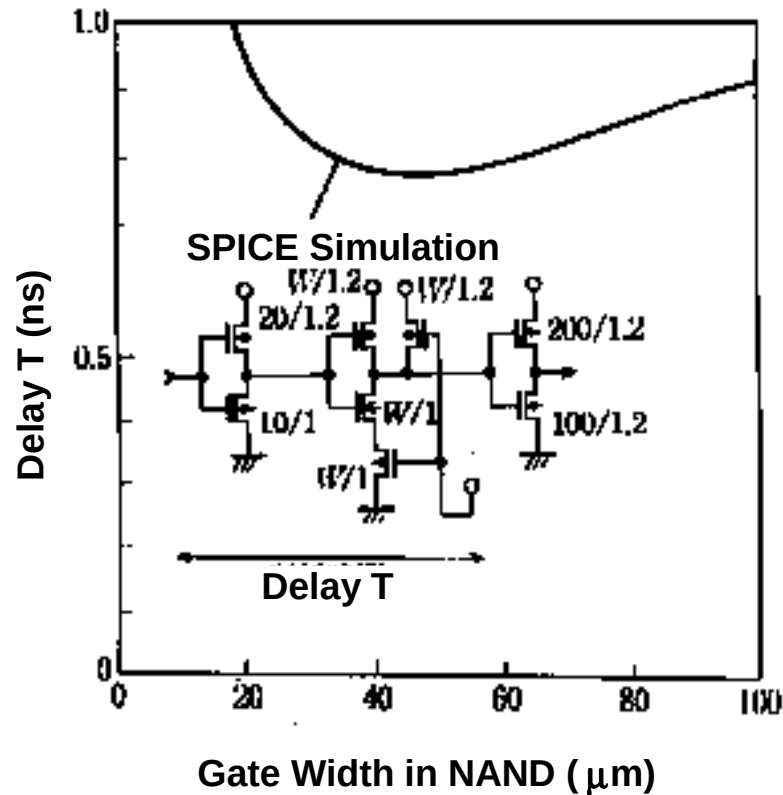
$$\frac{dT}{df} = A \ln Y \frac{1 - \ln f}{(\ln f)^2} = 0, \quad f_{OPT} = e, \quad T_{OPT} = A \ln (C_L / C_I)$$

培風館「CMOS超LSIの設計」、近代科学社「MOS集積回路の基礎」

T.Sakurai, "A Unified Theory for Mixed CMOS / BiCMOS Buffer Optimization," IEEE J. Solid-State Circ., SC-27, No.7, pp.1014-1019, Jul.1992.



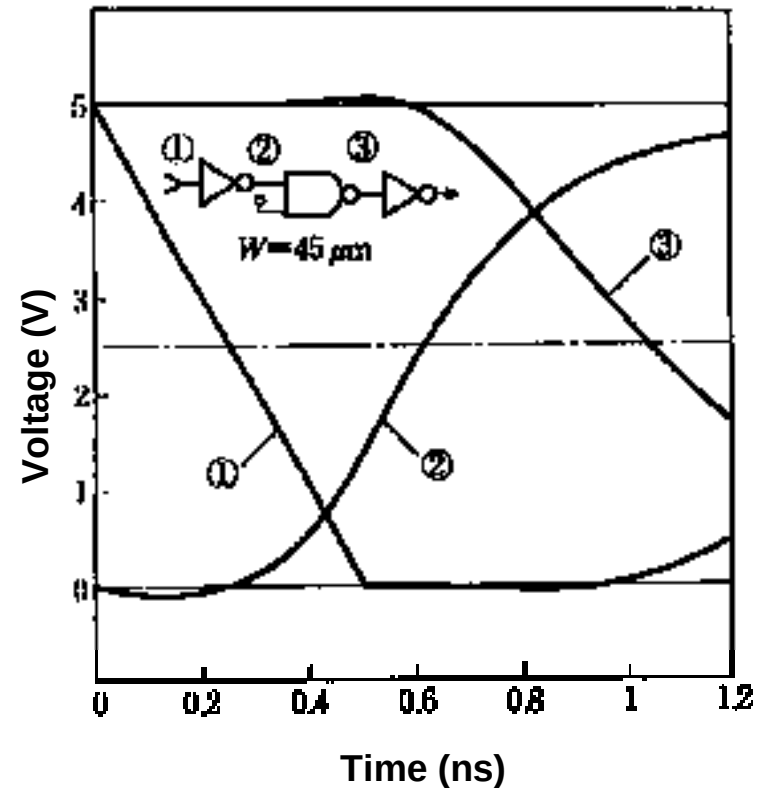
NANDなどがある場合のサイズ速度最適化



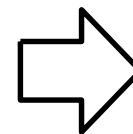
MOSFET Sizing Including NAND

$$T_1 + T_2 \propto (A_1 W + B_1) + \left(\frac{A_2}{W} + B_2 \right)$$

$$\approx (A_1 W + B) + \left(\frac{A_2}{W} + B \right)$$



Waveform near Optimum Point



$$T1 \approx T2$$

PMOSとNMOSのサイズの選び方

$$t_{pd} = \frac{t_{pHL} + t_{pLH}}{2} \propto C_L \left(\frac{1}{\tilde{I}_{DON} W_N} + \frac{1}{\tilde{I}_{DOP} W_P} \right) \propto (W_N + W_P) \left(\frac{1}{\tilde{I}_{DON} W_N} + \frac{1}{\tilde{I}_{DOP} W_P} \right)$$

$$= \frac{1 + W_P / W_N}{\tilde{I}_{DON}} + \frac{1 + W_N / W_P}{\tilde{I}_{DOP}} = \frac{1}{\tilde{I}_{DON}} + \frac{1}{\tilde{I}_{DOP}} + \frac{X}{\tilde{I}_{DON}} + \frac{1}{\tilde{I}_{DOP} X} \quad \text{where } X = \frac{W_P}{W_N}$$

$\tilde{I}_{DON}$: NMOS drain current per unit W at $V_{DS} = V_{GS} = V_{DD}$

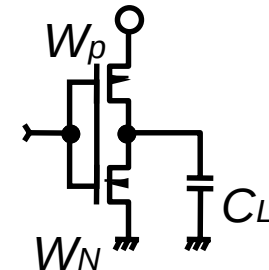
$\tilde{I}_{DOP}$: PMOS drain current per unit W at $V_{DS} = V_{GS} = V_{DD}$

For speed optimization

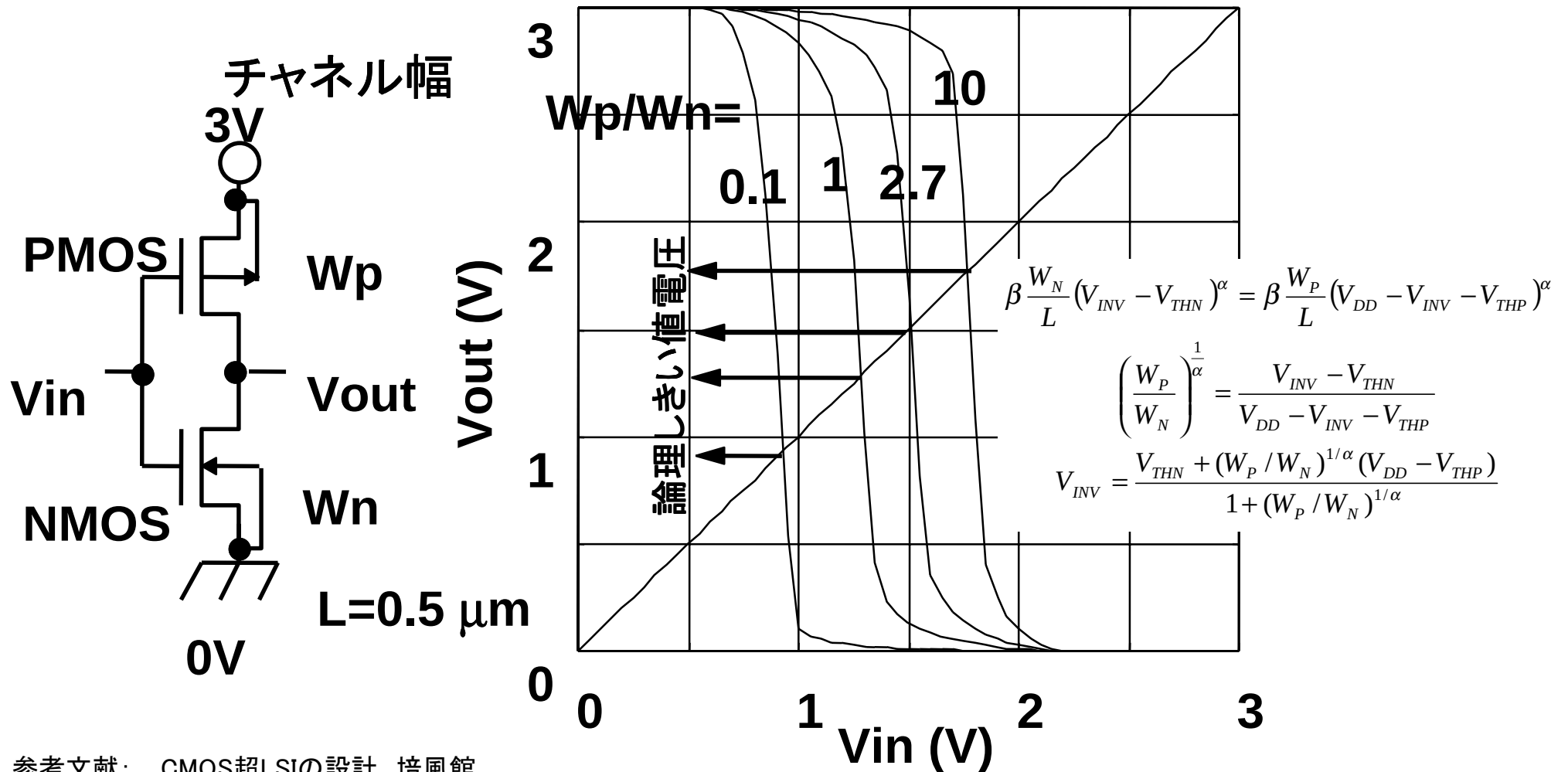
$$\frac{X}{\tilde{I}_{DON}} = \frac{1}{\tilde{I}_{DOP} X} \rightarrow X = \frac{W_P}{W_N} = \sqrt{\frac{\tilde{I}_{DON}}{\tilde{I}_{DOP}}} \approx \sqrt{\frac{\mu_N}{\mu_P}} \quad (1.5 \sim 2)$$

For equal rise and fall time

$$\frac{1}{\tilde{I}_{DON} W_N} = \frac{1}{\tilde{I}_{DOP} W_P} \rightarrow \frac{W_P}{W_N} = \frac{\tilde{I}_{DON}}{\tilde{I}_{DOP}} \approx \frac{\mu_N}{\mu_P} \quad (2 \sim 3)$$



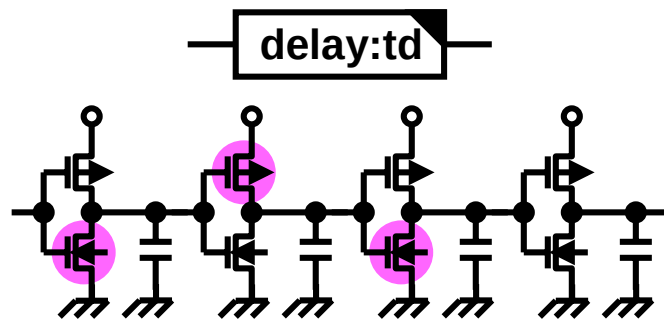
CMOSインバータの論理しきい値電圧



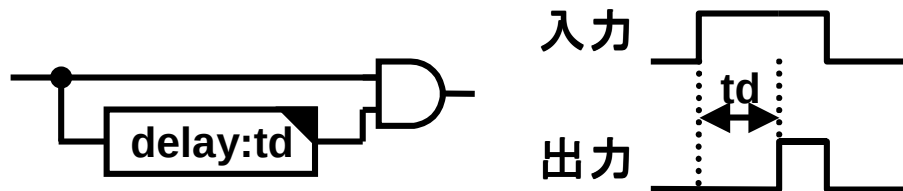
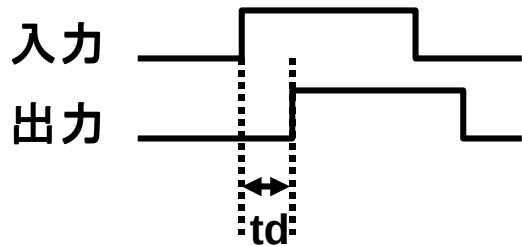
参考文献; CMOS超LSIの設計、培風館

T.Sakurai and A.R.Newton, " Alpha-Power Law MOSFET Model and Its Application to CMOS Inverter Delay and Other Formulas," IEEE J. Solid-State Circuits, Vol.25, No.2, pp.584-594, Apr. 1990.

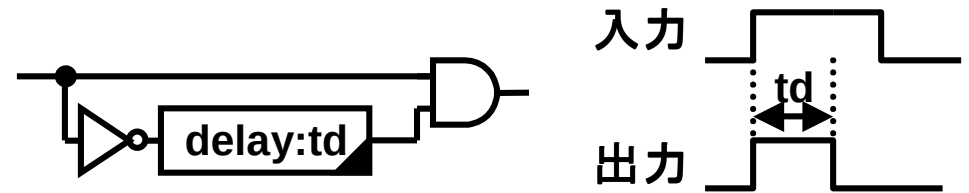
タイミング発生回路



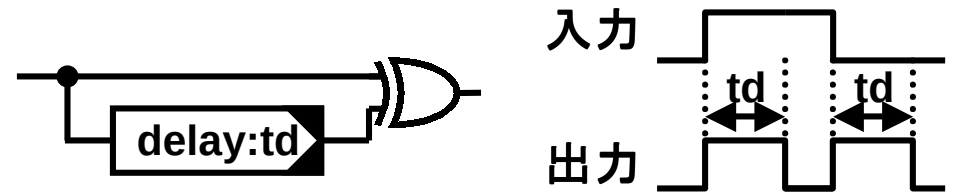
●のWを調整して遅延をtdとする。



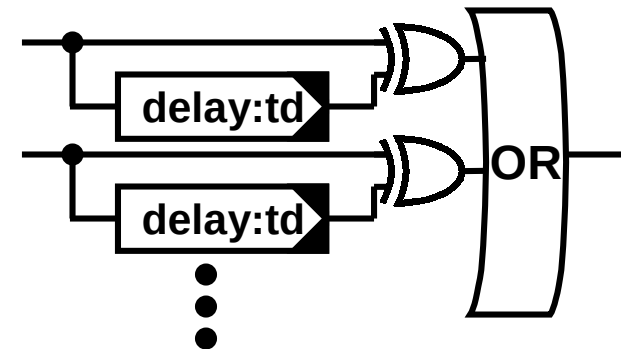
立上りエッジ遅延回路
(立下りエッジの場合はOR)



立上り検出回路
(立下り検出の場合はOR)

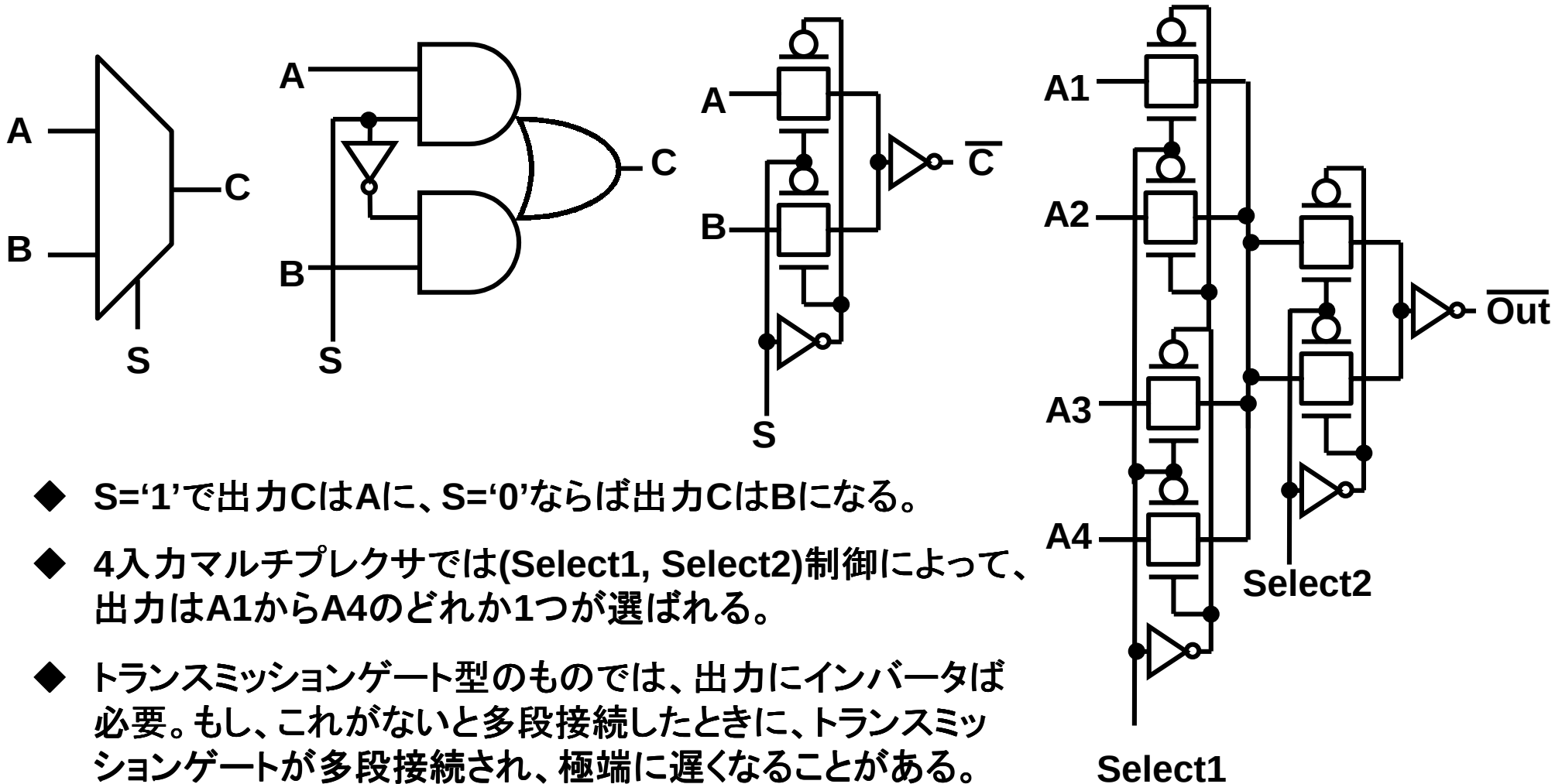


エッジ検出回路



Data / address transition detector

マルチプレクサ



- ◆ S='1'で出力CはAに、S='0'ならば出力CはBになる。
- ◆ 4入力マルチプレクサでは(Select1, Select2)制御によって、出力はA1からA4のどれか1つが選ばれる。
- ◆ トランスミッションゲート型のものでは、出力にインバータが必要。もし、これがないと多段接続したときに、トランスミッションゲートが多段接続され、極端に遅くなることがある。

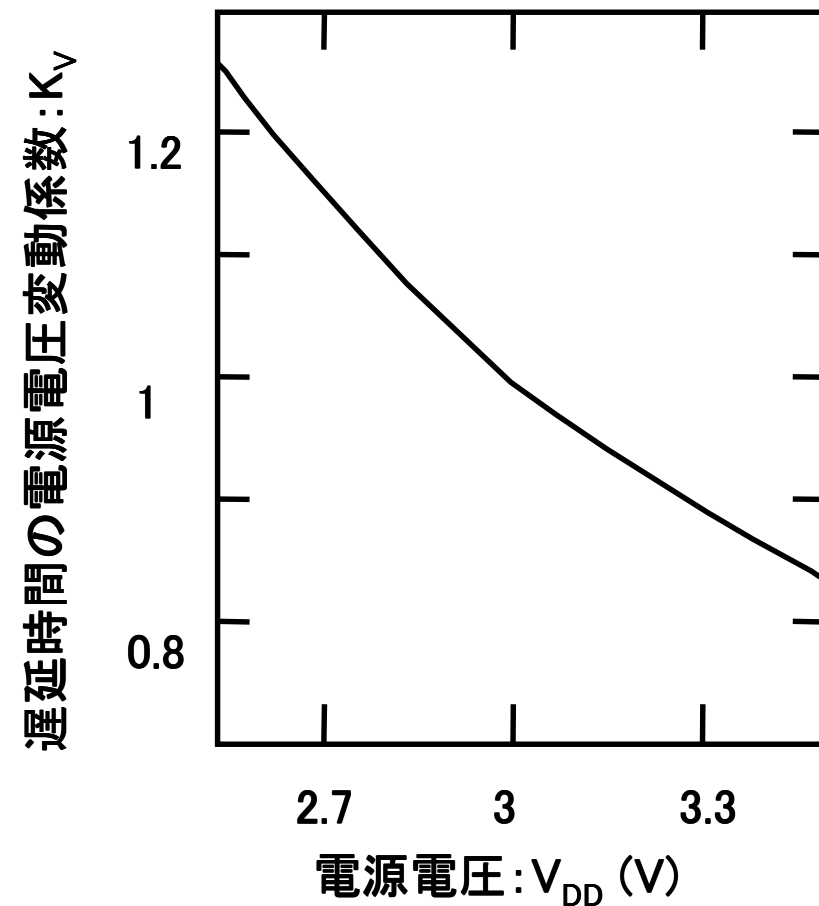
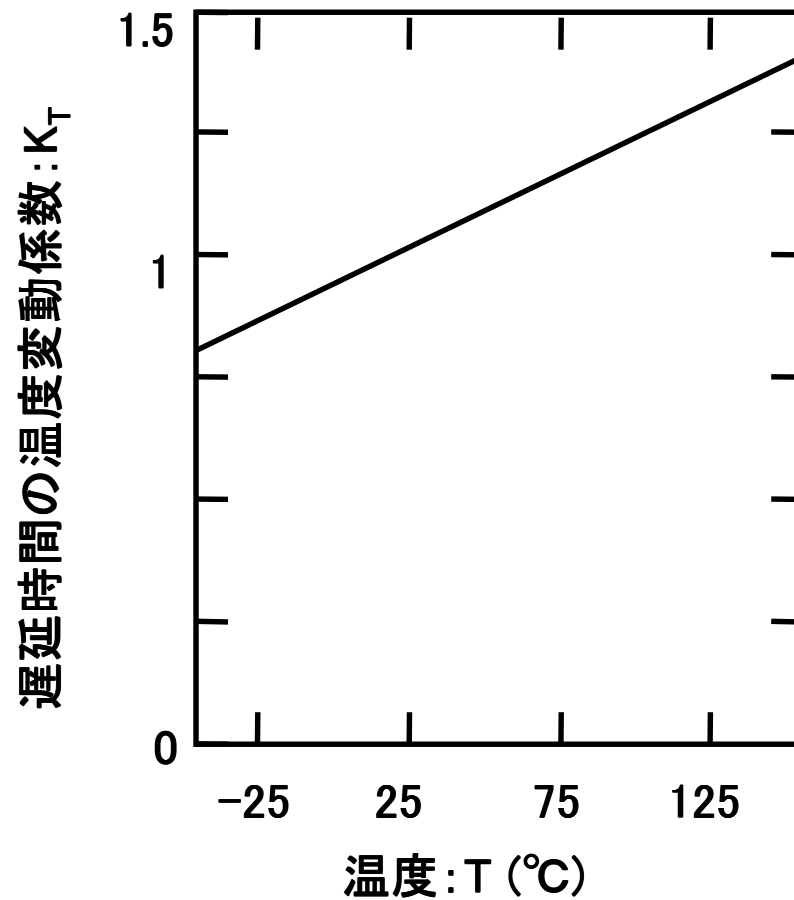
CMOS回路設計の実際的配慮

- マージン設計
- 信頼性
- 設計手法の種類

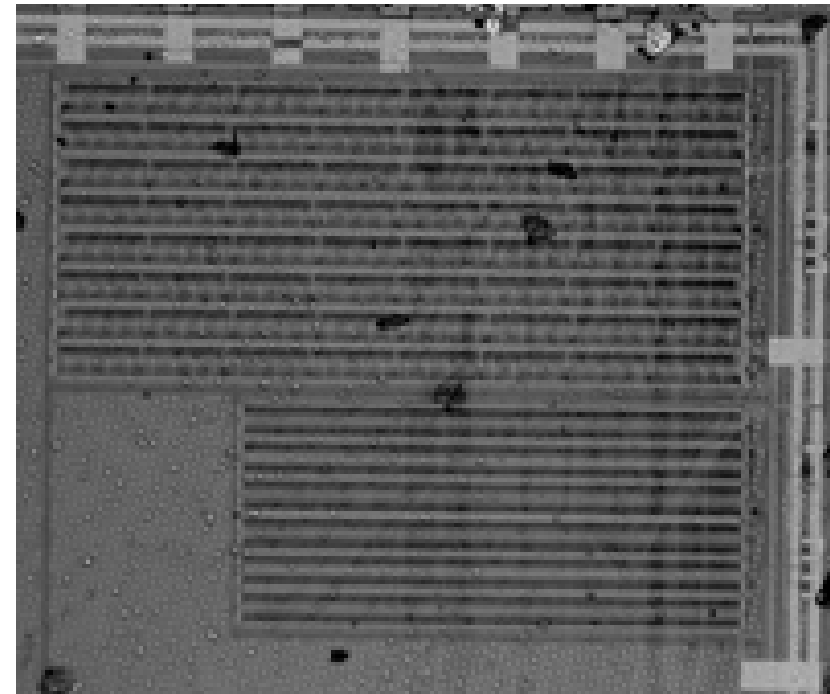
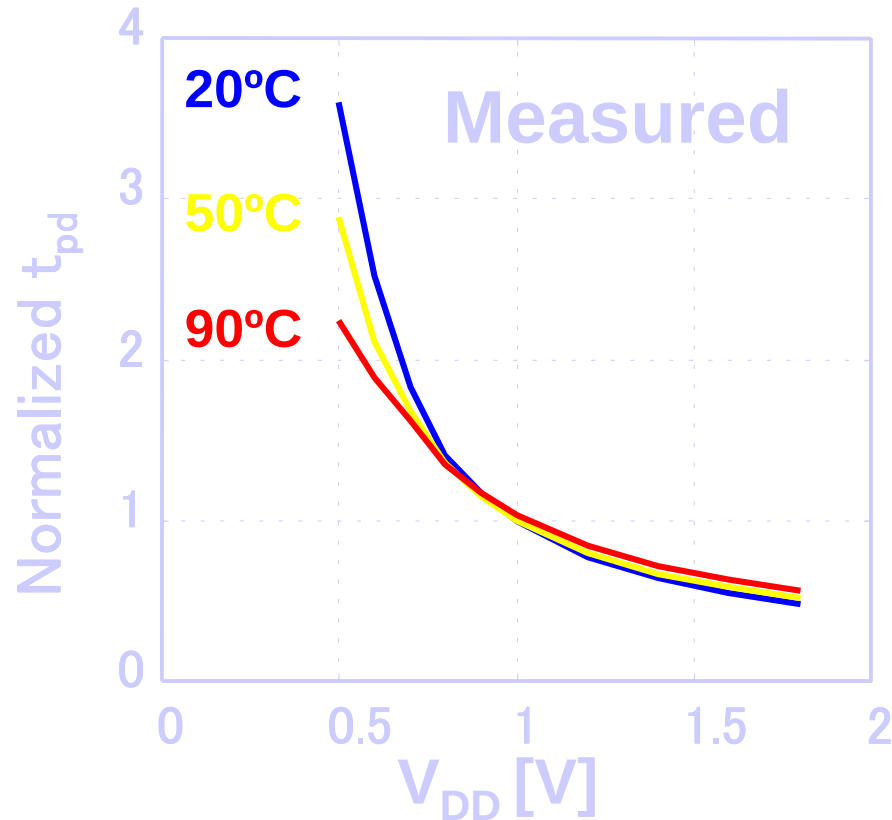
東京大学
国際・産学共同研究センター 教授
生産技術研究所 教授
桜井貴康

tsakurai@iis.u-tokyo.ac.jp

遅延時間の温度／電源電圧依存性の例



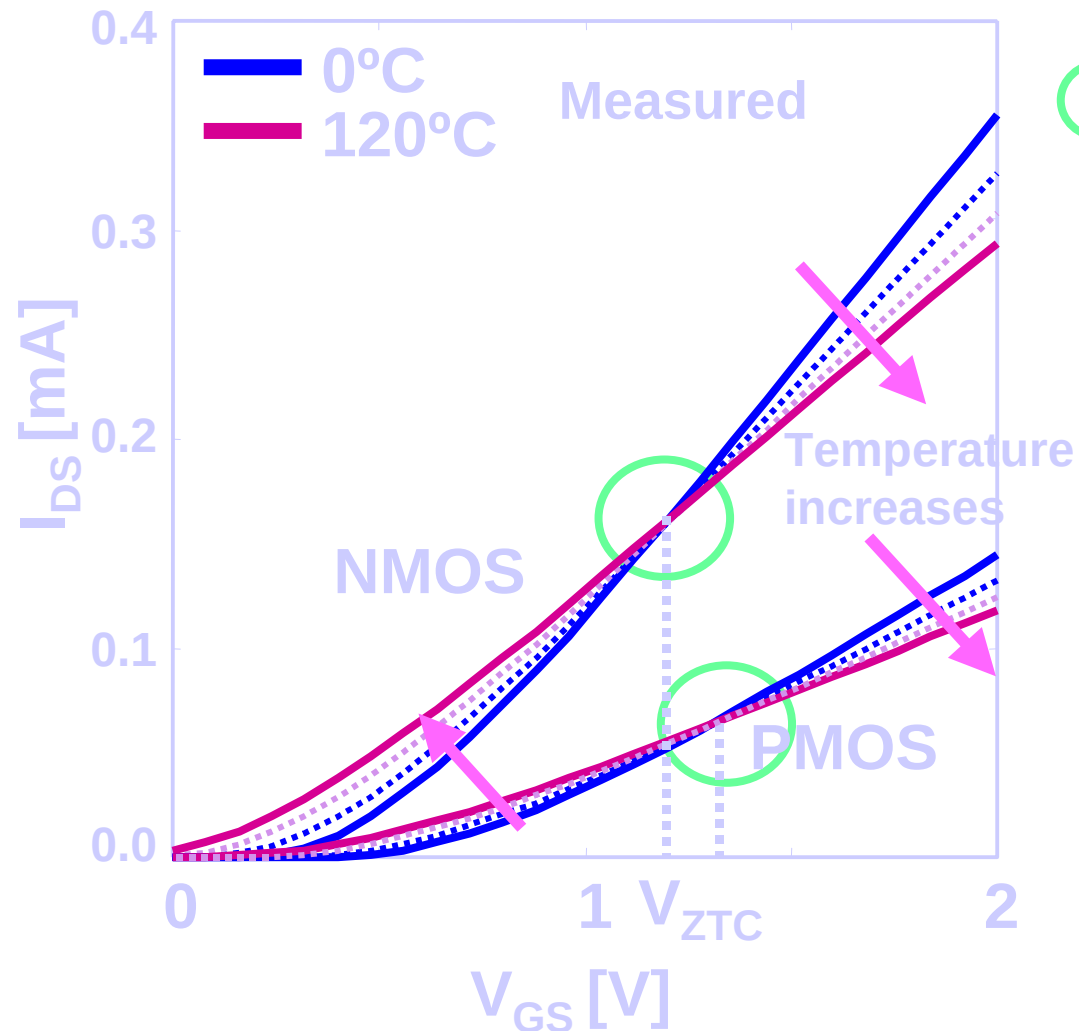
Measurement of 32bit full adder



Photograph of 32bit FA
0.3μm CMOS

K.Kanda, K.Nose, H.Kawaguchi, and T.Sakurai, "Design Impact of Positive Temperature Dependence of Drain Current in Sub 1V CMOS VLSI's", CICC99, pp.563-566, May 1999.

Temperature effects on $I_{DS} - V_{GS}$



○ Zero Temperature
Coefficient(ZTC) point
around $V_{GS}=1.0V$

$$V_{ZTC} \approx 1V$$

- Temp. coeff < 0
when $V_{DD} > V_{ZTC}$
- Temp. coeff > 0
when $V_{DD} < V_{ZTC}$

K.Kanda, K.Nose, H.Kawaguchi, and T.Sakurai, "Design Impact of Positive Temperature Dependence of Drain Current in Sub 1V CMOS VLSI's", CICC99, pp.563-566, May 1999.

Cause of positive temp. dependence of I_{DS}

- α -power law model (T = Temp. μ = Mobility)

$$I_{DS} \propto \mu(T) (V_{DD} - V_{TH}(T))^\alpha$$

	T ↗	T ↘
$\mu(T) = \mu(T_0)(T / T_0)^{-m}$	↘	↗
$V_{TH}(T) = V_{TH}(T_0) - \kappa(T - T_0)$	↘	↗

Typical Value : $\alpha=1.5$, $m=1.5$, $\kappa=2.5[\text{mV/T}]$

Effects of V_{TH} and μ on I_{DS} when temp. goes up 100[K]

	V_{TH} effect	μ effect
$V_{DD}=2.5\text{V}, V_{TH}=0.5\text{V}$	10% ↗	35% ↘
$V_{DD}=0.5\text{V}, V_{TH}=0.2\text{V}$	55% ↗	35% ↘

速度マージン

●プロセスパラメータ

ドレイン電流

1. ゲート長 (L_{eff})
2. しきい値電圧 (V_{TH})
3. ゲート酸化膜厚 (t_{ox})、各種シート抵抗他
→ プロセス変動係数 (K_P)

$$I_D \propto \frac{W}{L_{eff}} (V_{GS} - V_{TH})^{1.3}$$

●環境パラメータ

1. 電圧変動係数 (K_V)
2. 温度変動係数 (K_T)

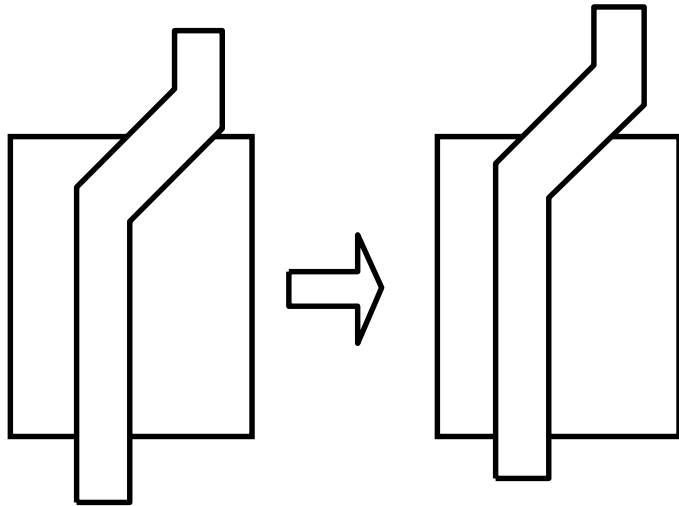
●例

$K_P=1.35$ 、 $K_V=1.15$ 、 $K_T=1.20$ → $K_P \cdot K_V \cdot K_T=1.86$ (K: derating factor)

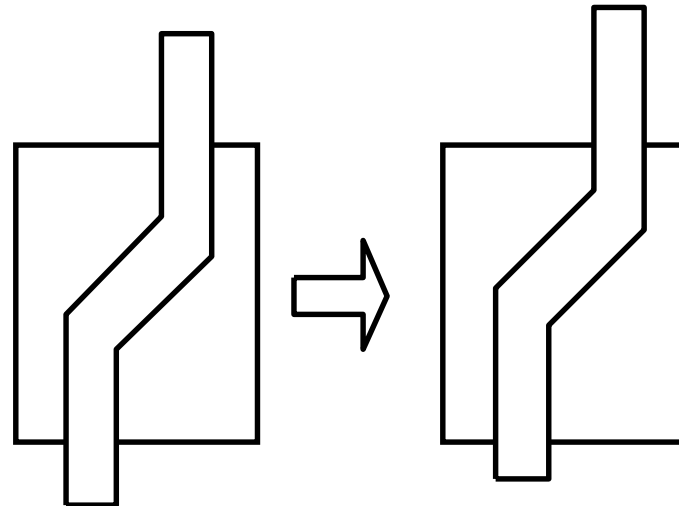
★中央値によるシミュレーション速度の約1.5～2倍が実際の製品仕様

★その他のマージン: ノイズマージン、消費電力マージン、信頼性マージンなどを考慮しながら設計

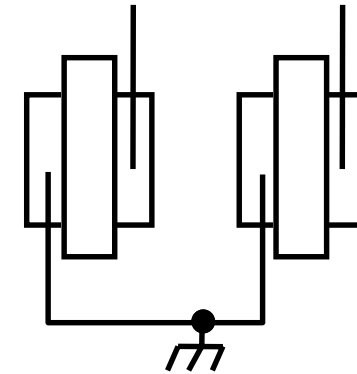
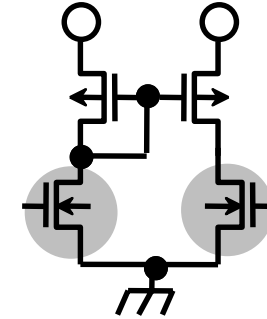
プロセスばらつき耐性のある設計



マスクずれによって実効チャネル幅が変わる



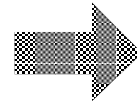
マスクずれによって実効チャネル幅が変わらない



駆動力の揃ったMOSFETペア
→近くで同じ電流の向きに
→ゲート長を大きめに

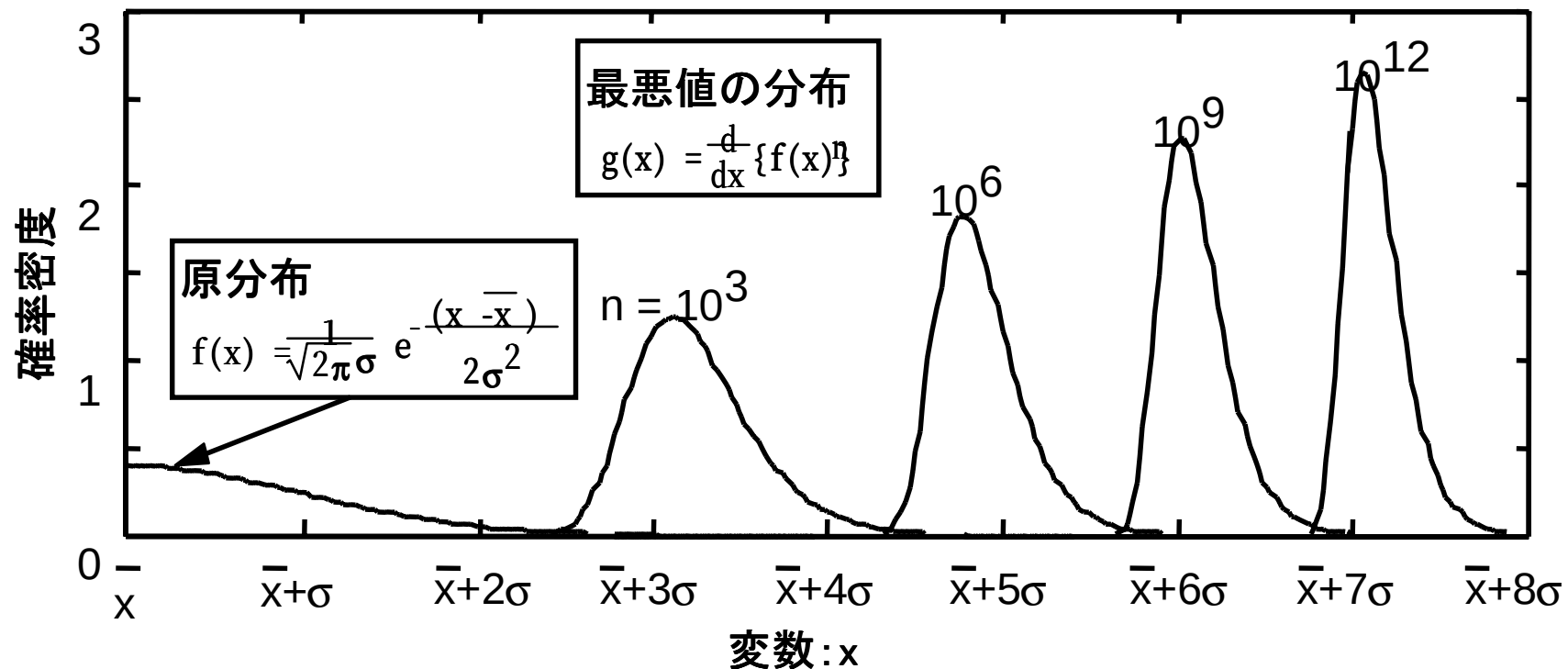
バラツキ

一段の論理ゲートの遅延 $\bar{x}$
標準偏差 σ



全体回路の遅延 $n\bar{x}$
標準偏差 $\sqrt{n}\sigma$

しかし、メモリなどはn個の個別回路の中の最悪値が全体回路の実力値になる
ので、最悪は下図のように5σから6σを考えなくてはならない。



寄生バイポーラ素子

ラッチアップ

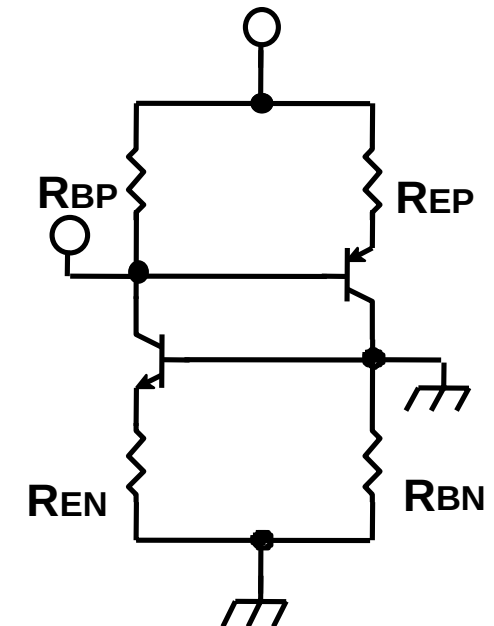
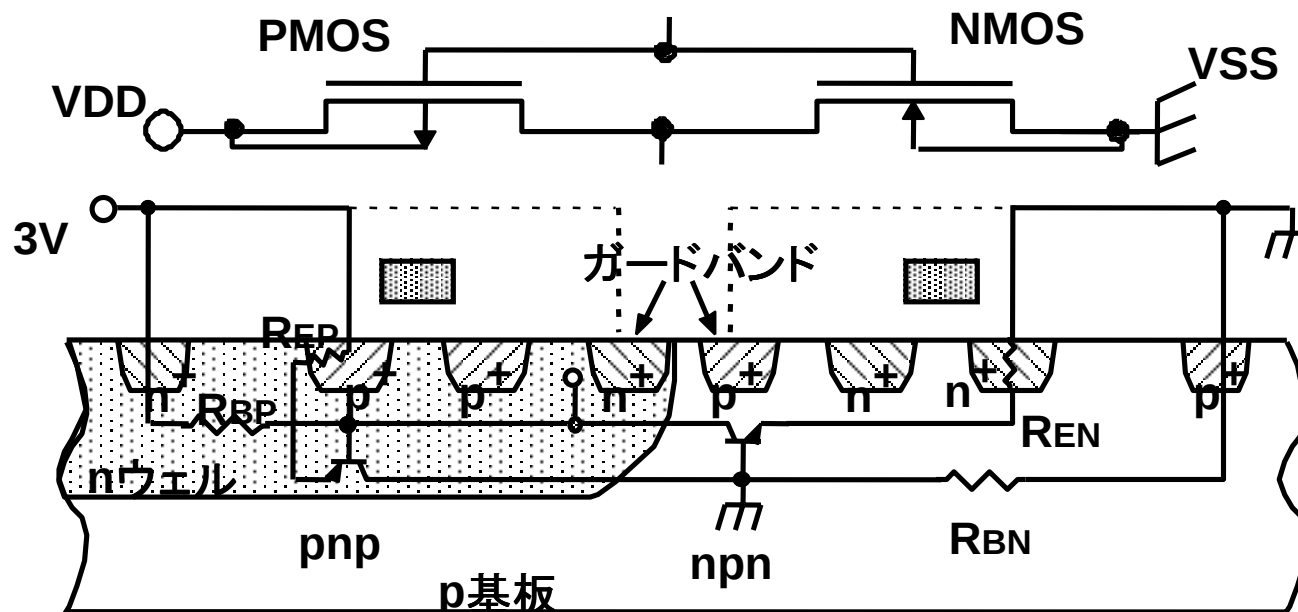
CMOS構造に付加的に存在するpnnp構造(サイリスタ)がノイズなどによりオンし、多大な電流が流れ回路が誤動作する。

設計的对策例: pnnp距離を離す。ガードバンドを入れる(RBN、RBPを減少させる)。

ラッチアップの条件

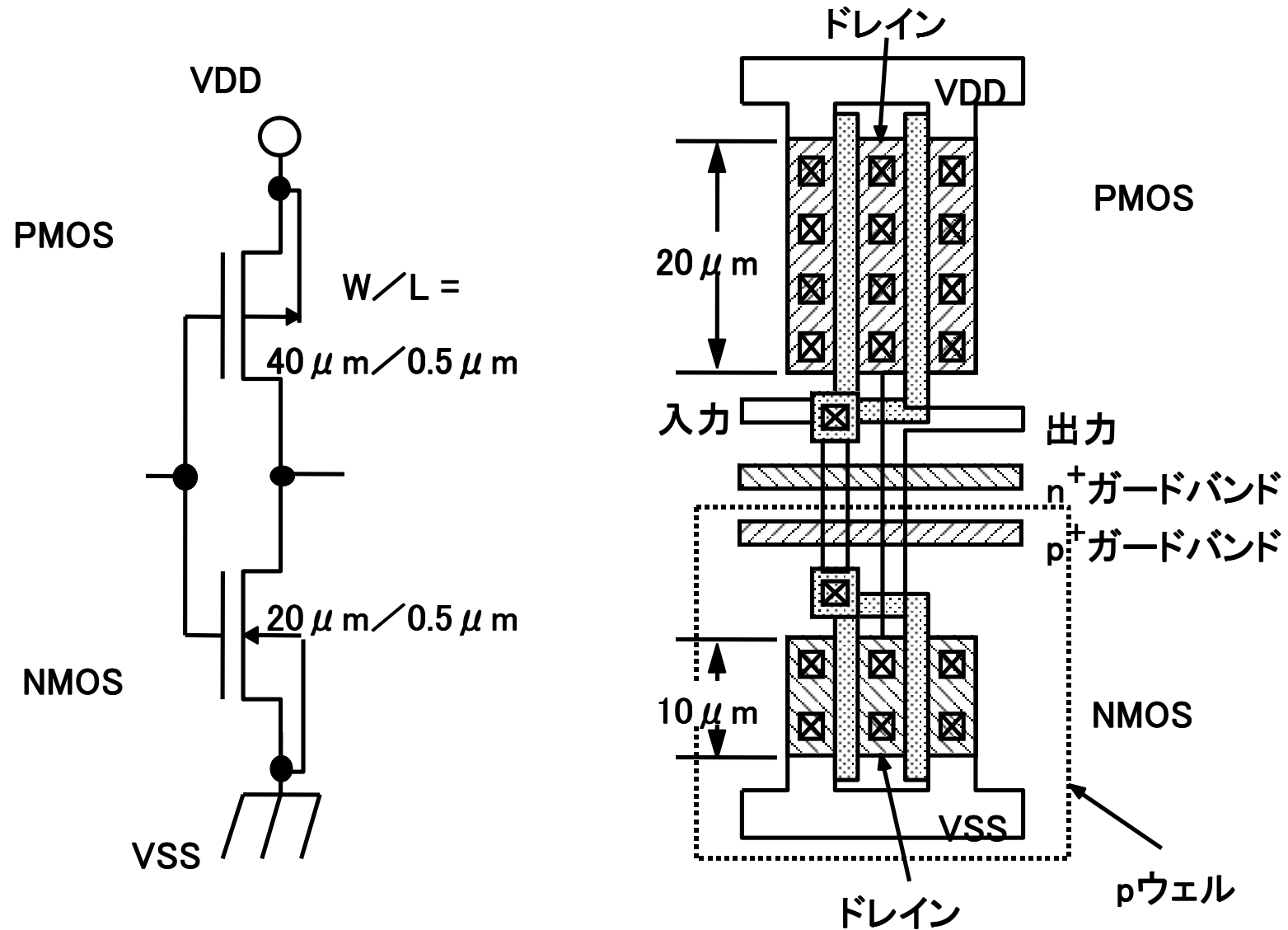
$$\frac{\alpha_P R_{BP}}{R_{BP} + R_{EP}} + \frac{\alpha_N R_{BN}}{R_{BN} + R_{EN}} \geq 1$$

α_P α_N はpnp, npnトランジスタの電流到達率

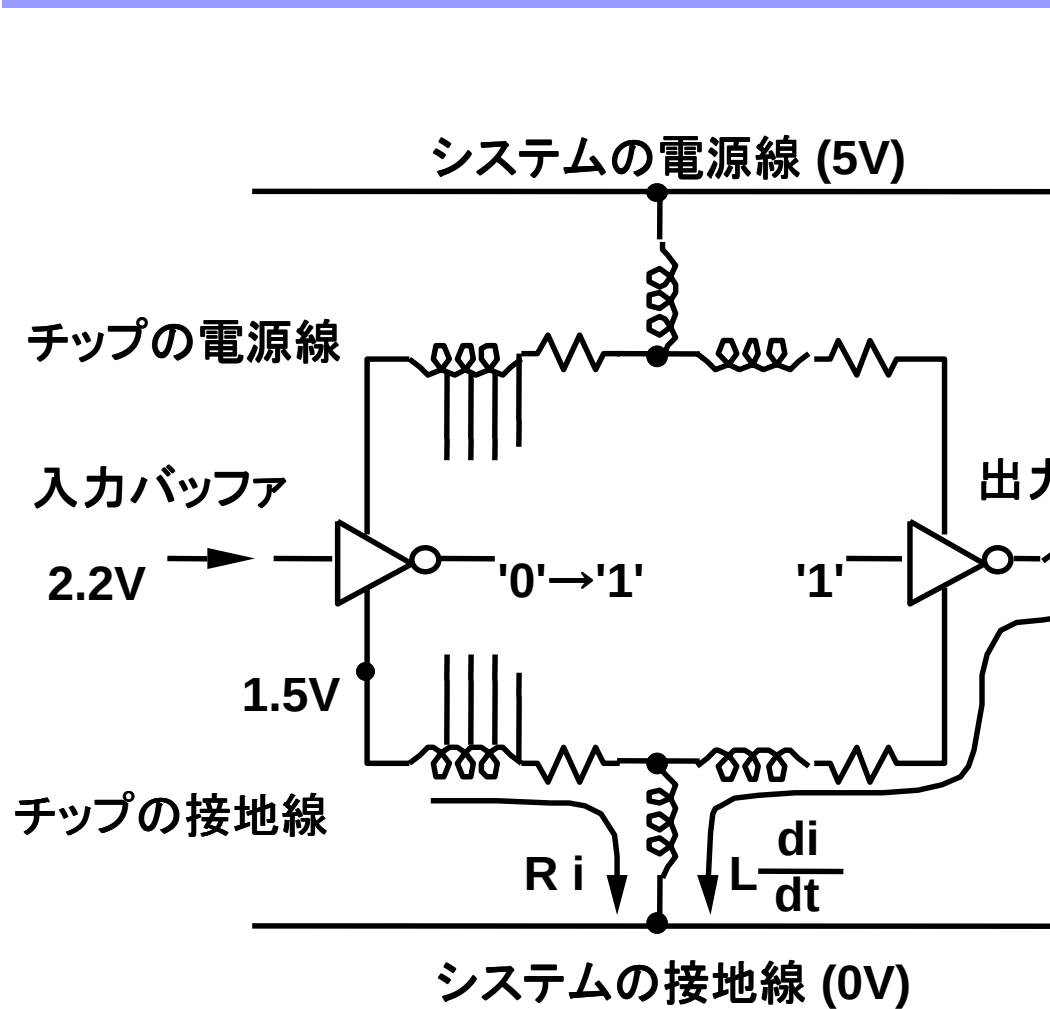


CMOS超LSIの設計、培風館

ラッチアップ防止用ガードバンド

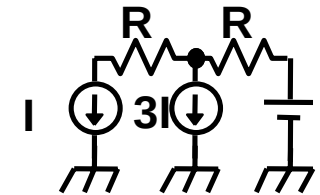
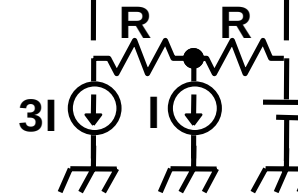


電源ノイズ

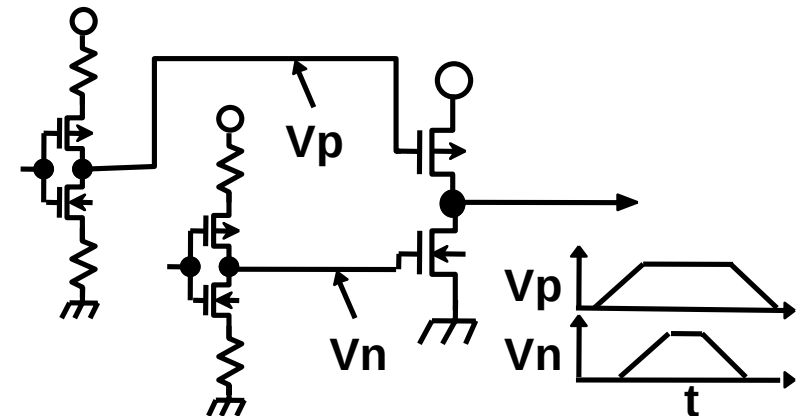


$$V = 3I \cdot 2R + I \cdot R = 7I \cdot R$$

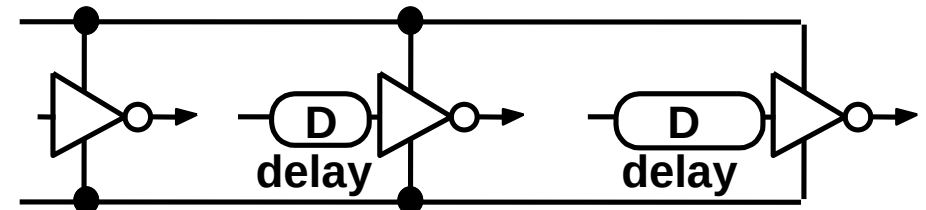
$$V = I \cdot 2R + 3I \cdot R = 4I \cdot R$$



電流を多く食うブロックは電源線の根元に



Slew-rate controlled buffer (di/dt を小さくする)



Staggered firing (電流のピーク時刻をずらす)

寄生素子のまとめ

1. 容量

ソース、ドレイン、ゲート、配線(信号線)、配線間
→ 遅延、カップリング・ノイズ

2. 抵抗

ソース、ドレイン、ゲート、コンタクト、配線(信号線、電源線)
→ 遅延、電圧降下

3. インダクタンス

配線(信号線、電源線)
→ ノイズ

4. その他

バイポーラ素子
→ ラッチアップ

信頼性1

●エレクトロマイグレーション

大きな電流を配線に流し続けると「電子の風」の勢いで、配線中の分子が移動し、最後の断線に至る。CMOSの信号線などには行き返りの電子の風がキャンセルするので、比較的安心。

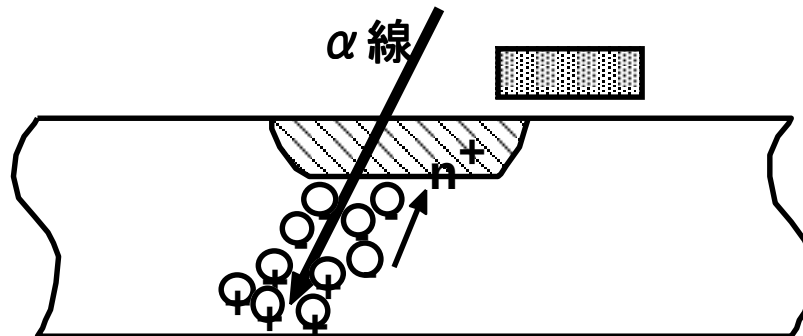
設計的対策例：特に電源線などで十分太い配線を使用し、電流密度を下げる。



●ソフトウェア

メモリなどで、パッケージ中などから出る α 線によって電子・正孔対が発生。蓄積されていた電荷が消失し、誤動作をもたらす。

設計的対策例：十分な電荷を蓄積させる。 α 線の放出が少ないパッケージを使用する。

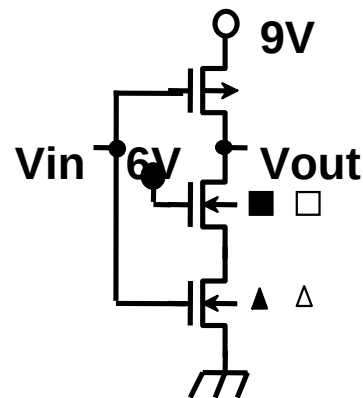
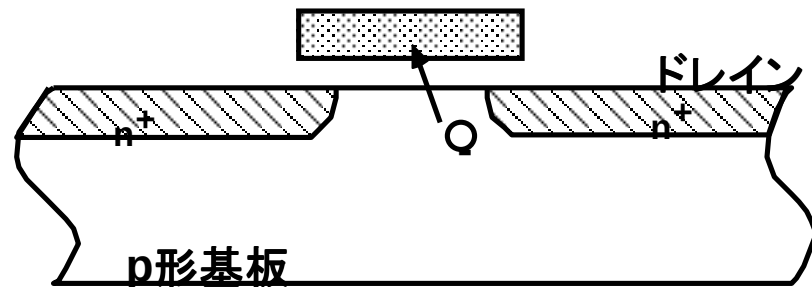


信頼性2

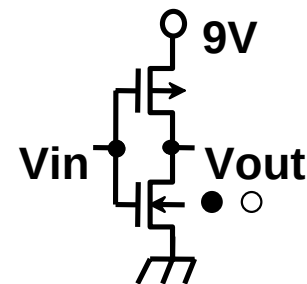
● ホットエレクトロン効果

MOSTランジスタ内の高電界で発生した高エネルギーのキャリアがゲート酸化膜をいためる。

設計的対策例: 電圧を下げる。直列にオンしたMOSFETを挿入する。



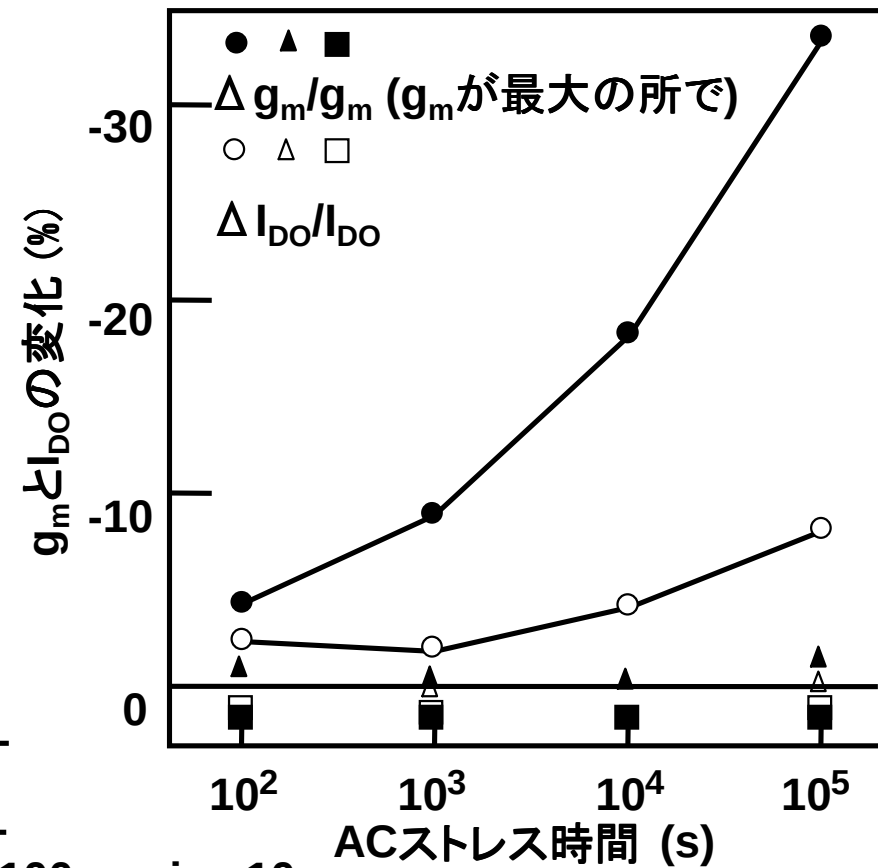
耐ホットキャリア
インバータ



通常インバータ



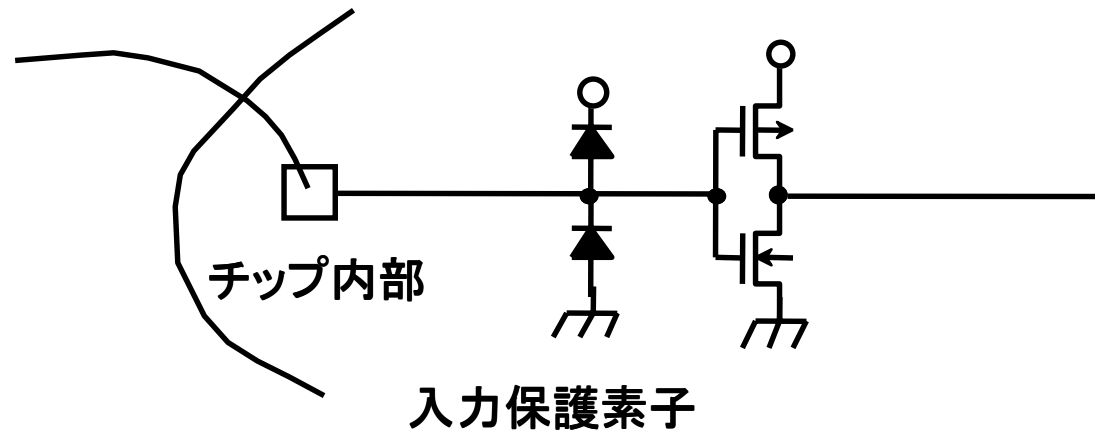
Vin duty 0.5, cycle 100ns, rise 10ns



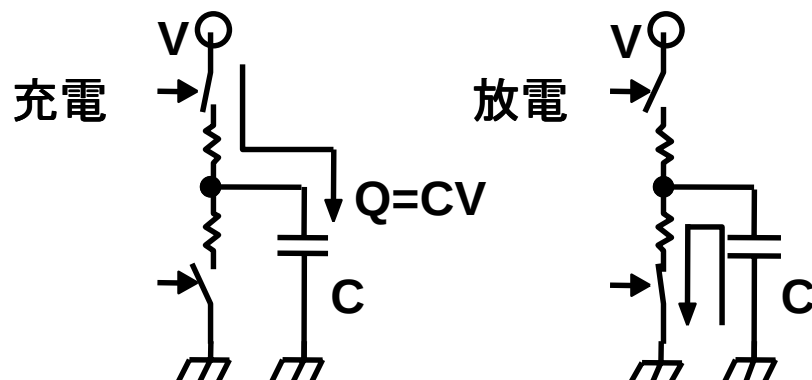
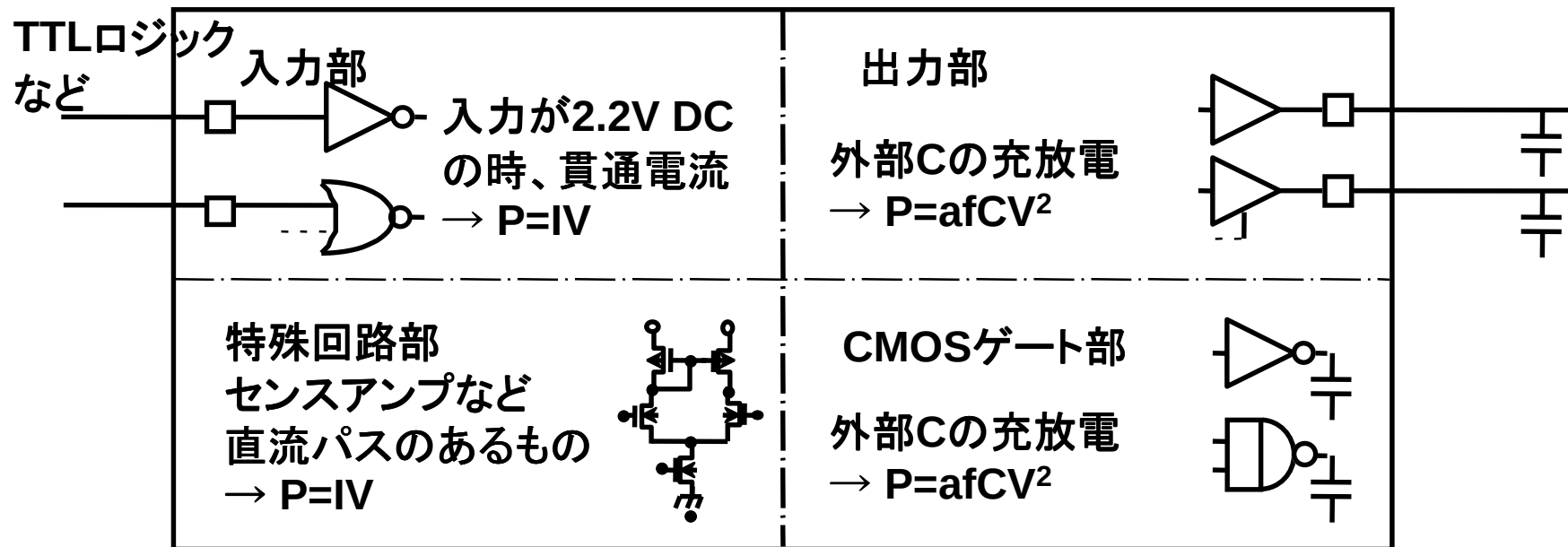
信頼性3

● 静電破壊

人体などに溜まった電荷が集積回路のピンから流れ込み入力回路を破壊する。
設計的対策例：特別な回路を入力ピンに付加し、電荷がスムーズに逃げるようにする。



CMOS VLSIの消費電力



一回の充放電で一回の充放電で $Q=CV$ の電荷がVの電圧だけポテンシャルを失うので、一回の充放電消費エネルギーは CV^2 。従って、消費電力(1秒当たりの消費エネルギー)は $afCV^2$ 。ただし、 af は1秒間のスイッチング回数
(= 活性化率 $a \times$ クロック周波数 f)

LSIの配線特性の基礎

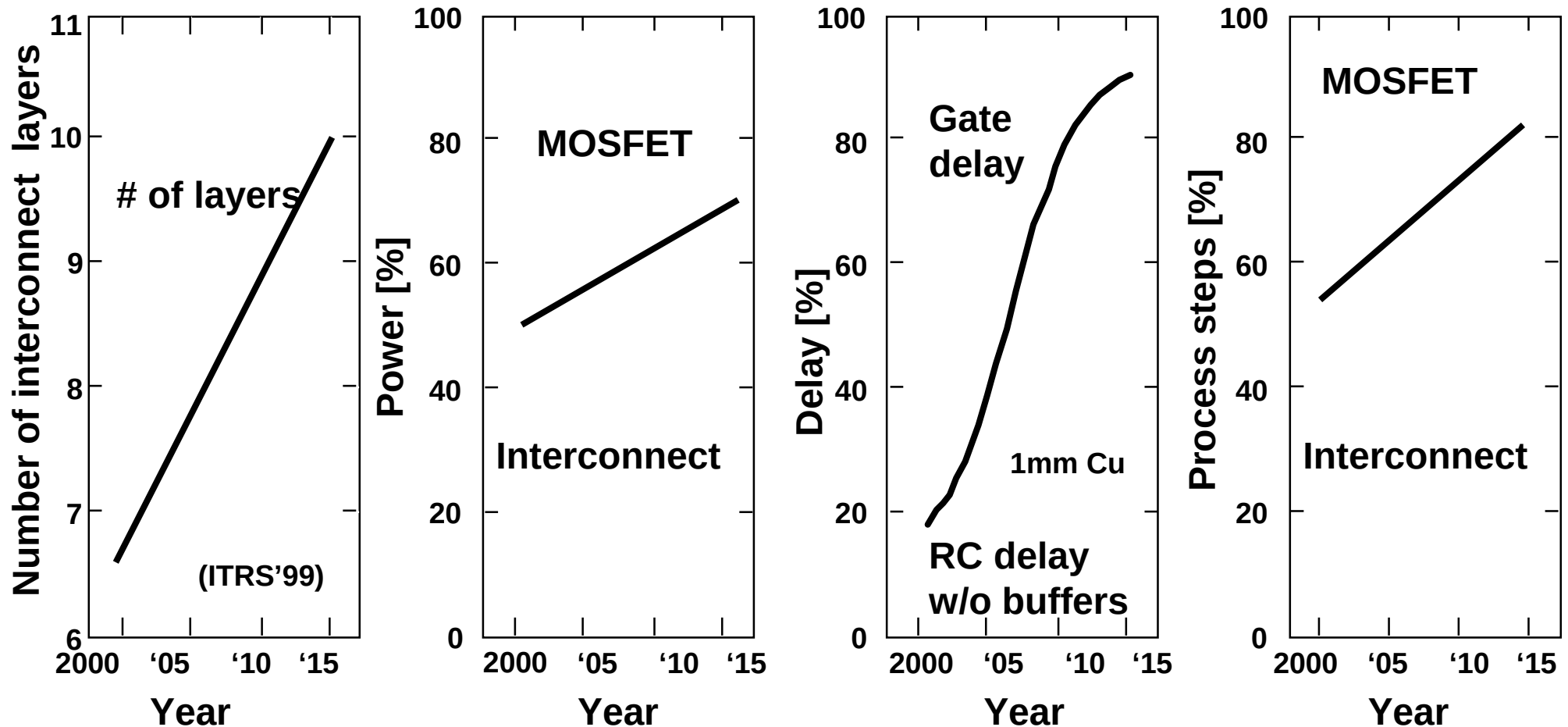
- クロック設計
- 配線設計の諸問題
- 配線問題の解決手段

東京大学
国際・産学共同研究センター 教授
生産技術研究所 教授
桜井貴康

tsakurai@iis.u-tokyo.ac.jp

Interconnect determines cost & perf.

P: Power, D: Delay, A: Area, T: Turn-around

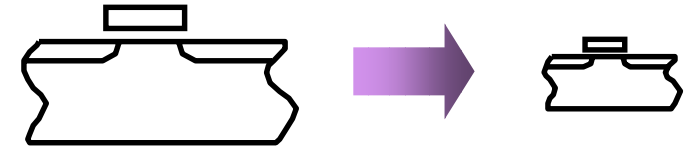


International Technology Roadmap for Semiconductors 1998 update sponsored by the Semiconductor Industry Association in cooperation with European Electronic Component Association (EECA), Electronic Industries Association of Japan (EIAJ), Korea Semiconductor Industry Association (KSIA), and Taiwan Semiconductor Industry Association (TSIA), International Technology Roadmap for Semiconductors: 1999 edition. Austin, TX:International SEMATECH, 1999.

T.Sakurai

Scaling Law

Transistors		Scaling coefficients	
V_{DD}	[V]	1/k	
Tr. dimensions	[x]	1/k	
Drain current	[$I \sim 1/x \cdot x/x \cdot V^{1.3}$]	1/k ^{0.3}	
Gate capacitance	[$C \sim 1/x \cdot xx$]	1/k	
Tr. delay	[$d \sim CV/I$]	1/k ^{1.7}	
Tr. power	[$P \sim VI \sim CVV/d$]	1/k ^{1.3}	
Power density	[$p \sim P/x/x$]	k ^{0.7}	
Tr. density	[$n \sim 1/x/x$]	k ²	
Interconnects			
Type		Local	Global
Scaling scenario		Scaled	Anti-scaled
Line thickness	[T]	1/k	k
Width	[W]	1/k	k
Separation	[S]	1/k	k
Oxide thickness	[H]	1/k	1
Length	[L]	1/k	1
Resistance	[$R_{INT} \sim L/W/T$]	k	1/k ²
Capacitance	[$C_{INT} \sim LW/H$]	1/k	k
RC delay/Tr. delay	[$D \sim R_{INT} C_{INT}/d$]	k ^{1.7}	—
Current density	[$J \sim pWL/V \cdot W/T$]	—	k ^{0.7}
DC noise / V_{DD}	[$N \sim JWTR/V$]	—	k ^{1.7}

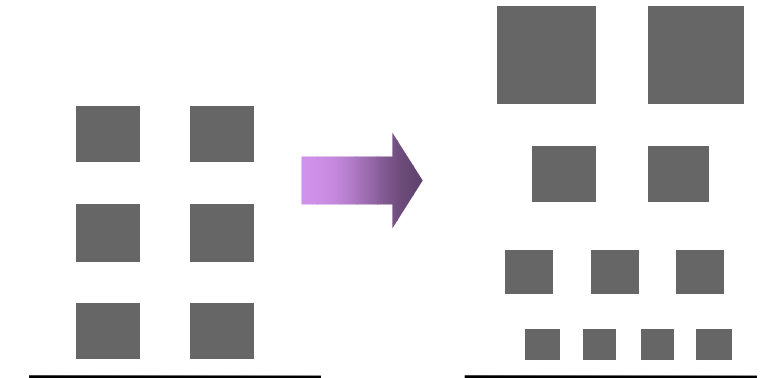


K=2

$$I_{ds} = \frac{\mu \epsilon}{t_{ox}} \left(\frac{W}{L} \right) \frac{(V_{gs} - V_t)^\alpha}{2} \sim [V^\alpha / t]$$

$\alpha = 1.3$

T.Sakurai & A.Newton, "Alpha-power law MOSFET model and its application to CMOS inverter delay and other formulas", IEEE JSSC, vol25, no,2, pp.584-594, Apr. 1990.



DSM interconnect design issues

Larger current

IR drop (static and dynamic)
Reliability (electro-migration)

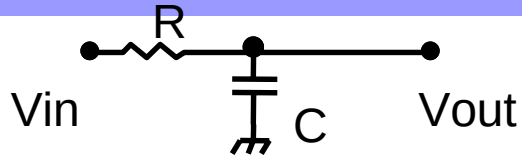
Smaller geometry / Denser pattern

RC delay
Signal Integrity
Crosstalk noise
Delay fluctuation

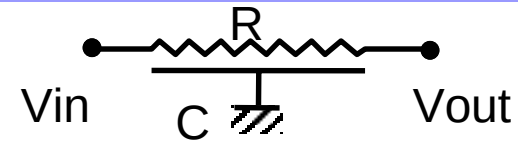
Higher speed

Inductance
EMI

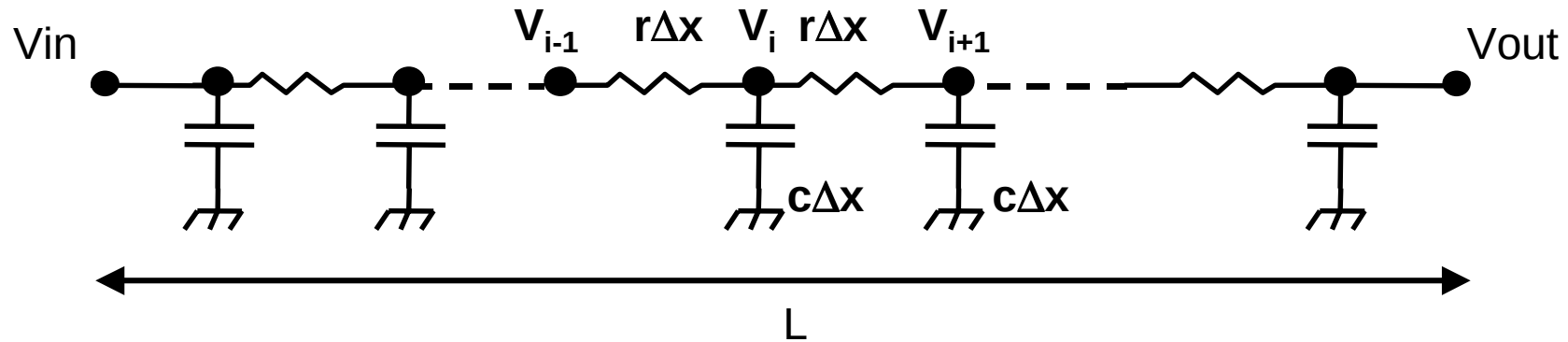
分布RC線路



集中定数回路



分布RC線路

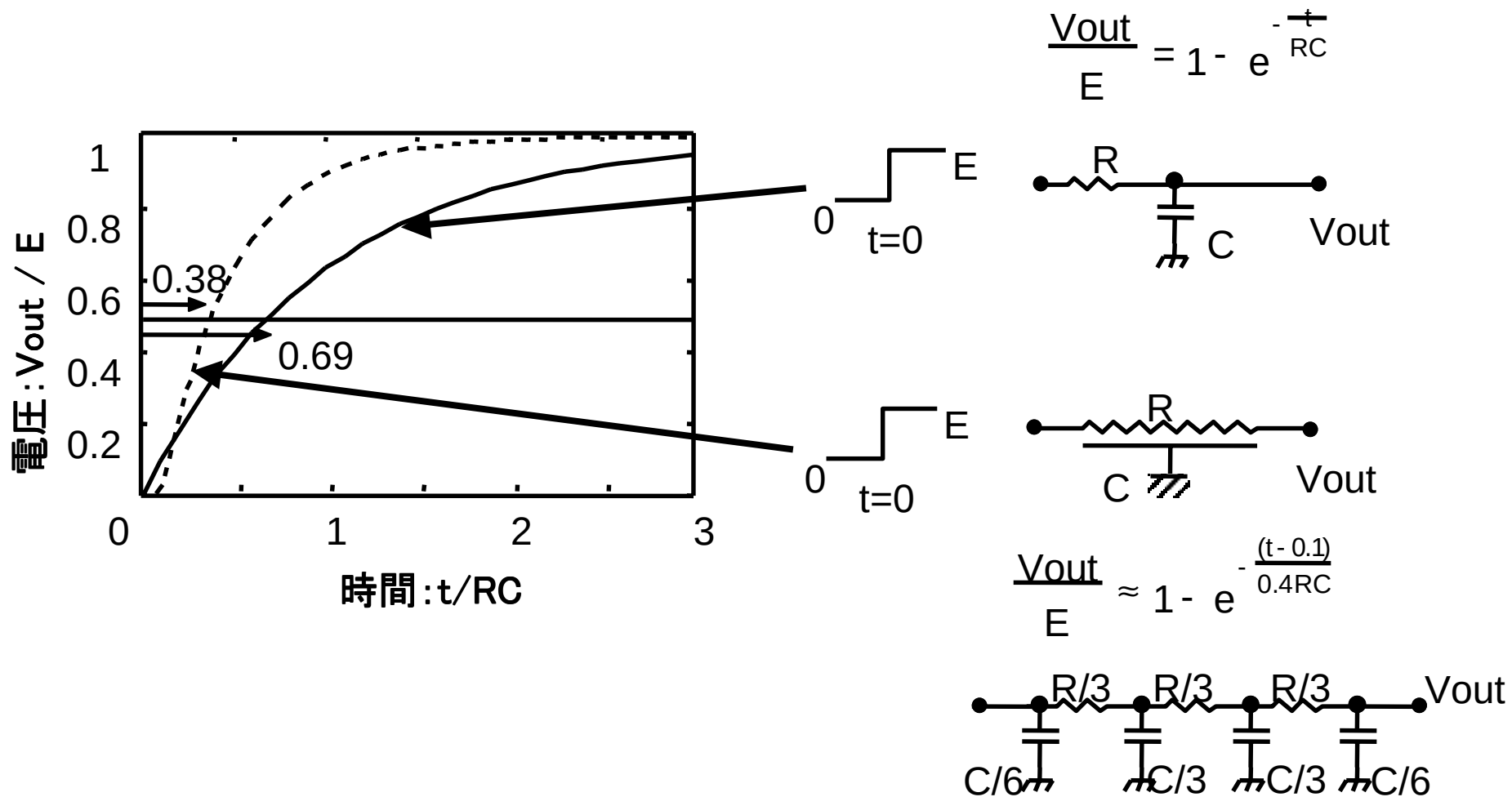


$$c\Delta x \frac{\partial V}{\partial t} = I_{i+1} - I_i = \frac{V_{i+1} - V_i}{r\Delta x} - \frac{V_i - V_{i-1}}{r\Delta x}$$

For $\Delta x \rightarrow 0$

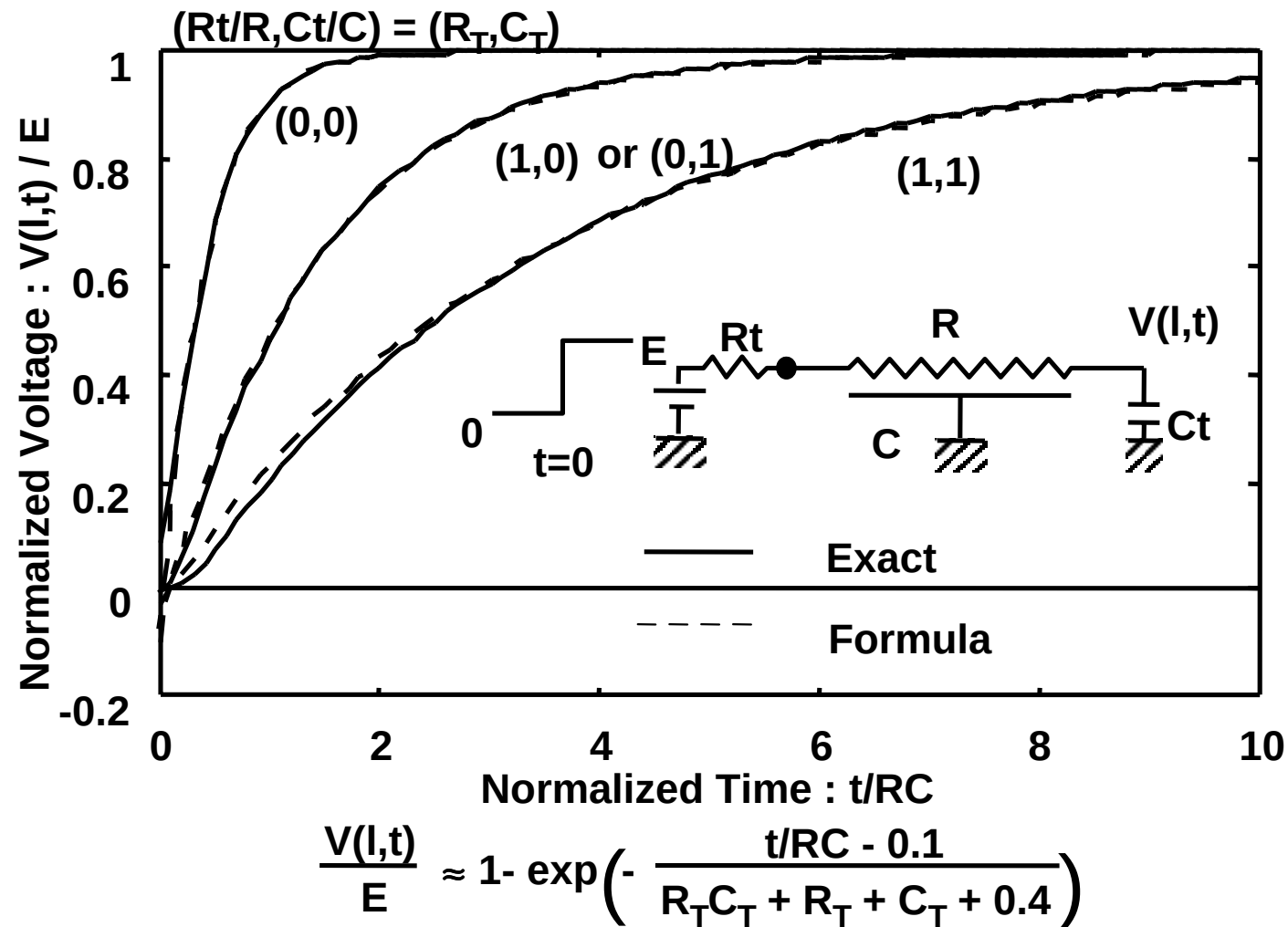
$$rc \frac{\partial V}{\partial t} = \frac{\partial^2 V}{\partial x^2}$$

分布RC線路の遅延



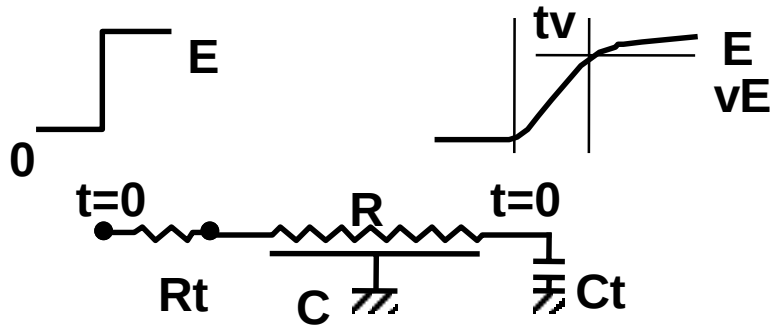
分布RC線路は3段の π 型梯子回路で近似すれば最悪でも3%以内の遅延誤差

Voltage waveforms of a distributed RC line



T.Sakurai, "Closed-Form Expressions for Interconnection Delay, Coupling and Crosstalk in VLSI's,"
IEEE Trans. on ED, Vol.40, No.1, pp.118-124, Jan.1993.

Expressions for RC interconnection delay



$$R_T = R_t / R \quad C_T = C_t / C$$

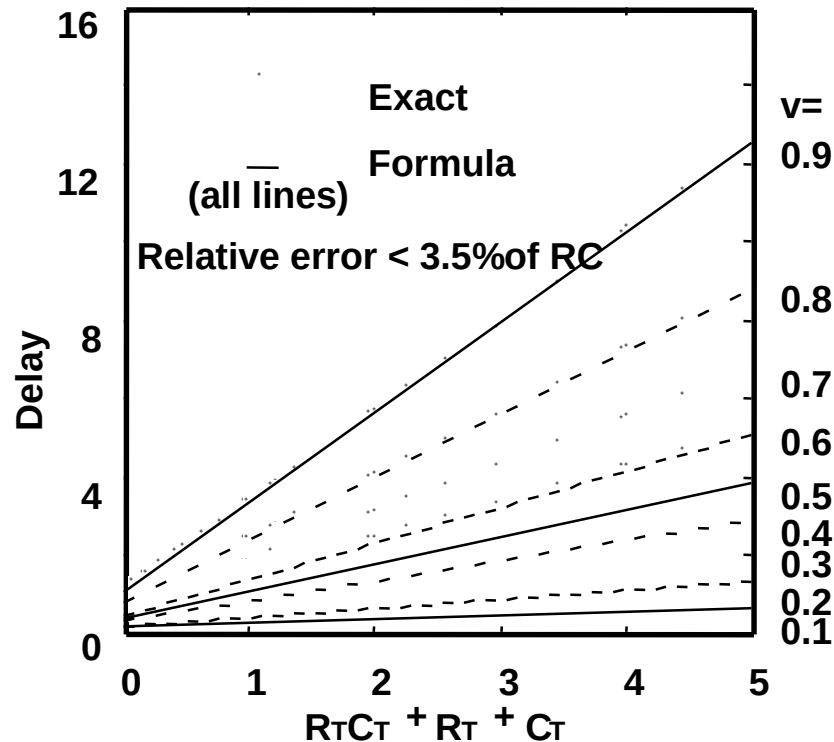
$$\frac{t_v}{RC} = 0.1 + \ln \frac{1}{1-v} (R_T C_T + R_T + C_T + 0.4)$$

$$\frac{t_{09}}{RC} = 1.02 + 2.3 (R_T C_T + R_T + C_T)$$

$$\frac{t_{05}}{RC} = 0.377 + 0.693 (R_T C_T + R_T + C_T)$$

$$\frac{dv}{dt} \bigg|_{v=0.5} = \frac{0.5}{R_T C_T + R_T + C_T + 0.4}$$

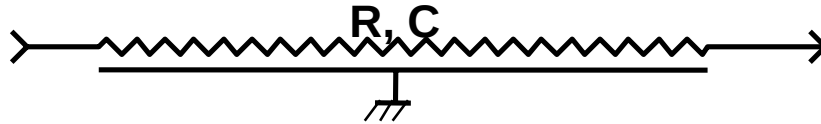
$$\frac{t_T}{RC} = 2(R_T C_T + R_T + C_T + 0.4)$$



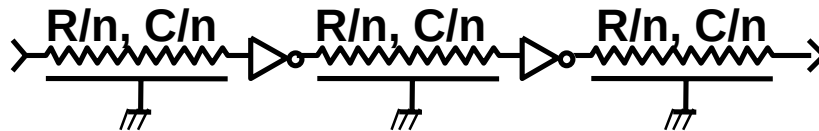
T.Sakurai, "Closed-Form Expressions for Interconnection Delay, Coupling and Crosstalk in VLSI's,"
IEEE Trans. on ED, Vol.40, No.1, pp.118-124, Jan.1993.

Repeaters and line width sizing

Repeaters



Delay $\gg RC$



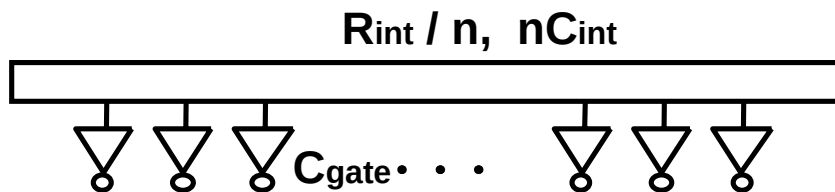
Delay $\gg n (R/n) (C/n) + n \times \text{Inverter delay}$
 $= RC / n + n \times \text{Inverter delay}$

- Delay is proportional to (length)¹ with repeaters, while delay is proportional to (length)².
- Bus structure?

Width sizing

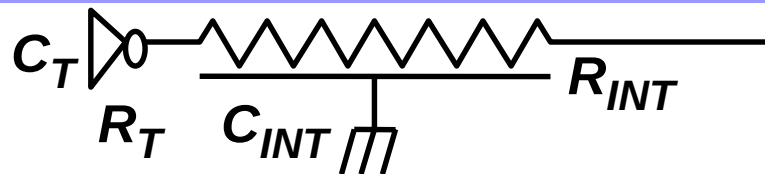


Delay $\approx R_{int} (C_{int} + C_{gate})$
 $= R_{int} C_{int} + R_{int} C_{gate}$

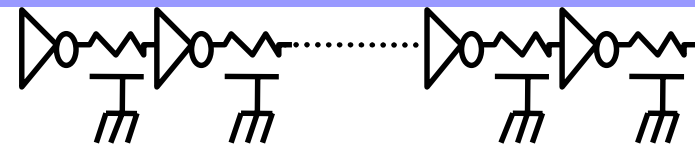


Delay $\approx R_{int} / n (nC_{int} + C_{gate})$
 $= R_{int} C_{int} + R_{int} C_{gate} / n$

Repeaters



a) Without repeaters



b) With repeaters

$$t_{05} \approx 0.377 R_{INT} C_{INT} + 0.693 (R_T C_T + R_T C_{INT} + R_{INT} C_T)$$

C_0 : Gate capacitance of minimum MOSFET

R_0 : Gate effective resistance of minimum MOSFET

$$\text{Delay} \approx k \left[p_1 \frac{R_{INT}}{k} \frac{C_{INT}}{k} + p_2 \left(\frac{R_0}{h} h C_0 + \frac{R_0}{h} \frac{C_{INT}}{k} + \frac{R_{INT}}{k} h C_0 \right) \right] : \text{Buffered}$$

$$\frac{\partial \text{Delay}}{\partial h} = 0 \rightarrow h_{OPT} = \sqrt{\frac{C_{INT} R_0}{R_{INT} C_0}} : \text{Optimized size of buffer inverter}$$

$$\frac{\partial \text{Delay}}{\partial k} = 0 \rightarrow k_{OPT} = \sqrt{\frac{p_1}{p_2}} \sqrt{\frac{R_{INT} C_{INT}}{R_0 C_0}} : \text{Optimized number of stages}$$

$$\text{Delay}_{OPT} = 2 \left(\sqrt{p_1 p_2} + p_2 \right) \sqrt{R_{INT} C_{INT} R_0 C_0} \approx 2.4 \sqrt{\tau_{INT} \tau_{MOS}}$$

$$\text{Cap. of gates} = k_{OPT} h_{OPT} C_0 = \sqrt{p_1 / p_2} C_{INT} = 0.73 C_{INT}$$

RCトリー回路の遅延

C_k : capacitance of node k

R_{ik} : common resistance between the paths
(input -> node k) and (input -> node i)

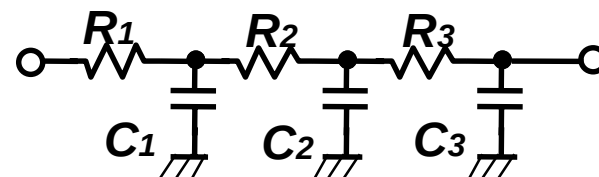
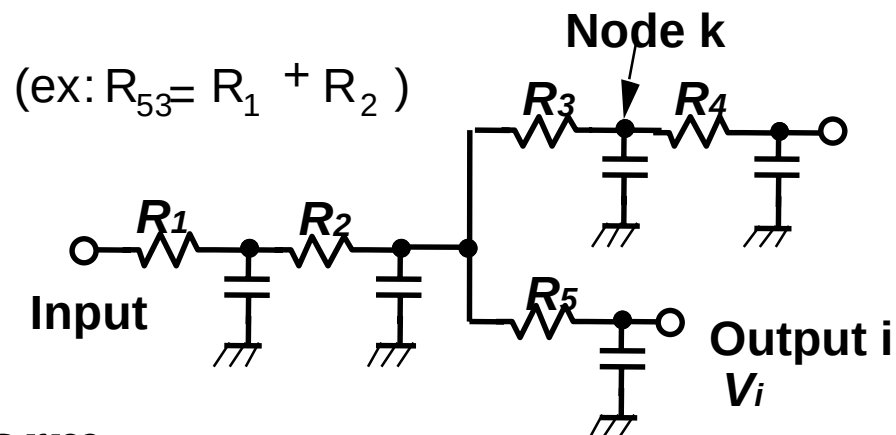
$$T_{Pi} = \sum_k R_{ik} C_k$$

Elmore delay:

First moment of output waveform

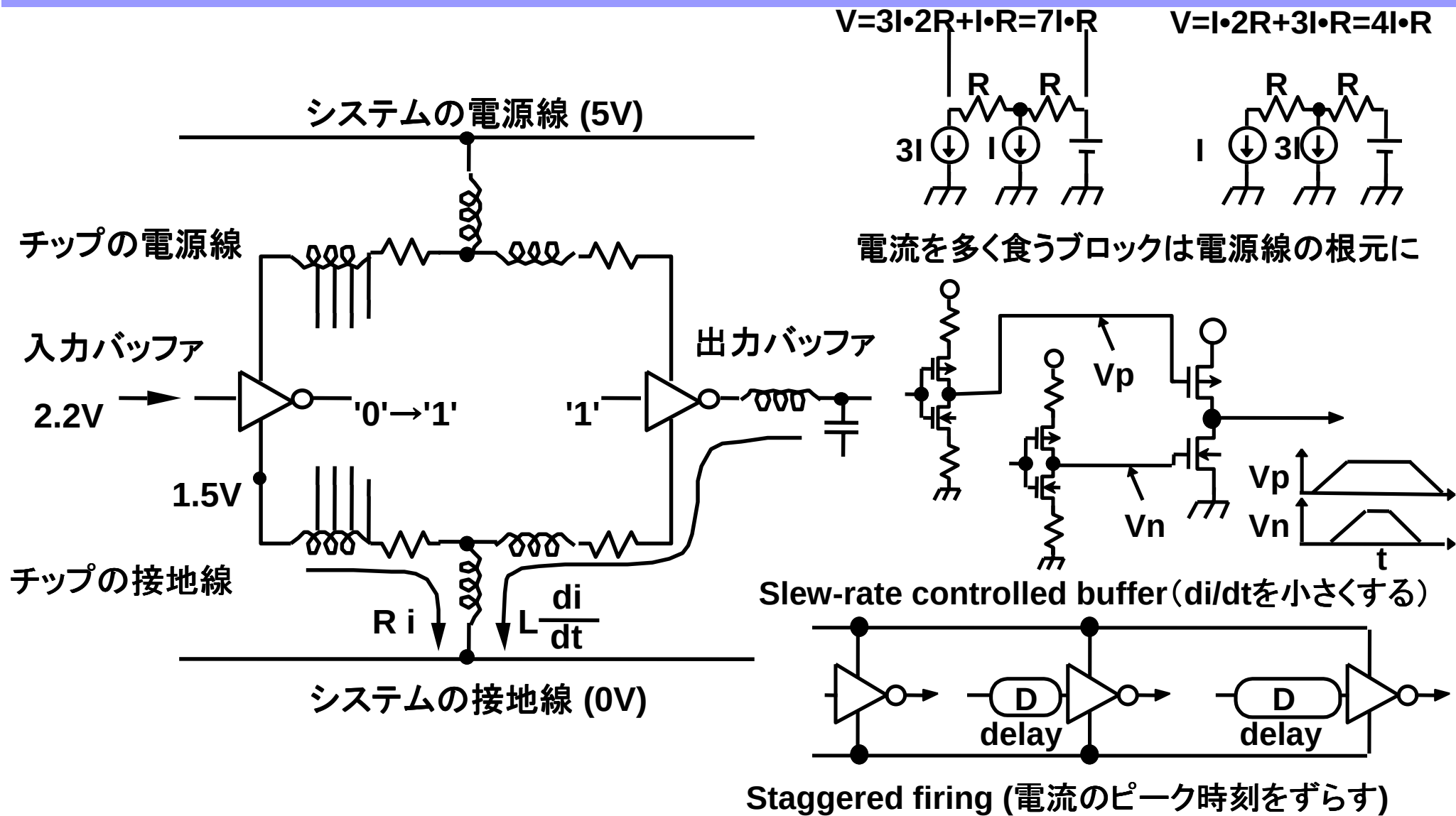
(いわば平均的時定数)

$$T_P = R_1 C_1 + (R_1 + R_2) C_2 + (R_1 + R_2 + R_3) C_3$$

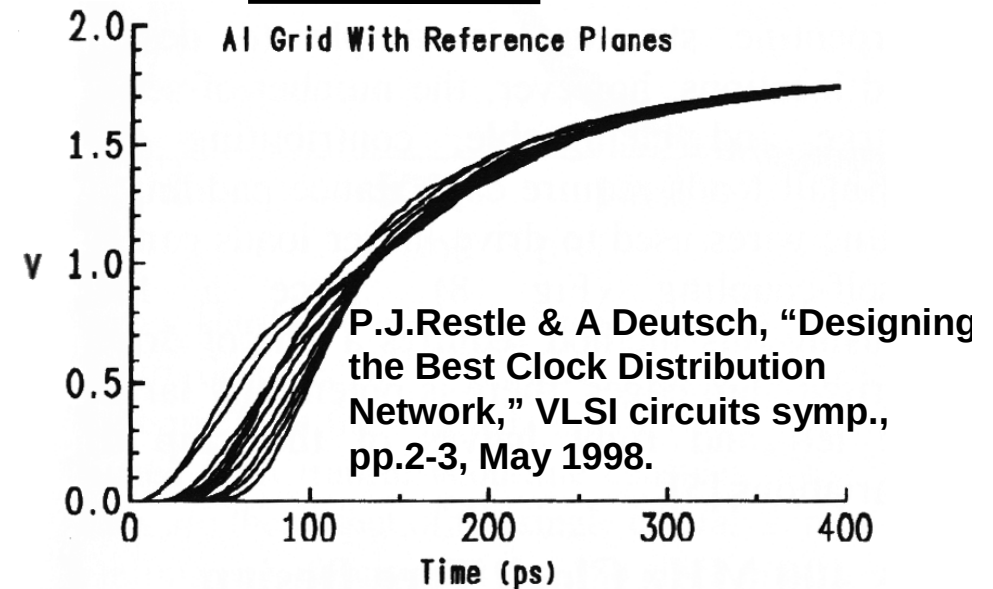
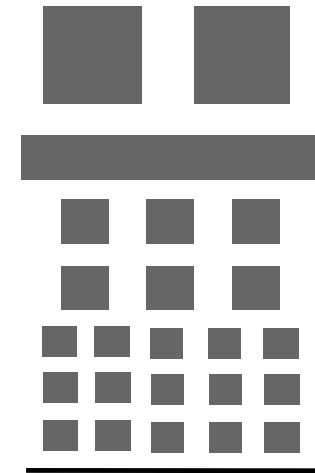
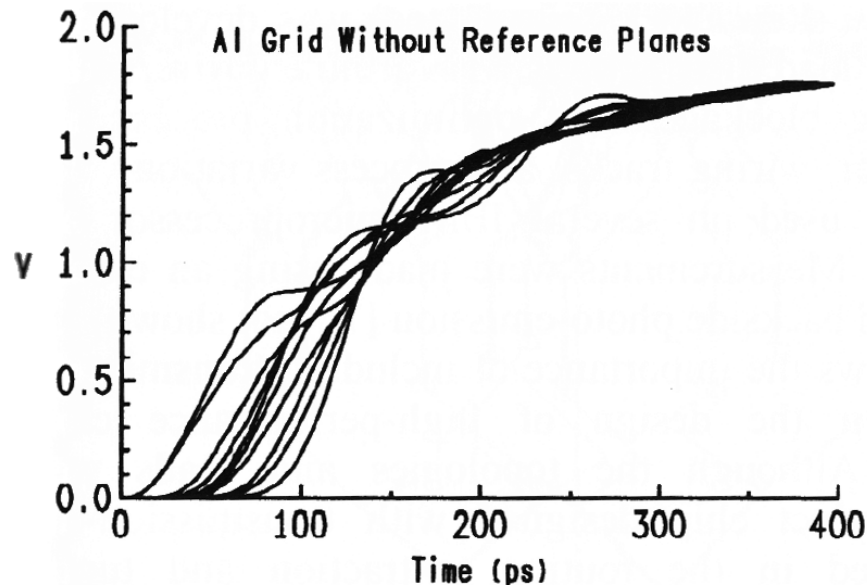
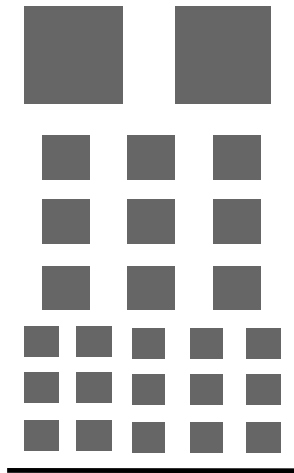


[1] J.Rubinstein, P.Penfield, M.Horowitz, "Signal Delay in RC Tree Networks," IEEE Trans. on CAD, CAD2, No.3, pp.202-211, July 1983.

電源ノイズ



Inductive Effects in Clock Lines

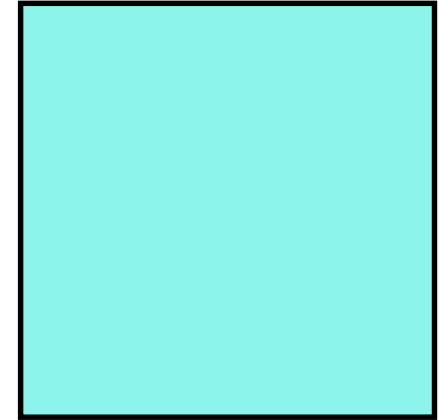
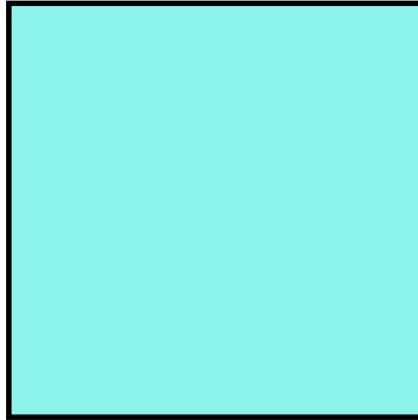


Board design practice is imported in LSI.

Interconnect Cross-Section and Noise

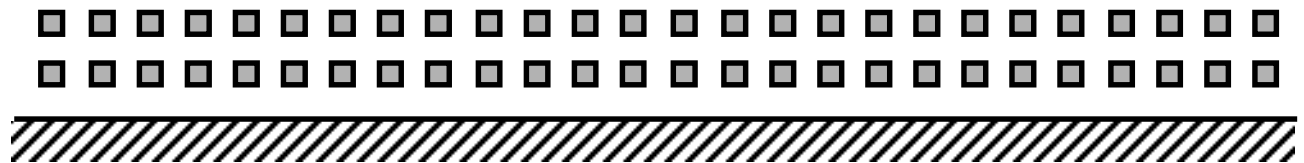
Unscaled / anti-scaled

- Clock
- Long bus
- Power supply



Scaled interconnect

- Signal

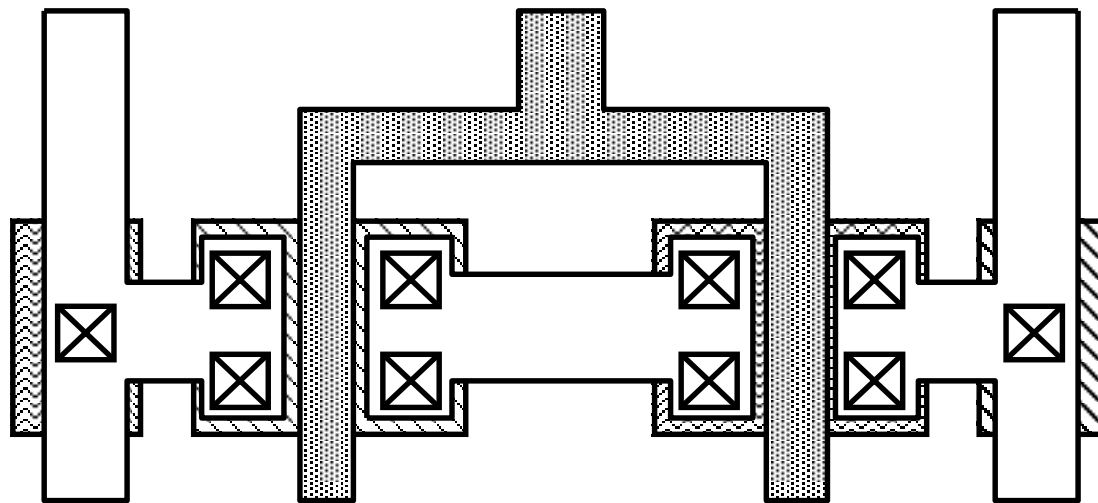
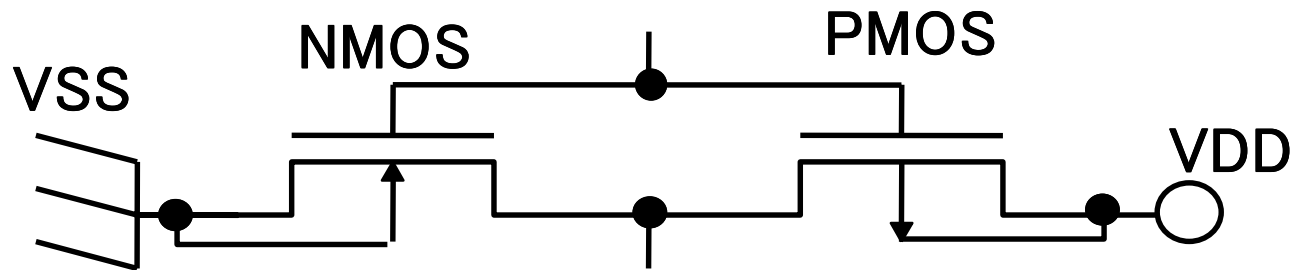


1V 50W -> 50A current

5% noise -> 0.05V noise -> $1\text{m}\Omega$ sheet R -> $15\mu\text{m}$ thick Cu

Area pad + package, or thick layer on board is needed.

CMOS上面図



-  n+ 拡散
-  p+ 拡散
-  ポリシリコン
-  コンタクト
-  アルミ配線

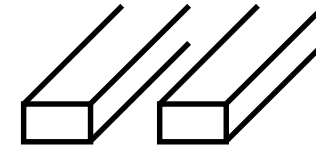
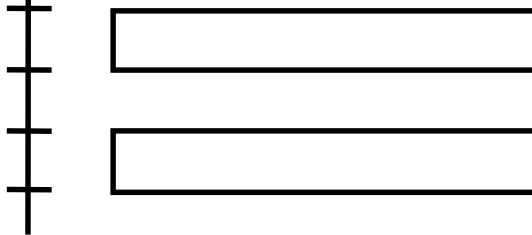
デザインルール

1) アルミニウム配線／ポリシリコン／拡散層 (線幅とスペース)

λ 以上

λ 以上

λ 以上

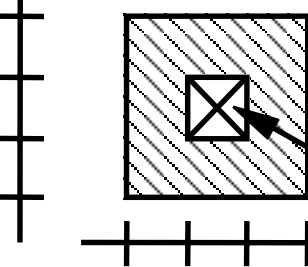


2) コンタクト周辺 (コンタクトサイズとコンタクト余裕)

λ 以上

λ 以上

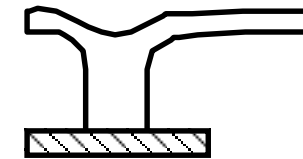
λ 以上



アルミ／ポリ／拡散層

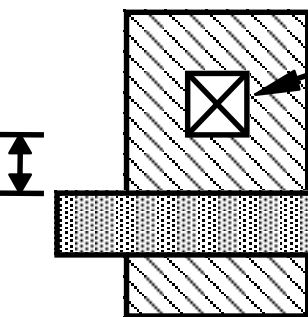
コンタクト

すべて λ 以上



3) ゲート・コンタクト余裕

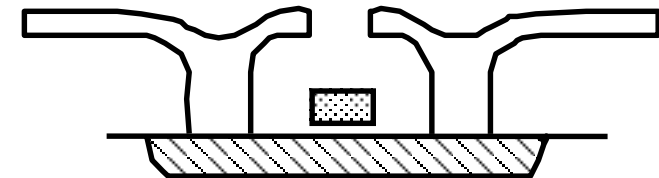
余裕 λ 以上



コンタクト

ゲートフリンジ λ 以上

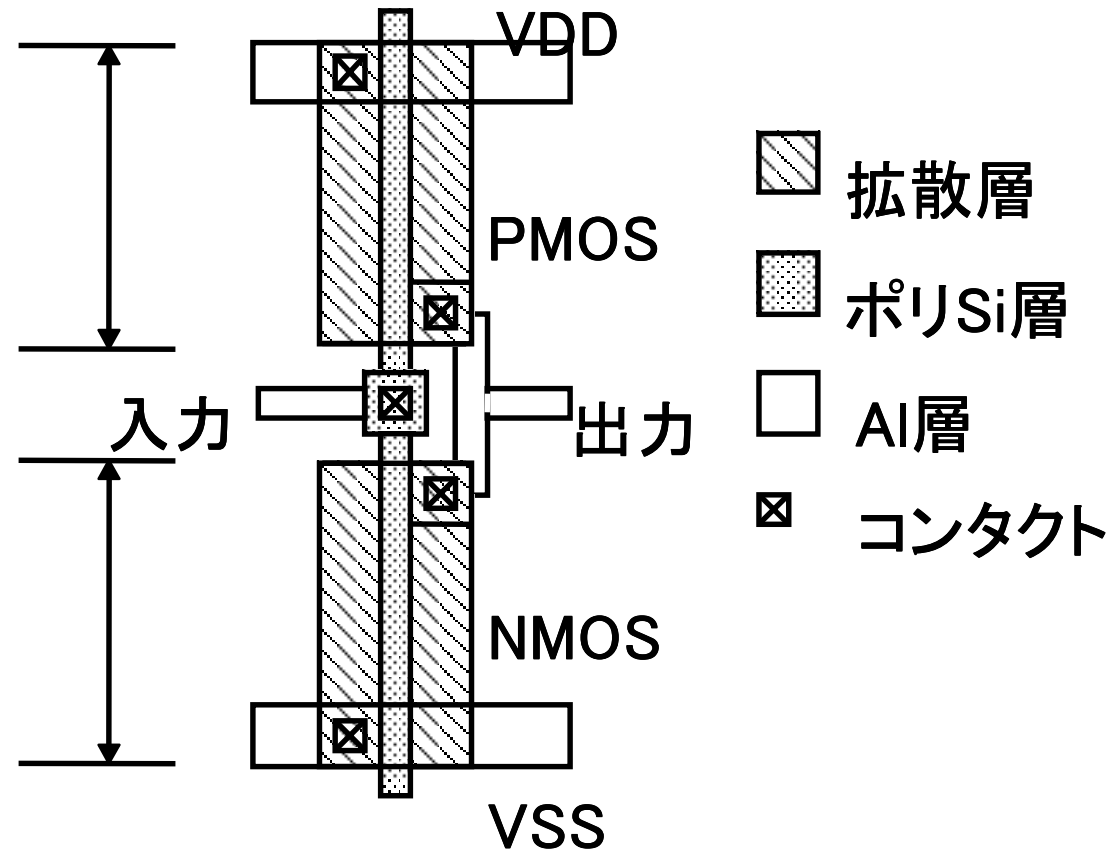
ゲート・ポリシリコン



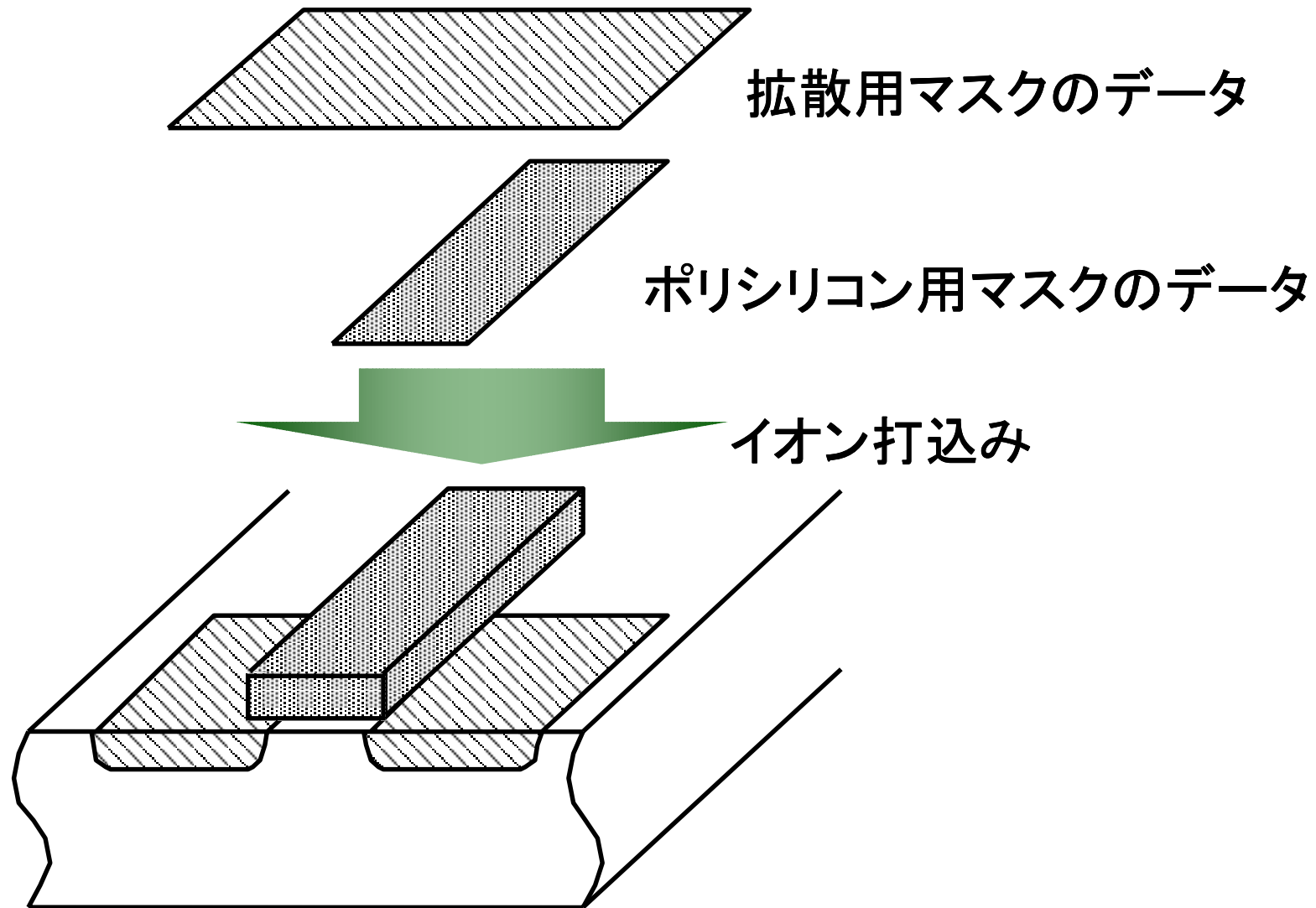
CMOSインバータ・レイアウト例

PMOSの幅: $W_p = 15 \mu\text{m}$

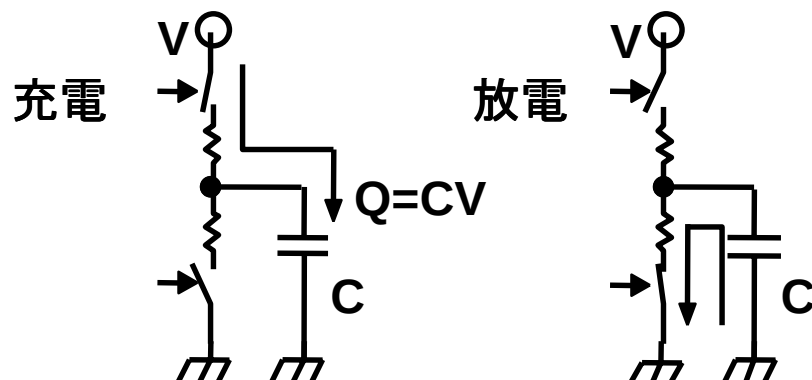
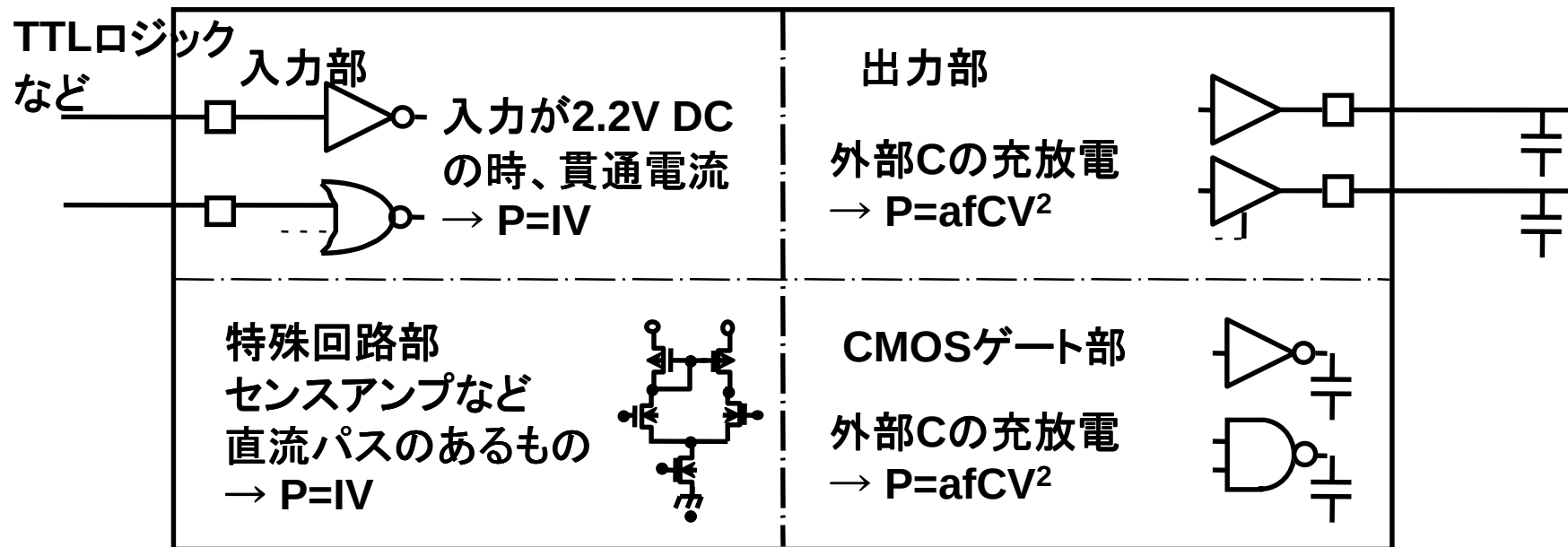
NMOSの幅: $W_n = 8 \mu\text{m}$



拡散のマスク



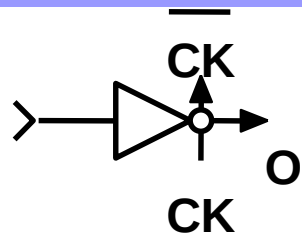
CMOS VLSIの消費電力



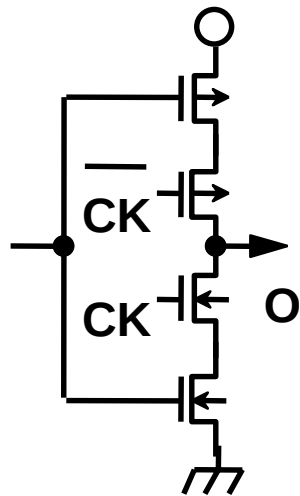
一回の充放電で $Q=CV$ の電荷が V の電圧だけポテンシャルを失うので、一回の充放電消費エネルギーは CV^2 。従って、消費電力(1秒当たりの消費エネルギー)は $afCV^2$ 。

ただし、 af は1秒間のスイッチング回数(= 活性化率 a ×クロック周波数 f)

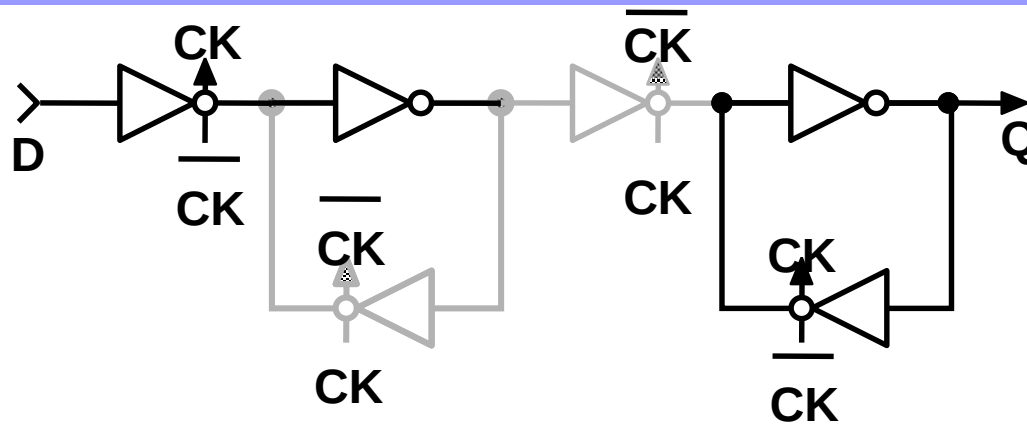
クロック・インバータとD-フリップ・フロップ



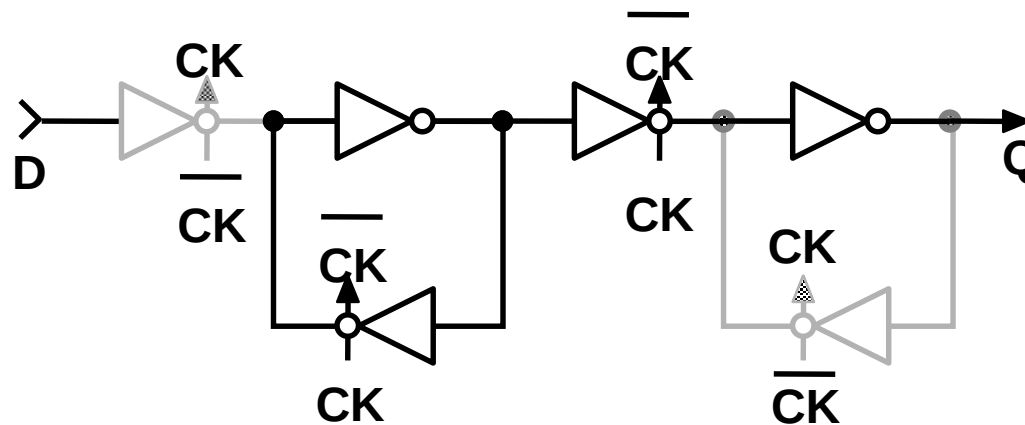
|||



クロック・インバータ

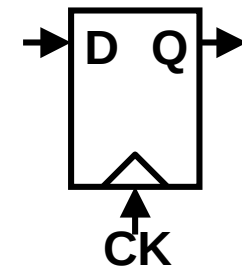
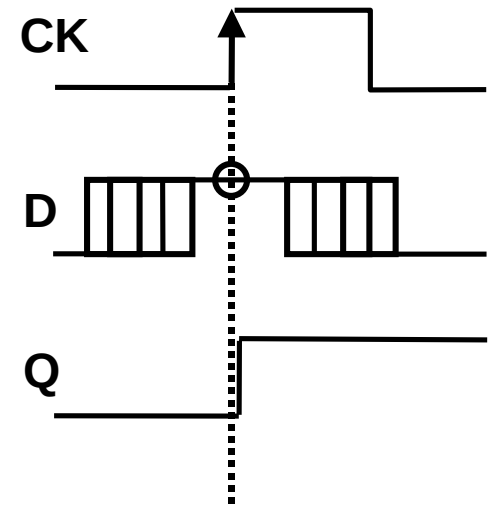


CKが'0'のとき

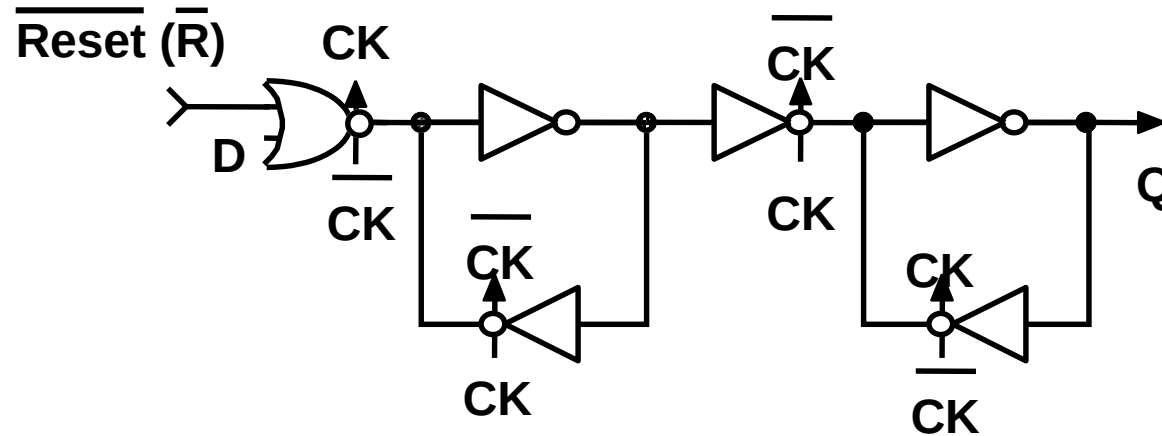
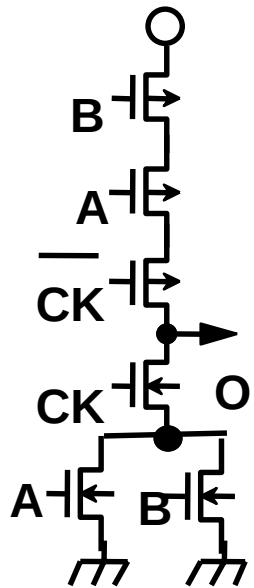
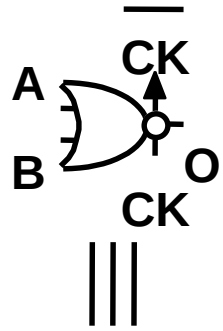


CKが'1'のとき

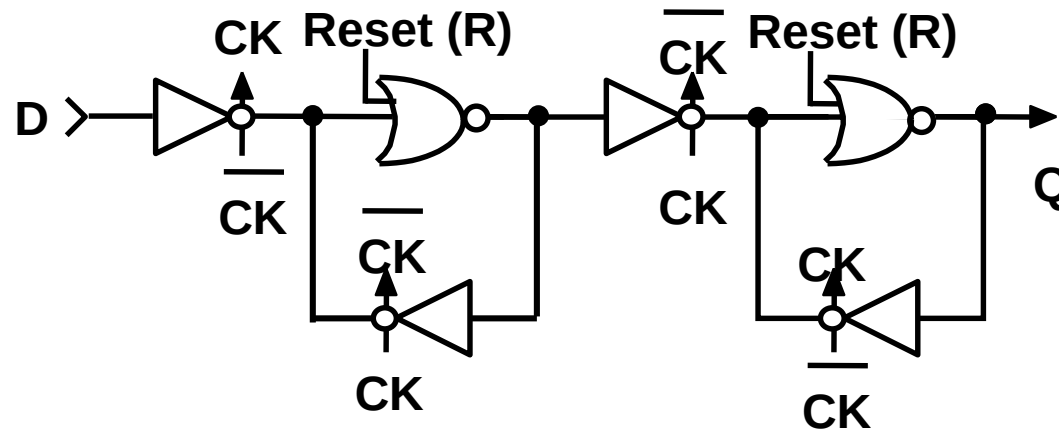
D-フリップ・フロップ (CKはクロック、クロックが'1'になった瞬間のDを保持しQに出力)



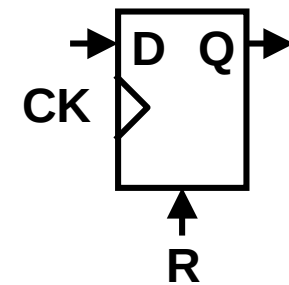
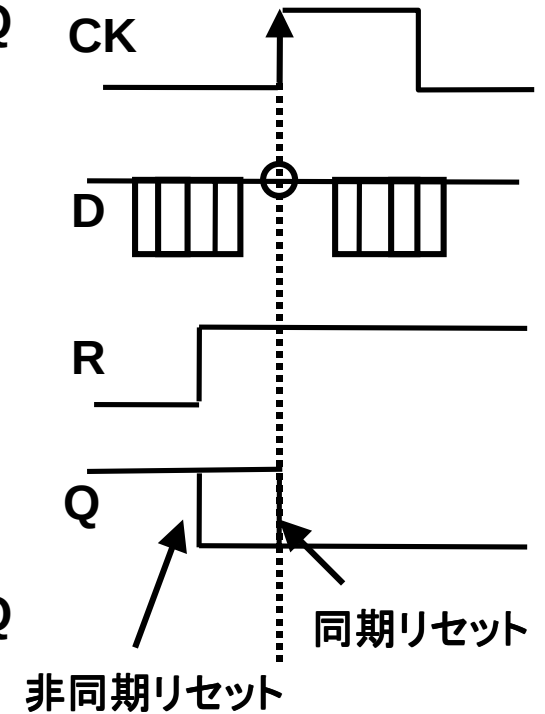
リセット付きD-フリップ・フロップ



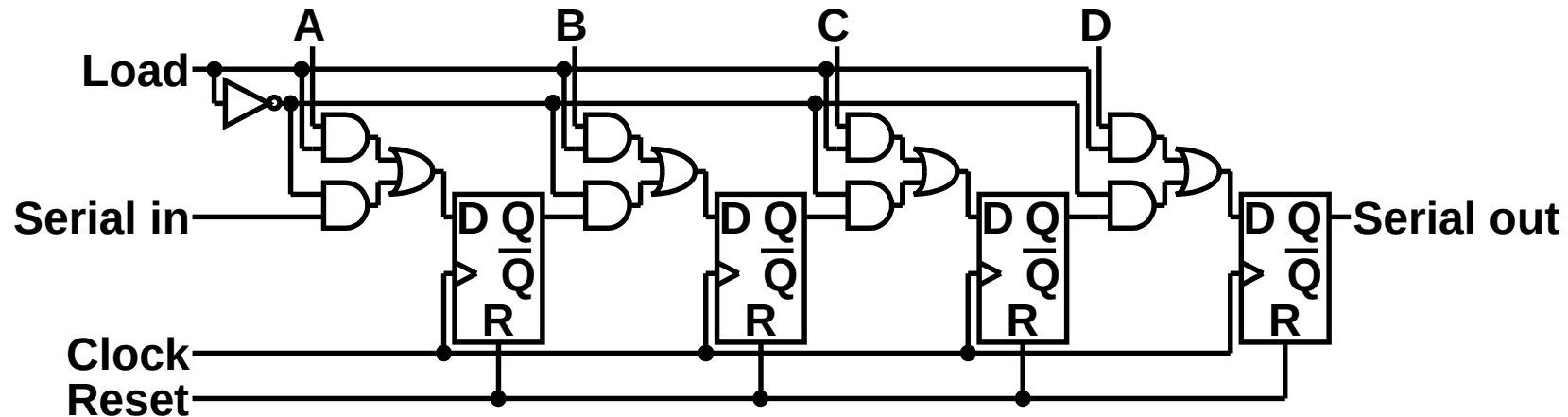
同期リセット



非同期リセット

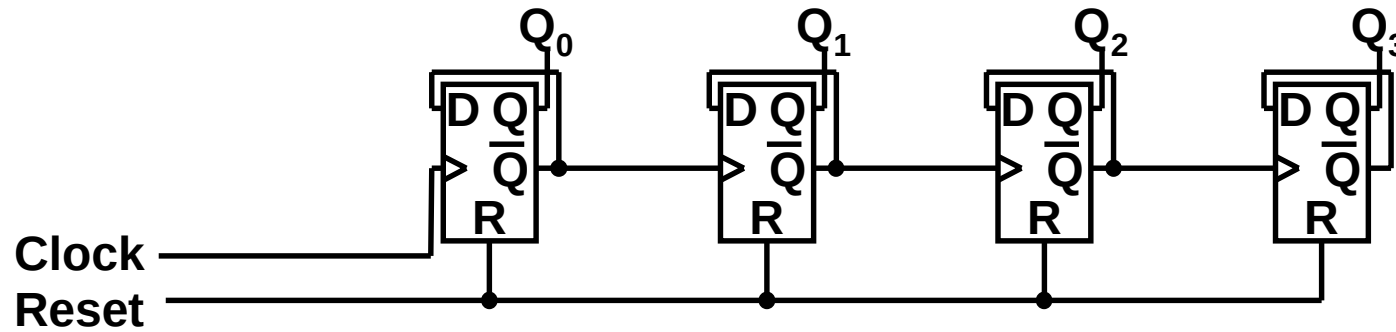


シフトレジスタ

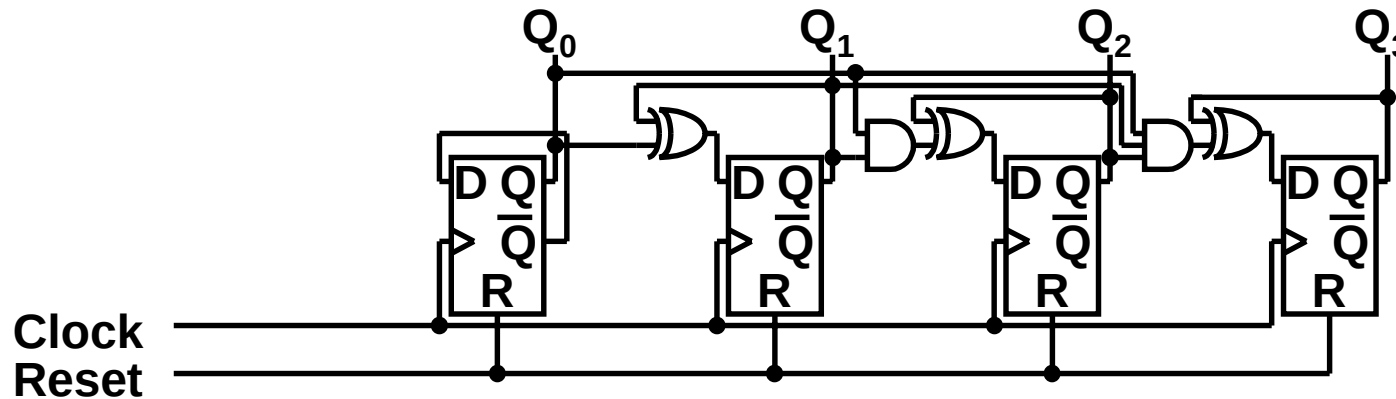


- Reset (R) が‘1’で‘0000’にセットされる。
- Loadが‘1’で‘ABCD’にセットされる。
- その後、Clockが来るごとに最初4ビットはセットされた信号が、その後はSerial inの信号が4クロック遅れてSerial outに出力される。

カウンタ

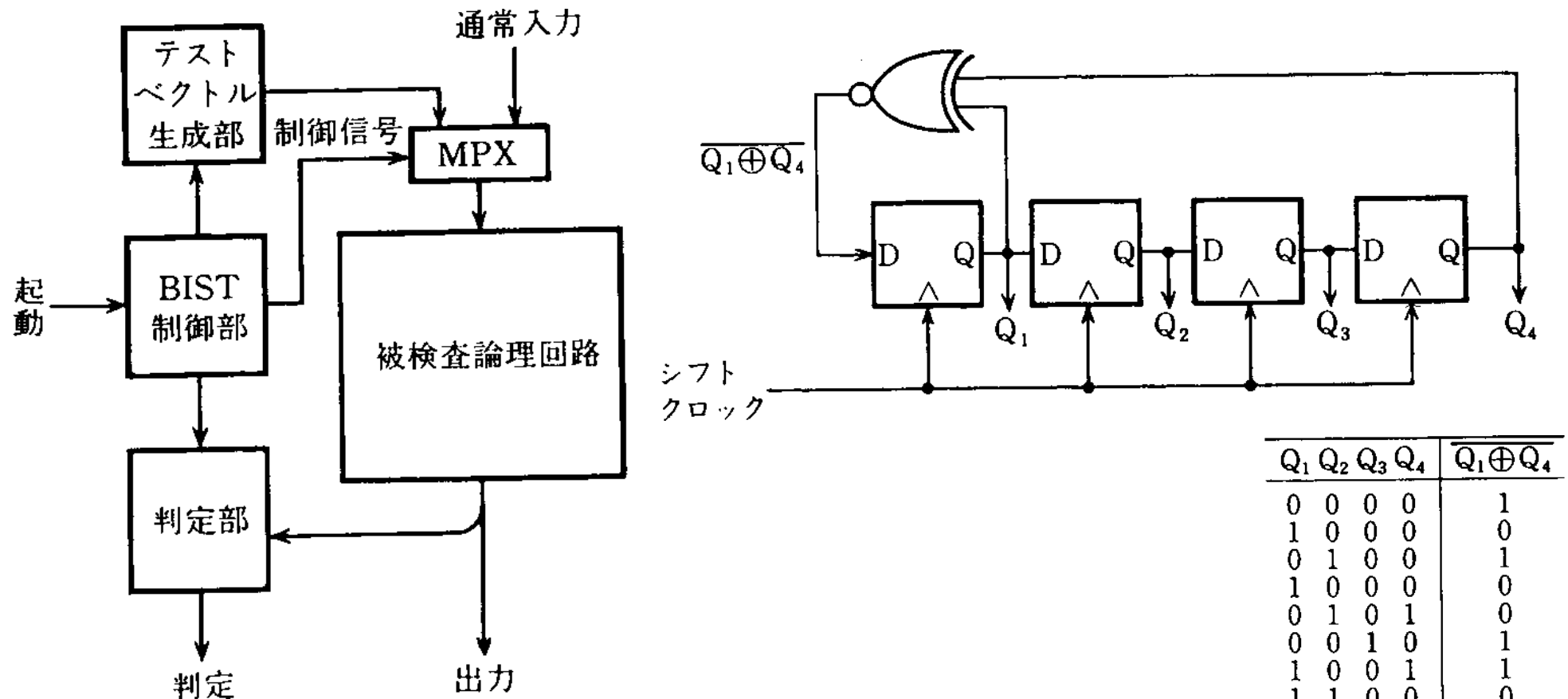


リップル・カウンタ、簡単だが低速



高速カウンタ、あるビットより下位のビットがすべて‘1’のときのみ、クロックでそのビットがトグル

Linear Feedback Shift Register (LFSR)

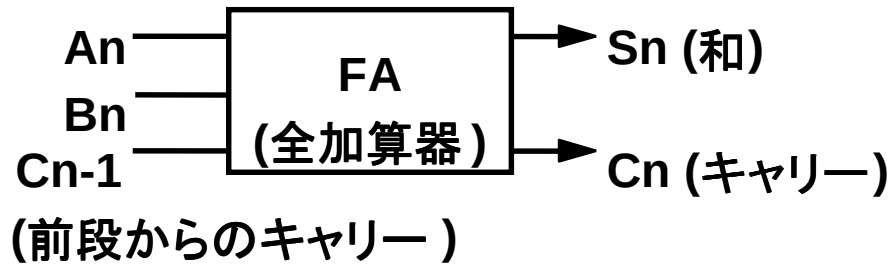


nビットのLFSRは $2^n - 1$ の長さの擬似乱数を発生する。初期値は'1111'以外なら何でも良い。Built-In Self-Test (BIST)などで用いられる。

CMOS超LSIの設計(培風館刊)p.241

Q_1	Q_2	Q_3	Q_4	$\overline{Q_1 \oplus Q_4}$
0	0	0	0	1
1	0	0	0	0
0	1	0	0	1
1	0	0	0	0
0	1	0	1	0
0	0	1	0	1
1	0	0	1	1
1	1	0	0	0
0	1	1	0	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0
0	1	1	1	0
0	0	1	1	0
0	0	0	1	0

全加算器

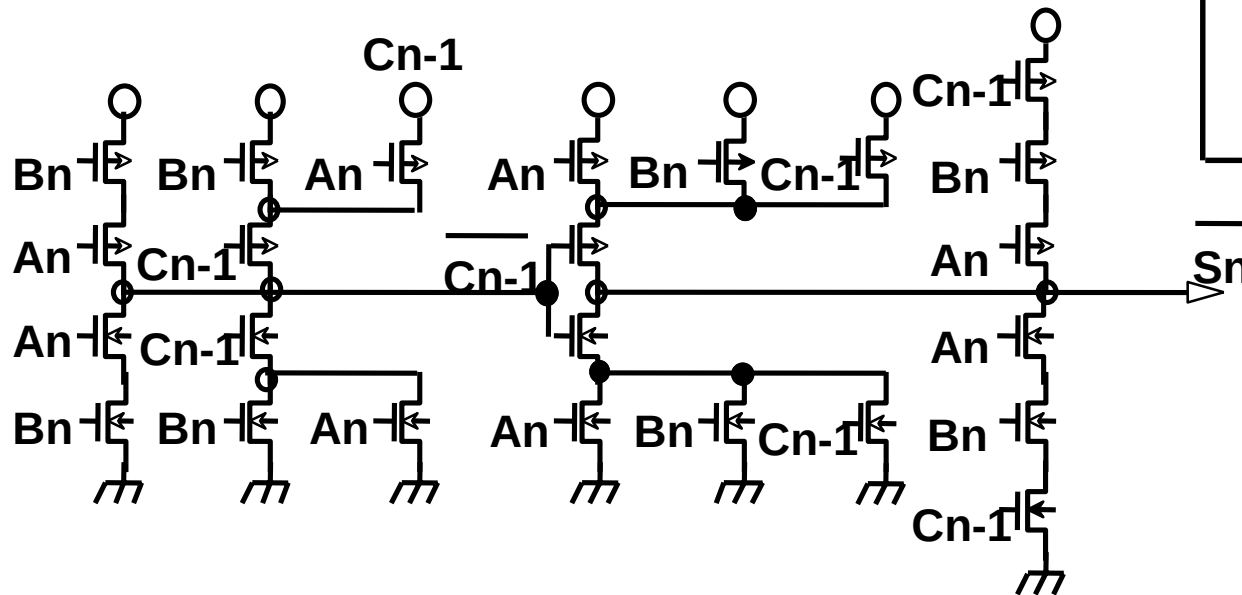


$$C_n = A_n \cdot B_n + B_n \cdot C_{n-1} + C_{n-1} \cdot A_n$$

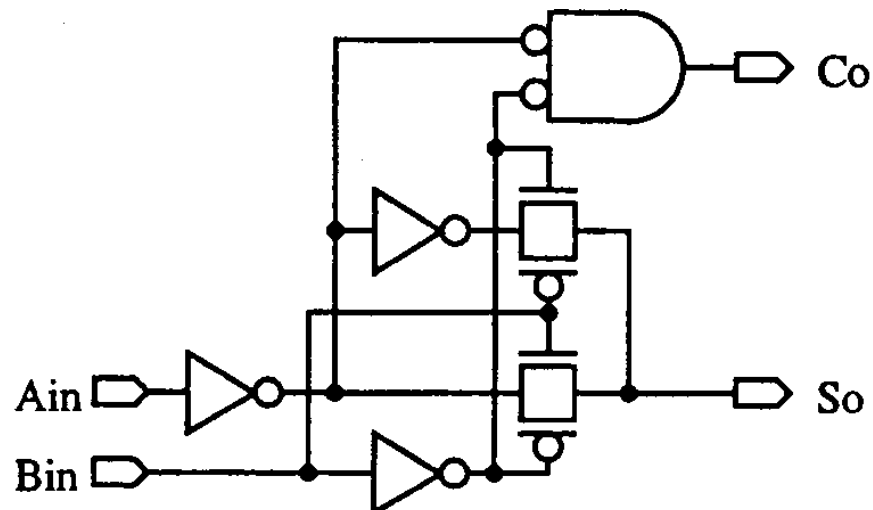
$$S_n = A_n \cdot B_n \cdot C_{n-1} + (A_n + B_n + C_{n-1}) \cdot \overline{C_n}$$

真理値表

A_n	B_n	C_{n-1}	S_n	C_n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

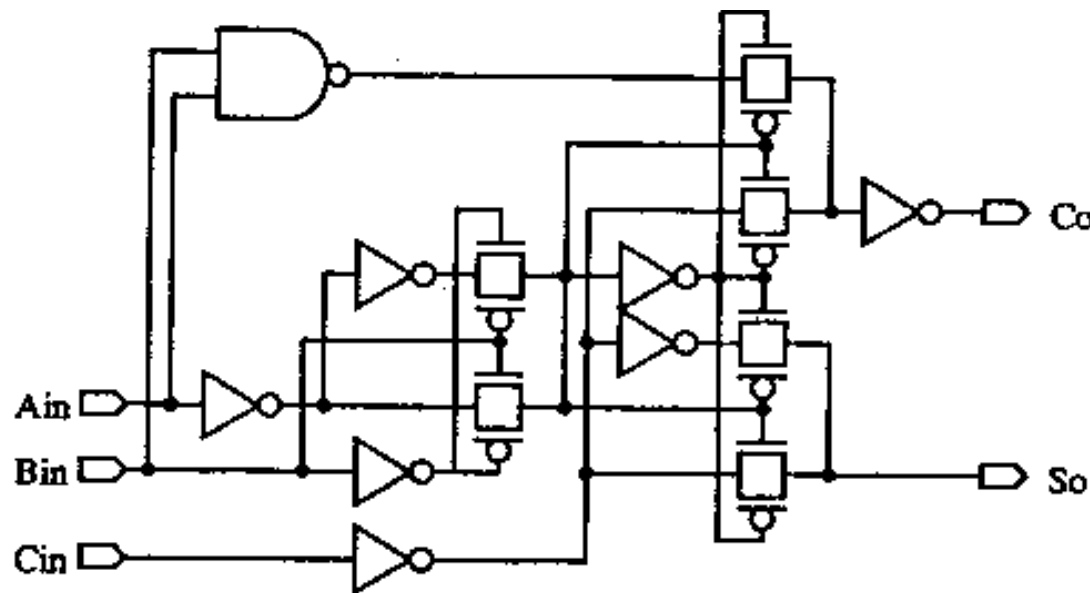


半加算器と全加算器



半加算器:

A_{in} と B_{in} の和が S_o に、桁上げ信号が C_o に出力される。

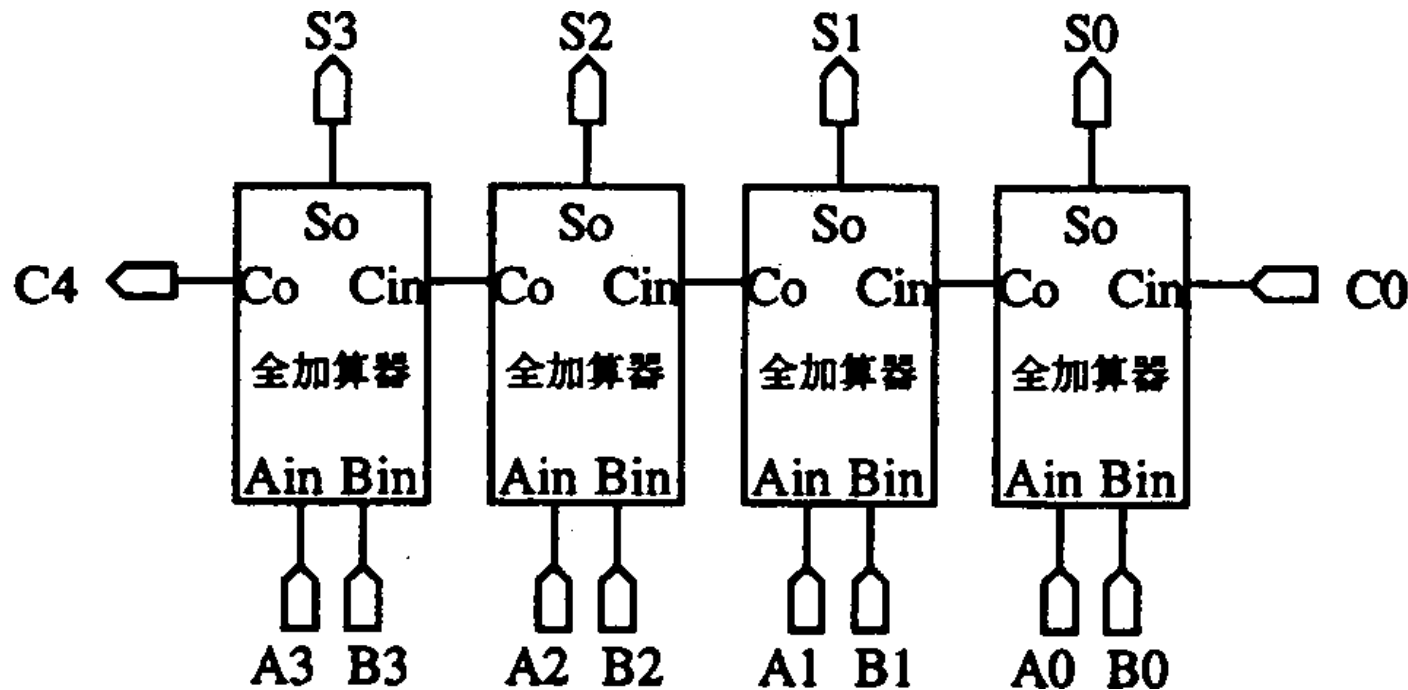


全加算器:

A_{in} と B_{in} と C_{in} (前の段の桁上げ信号) の和が S_o に、桁上げ信号が C_o に出力される。

システムLSI(サイエンスフォーラム社刊)p.281-283

リップルキャリー・アダー



簡単だが、 n ビットの加算器は n 段の全加算器の遅延の和になって低速

加算器の高速化

$$C_i = G_i + P_i * C_{i-1}$$

ただし、 $G_i = X_i * Y_i$

$$P_i = X_i \oplus Y_i$$

ここで G_i は桁上げ生成信号(generator)とよび、 P_i は桁上げ伝搬信号(propagator)とよぶが、機能的には半加算器の C および S と全く等しい。

これを用いて各桁の桁上げ信号 C_i を表すと、

$$C_0 = G_0 + P_0 * C_{-1}$$

$$C_1 = G_1 + P_1 * C_0 = G_1 + G_0 * P_1 + P_0 * P_1 * C_{-1}$$

$$C_2 = G_2 + G_1 * P_2 + G_0 * P_1 * P_2 + P_0 * P_1 * P_2 * C_{-1}$$

$$C_3 = G_3 + G_2 * P_3 + G_1 * P_2 * P_3 + G_0 * P_1 * P_2 * P_3 + P_0 * P_1 * P_2 * P_3 * C_{-1}$$

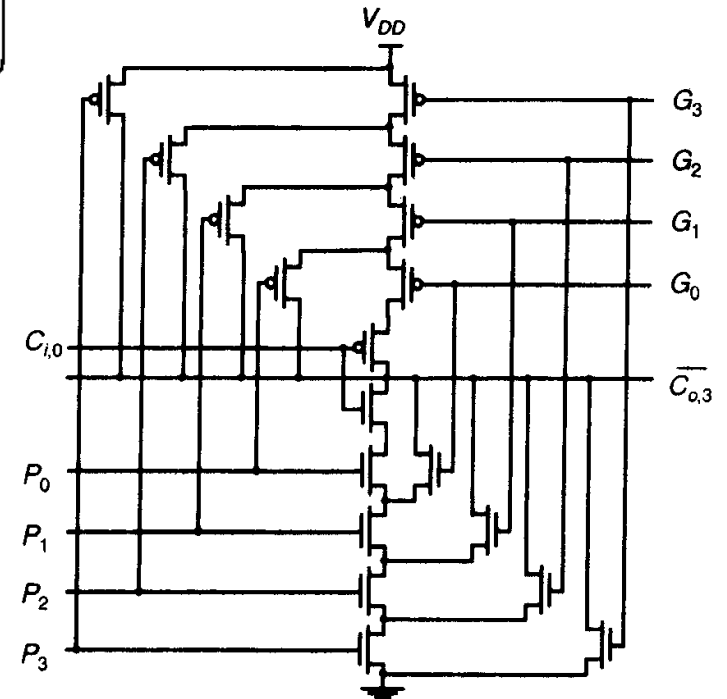
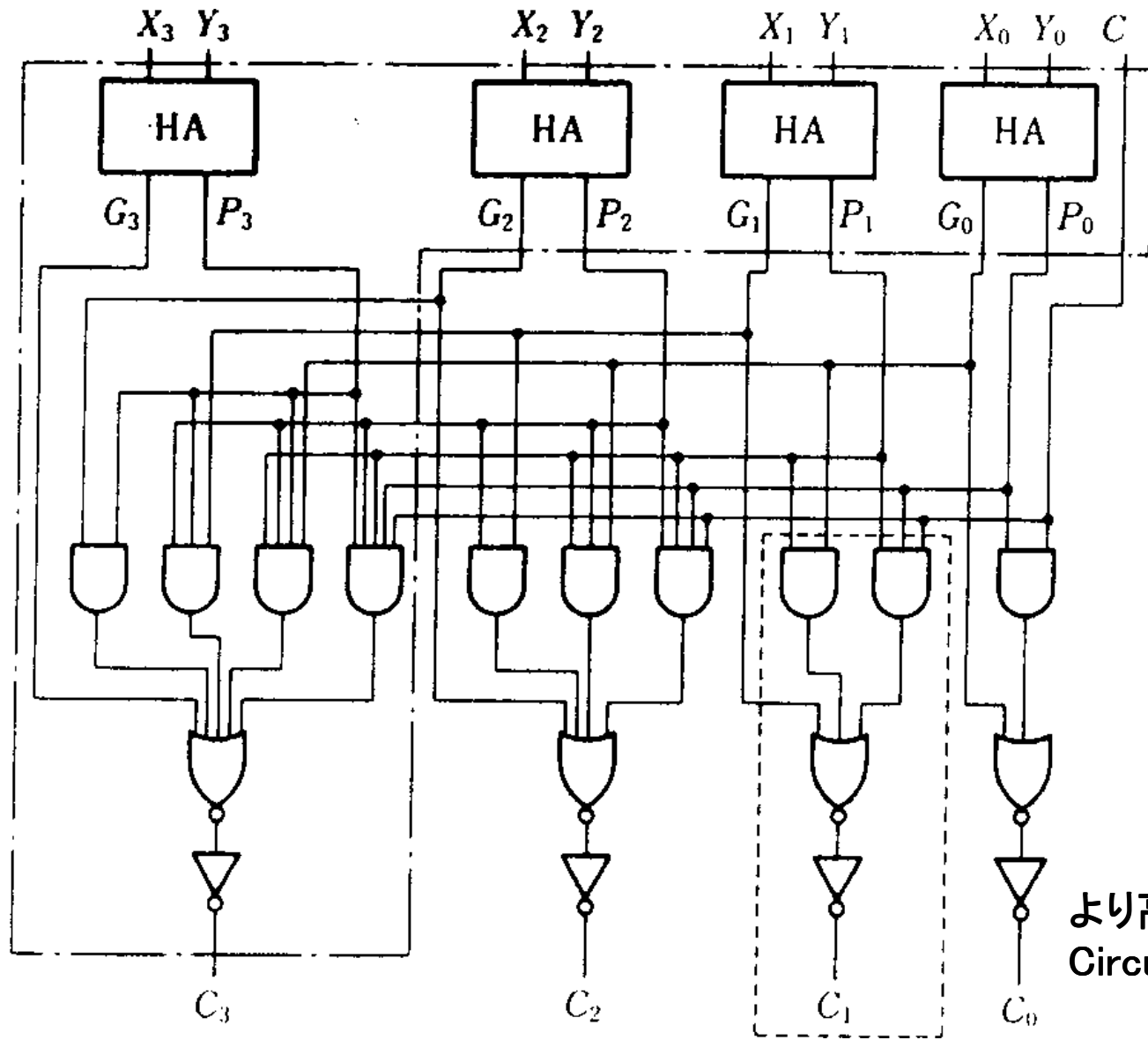
...

$$C_n = G_n + G_{n-1} * P_n + G_{n-2} * P_{n-1} * P_n + \dots$$

$$+ G_0 * P_1 * P_2 * \dots * P_n + P_0 * P_1 * P_2 * \dots * C_{-1}$$

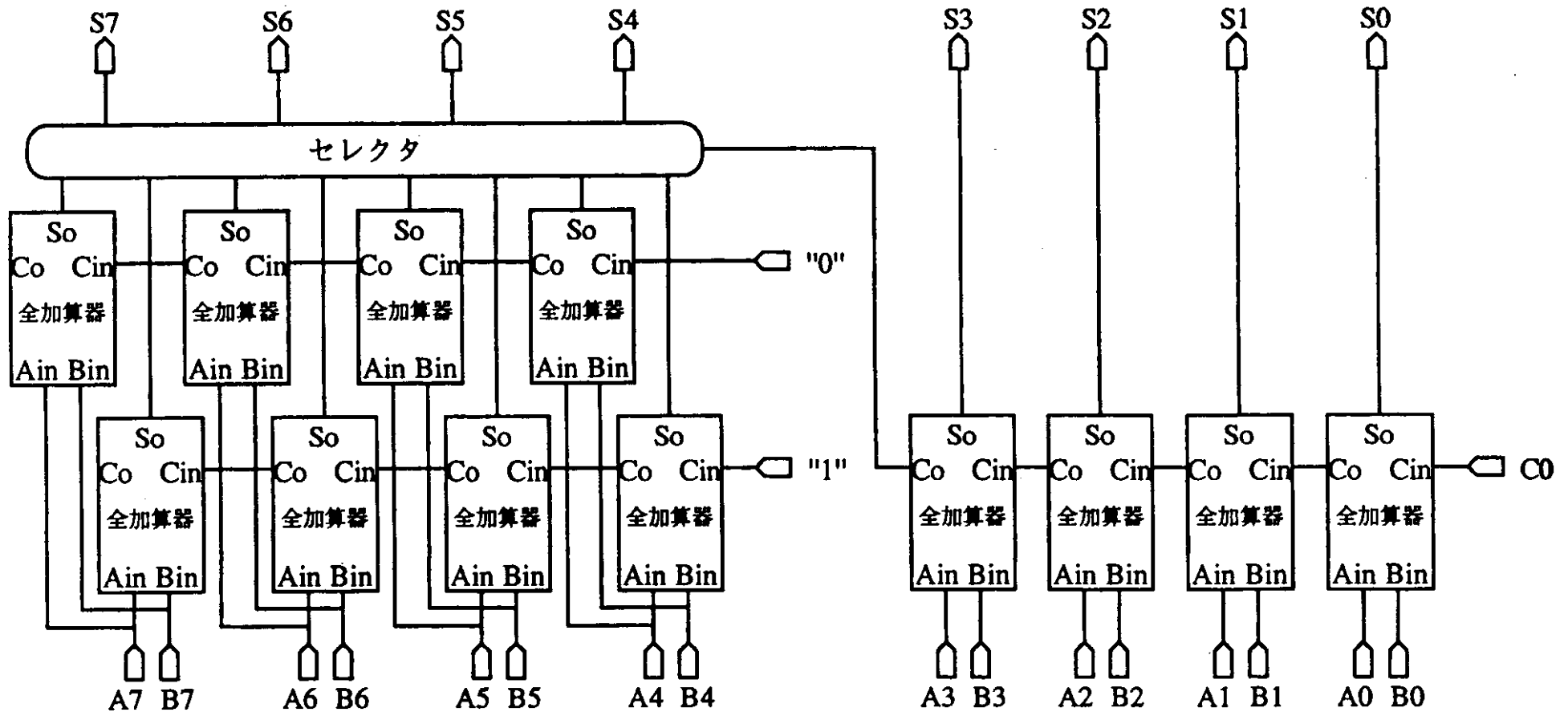
となり、すべての桁の桁上げ信号は自桁の入力値と最下位の桁上げ信号だけで生成できることがわかる。これを桁上げ先見方式(Carry Look Ahead)略してCLA とよぶ。

Carry Look Ahead (CLA)アダー

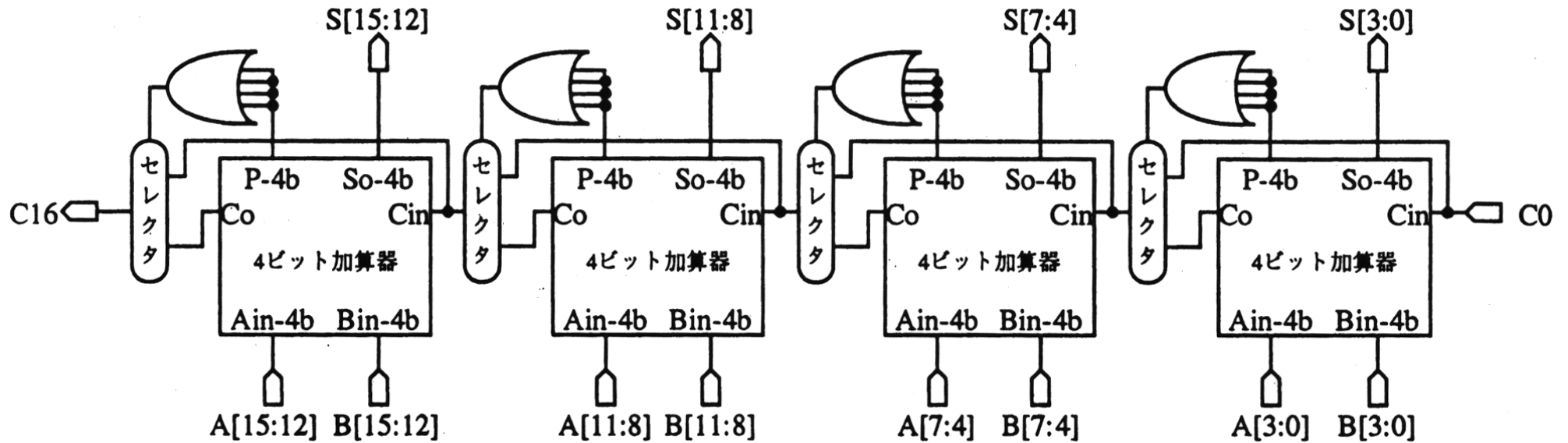


より高速なCLAは“Digital Integrated Circuit”Prentice Hall刊p.407参照

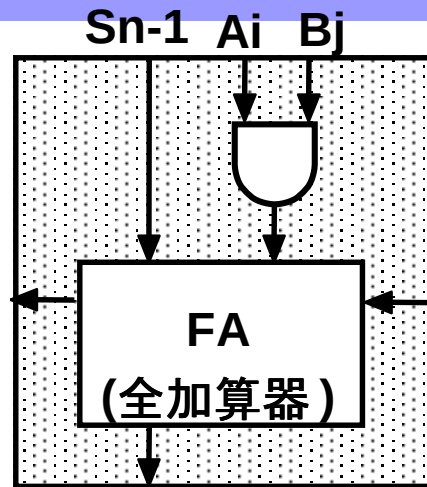
キャリーセレクト・アダー



キャリースキップ・アダー



乗算器

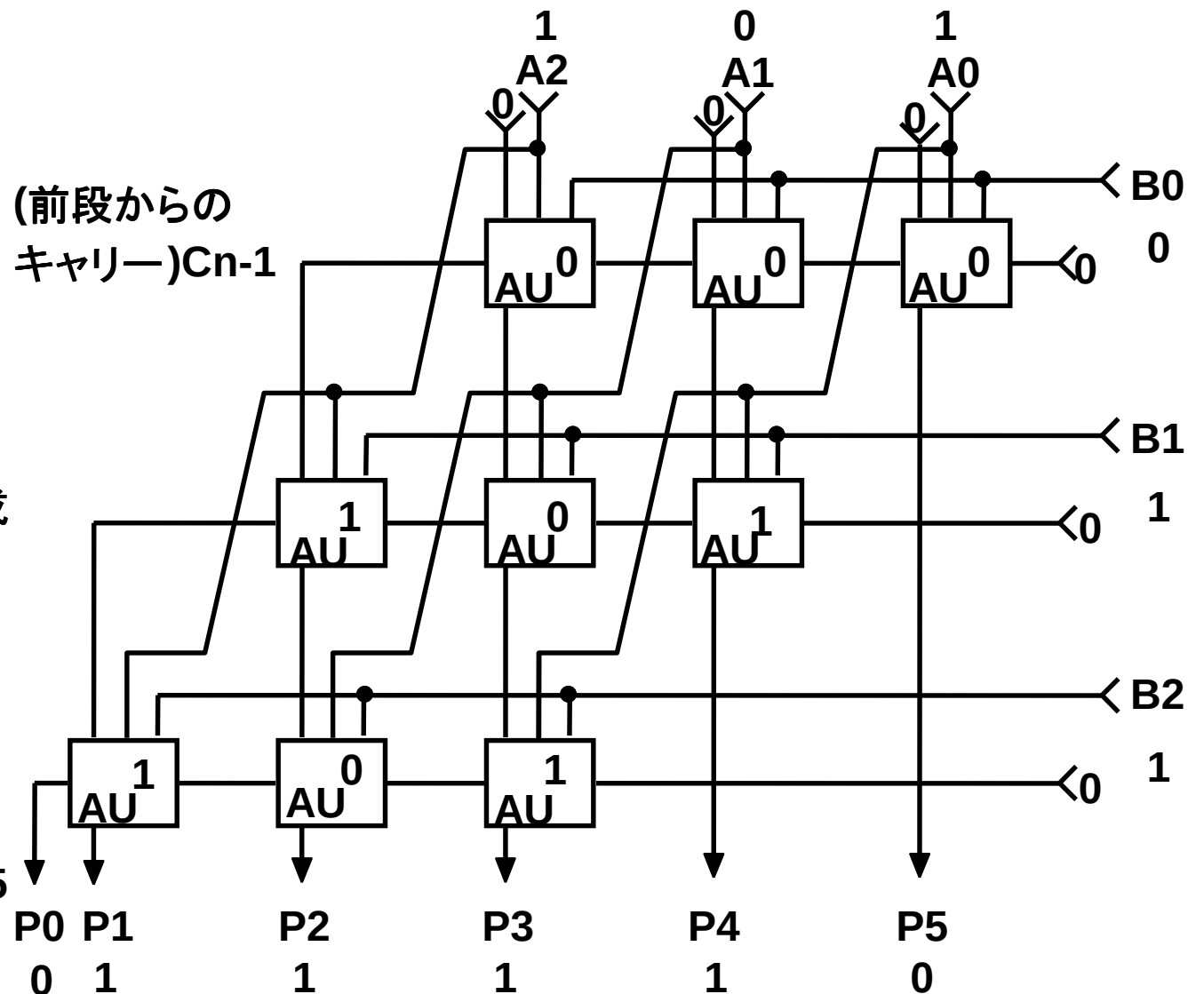


S_n (和)

加算ユニット (AU) の構成

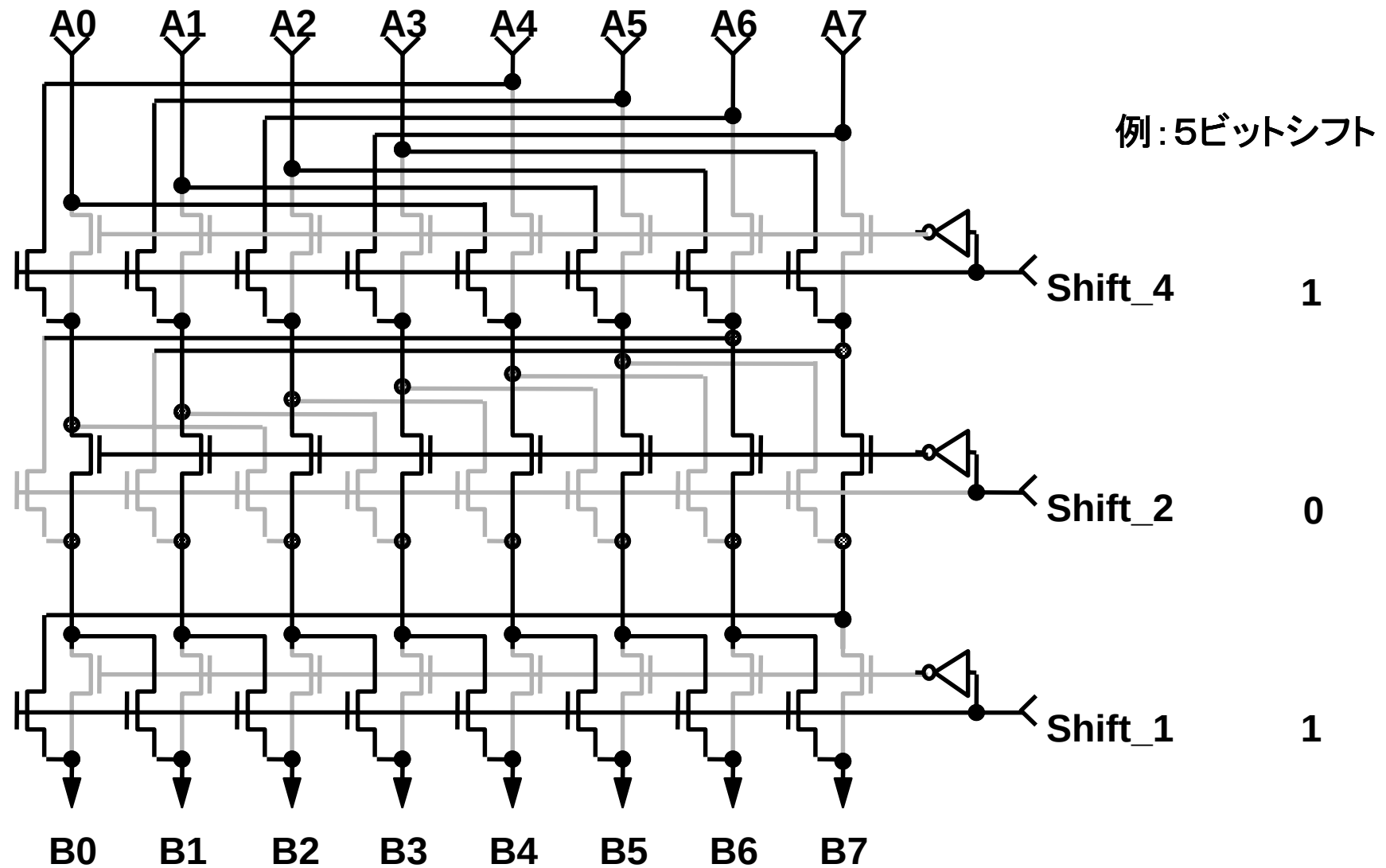
$$\begin{array}{r}
 \text{x)} \quad 1\ 0\ 1\ A_2\ A_1\ A_0 \\
 \quad 1\ 1\ 0\ B_2\ B_1\ B_0 \\
 \hline
 \quad 0\ 0\ 0 \\
 \quad 1\ 0\ 1 \\
 +) 1\ 0\ 1 \\
 \hline
 1\ 1\ 1\ 1\ 0\ P_1\ P_2\ P_3\ P_4\ P_5
 \end{array}$$

計算例



より高速な乗算器は“Digital Integrated Circuit”Prentice Hall刊p.413参照

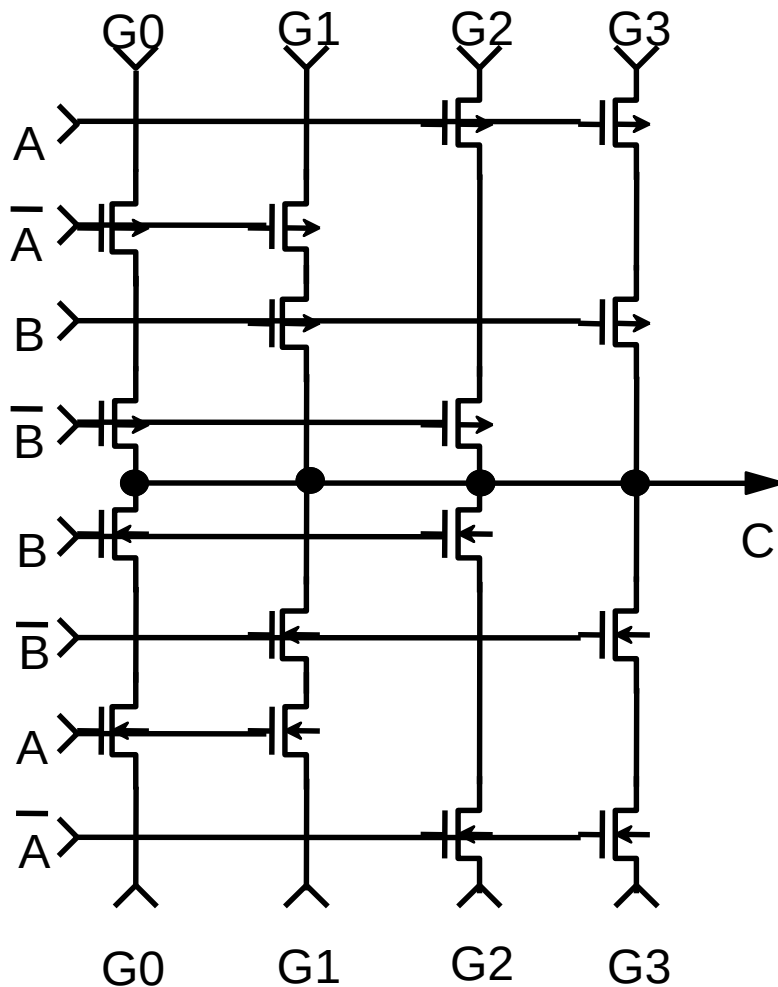
バレルシフタ



ALU : Arithmetic Logic Unit

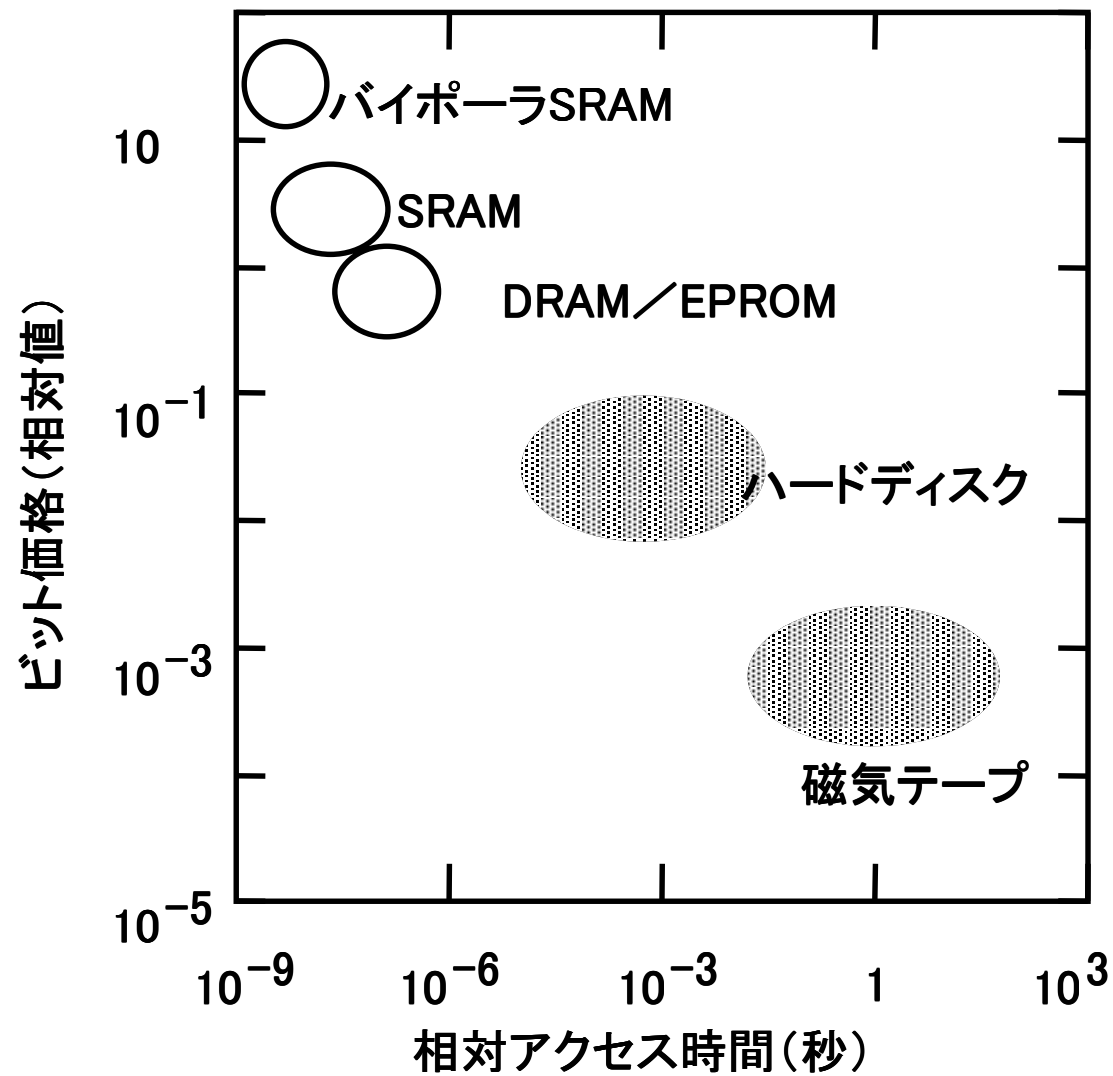
(論理演算ユニット)

真理値表



				B→	1	0	1	0	
				A→	1	1	0	0	
G0	G1	G2	G3			出力C			出力C
0	0	0	0		0	0	0	0	0
0	0	0	1		0	0	0	1	NOR(A,B)
0	0	1	0		0	0	1	0	A<B
0	0	1	1		0	0	1	1	INV(A)
0	1	0	0		0	1	0	0	A>B
0	1	0	1		0	1	0	1	INV(B)
0	1	1	0		0	1	1	0	EXOR(A,B)
0	1	1	1		0	1	1	1	NAND(A,B)
1	0	0	0		1	0	0	0	AND(A,B)
1	0	0	1		1	0	0	1	EXNOR(A,B)
1	0	1	0		1	0	1	0	B
1	0	1	1		1	0	1	1	A<=B
1	1	0	0		1	1	0	0	A
1	1	0	1		1	1	0	1	A>=B
1	1	1	0		1	1	1	0	OR(A,B)
1	1	1	1		1	1	1	1	1

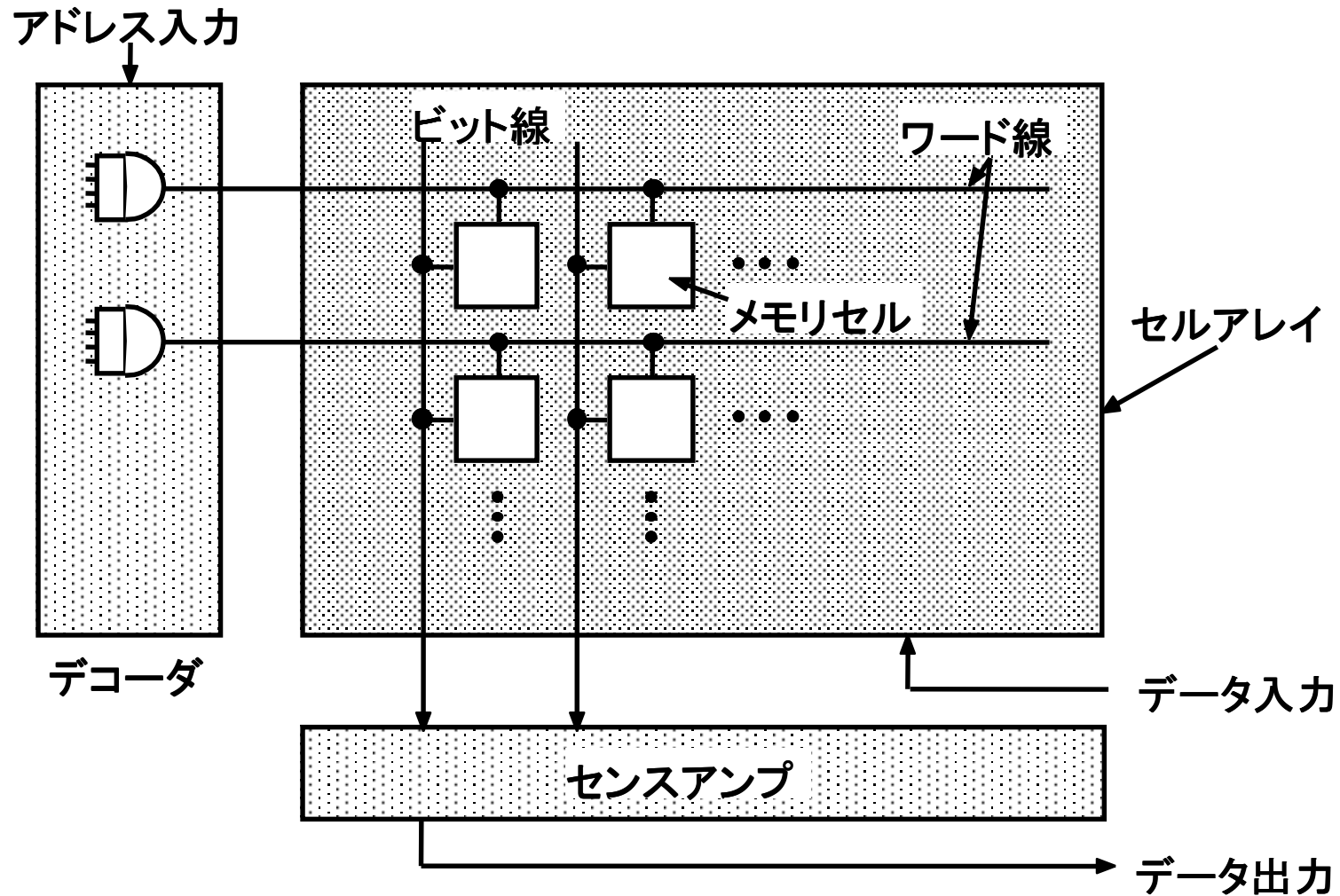
各種メモリのコストと速度比較



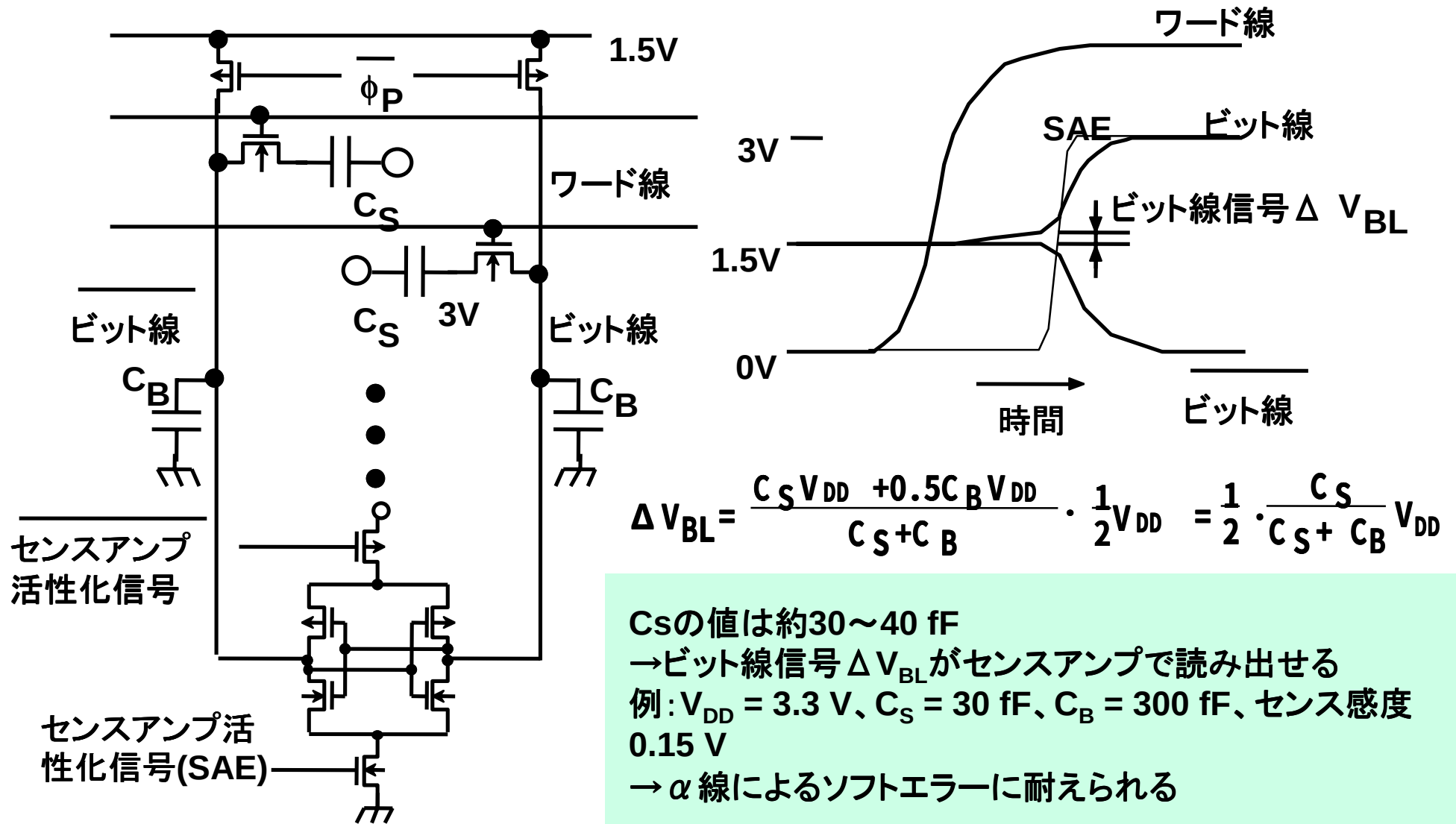
半導体メモリの分類

大分類	種別	コメント
RAM (Random Access Mem.) (書込み回数に制限なし)	Dynamic RAM Static RAM	高密度、定期的リフレッシュ 高速
ROM (Read Only Memory) (書込み回数に上限あり)	Mask ROM EPROM(紫外線消去) EEPROM(電氣的消去) Flash EEPROM 高誘電体メモリ	Kanji ROMなど Erasable Programmable ROM Electrically EPROM (~10 ⁶ 回) 一括消去型EEPROM、高密度 分極を利用(~10 ⁸ 書換え可能)
ASM (Application Specific Mem.)	CAM(連想メモリ) キャッシュメモリ レジスタ・ファイル ビデオRAM	Content Addressable Memory Cache Memory Register File (プロセッサなど) 画面表示に便利なDRAM
その他	多ポートメモリ FIFO	多数のアドレスでアクセス可 First-In First-Out

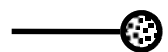
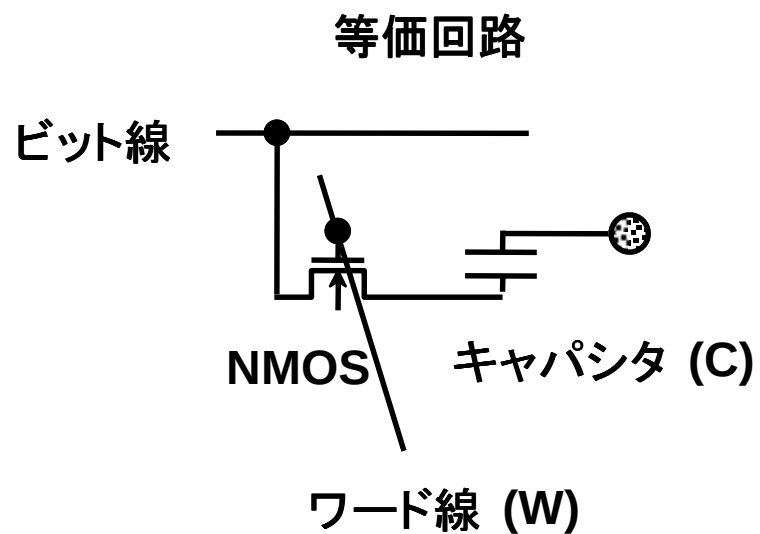
一般的なメモリの構成



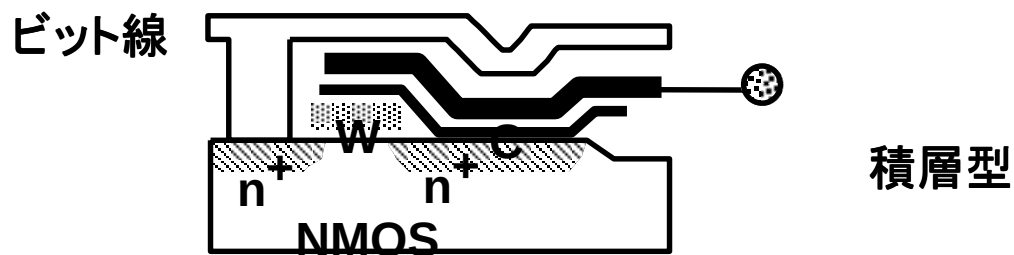
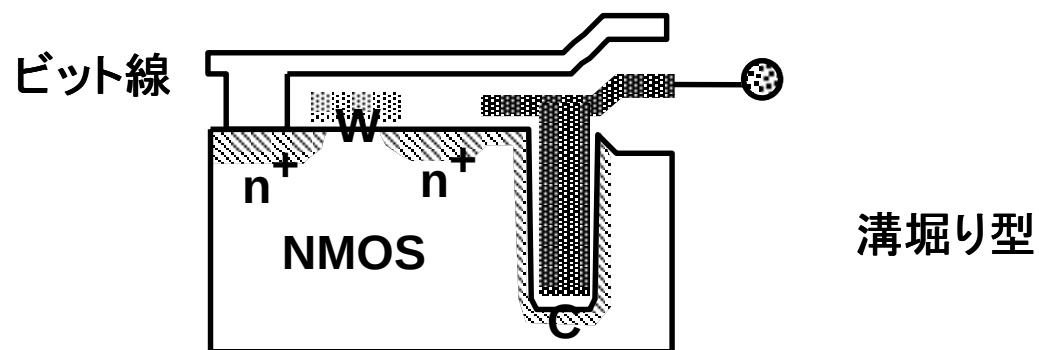
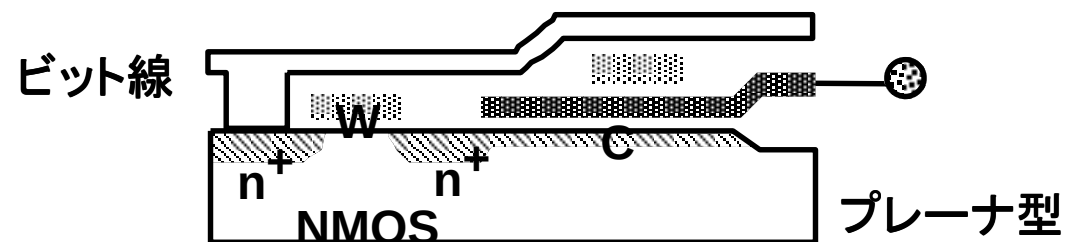
DRAM (ダイナミックRAM)の動作原理



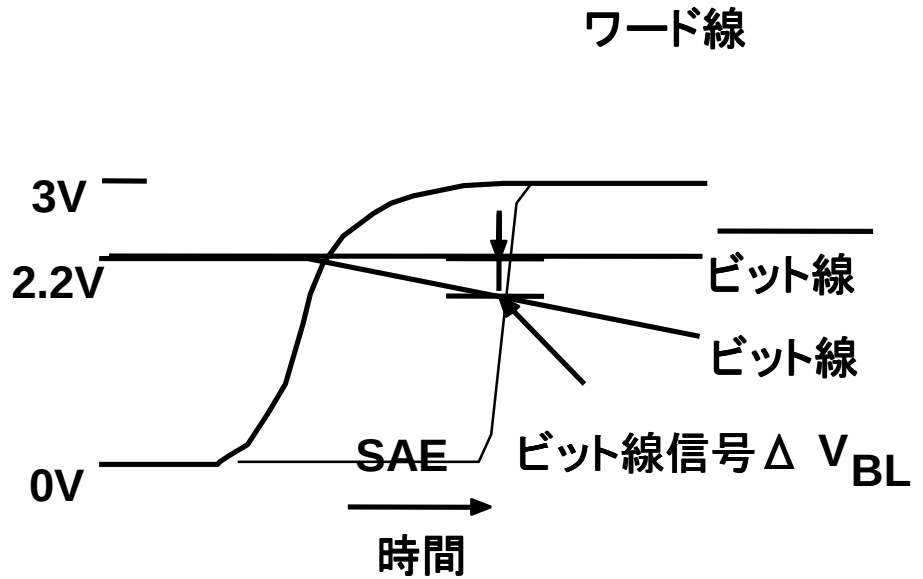
DRAMメモリセル



プレート電位は V_{SS} 、 V_{DD}
 $\rightarrow (V_{SS} + V_{DD})/2$

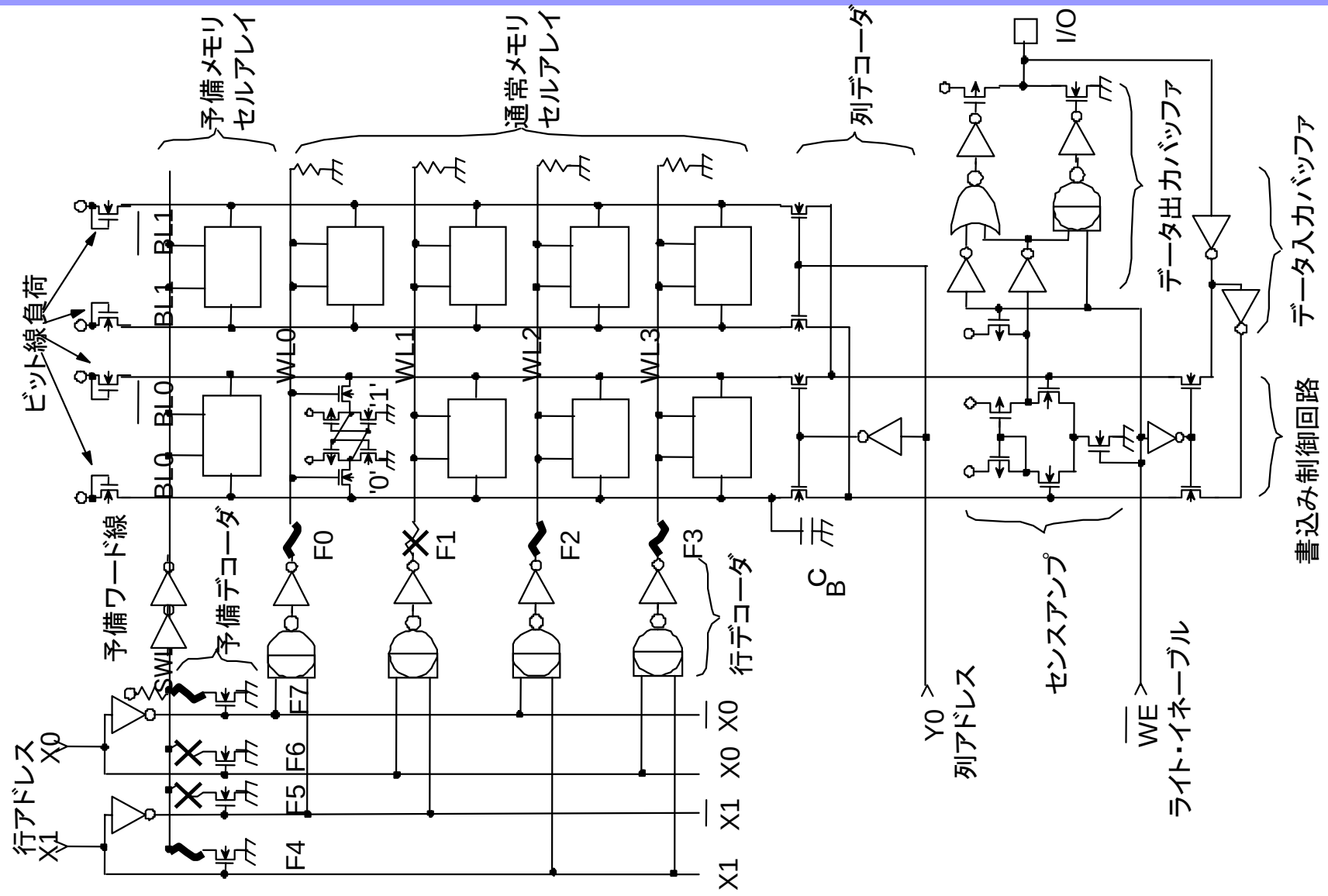


CONCLUSIONS



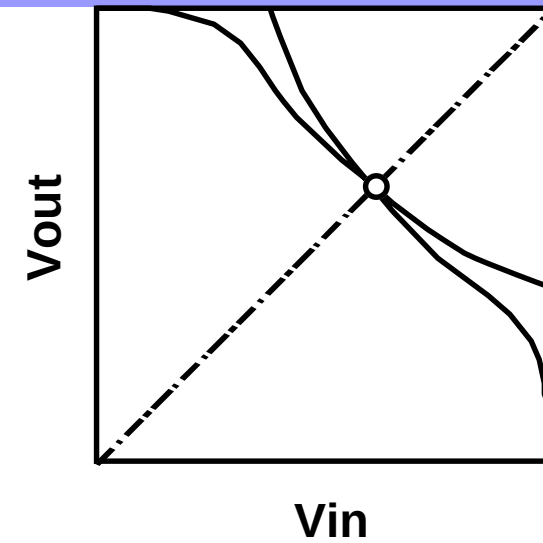
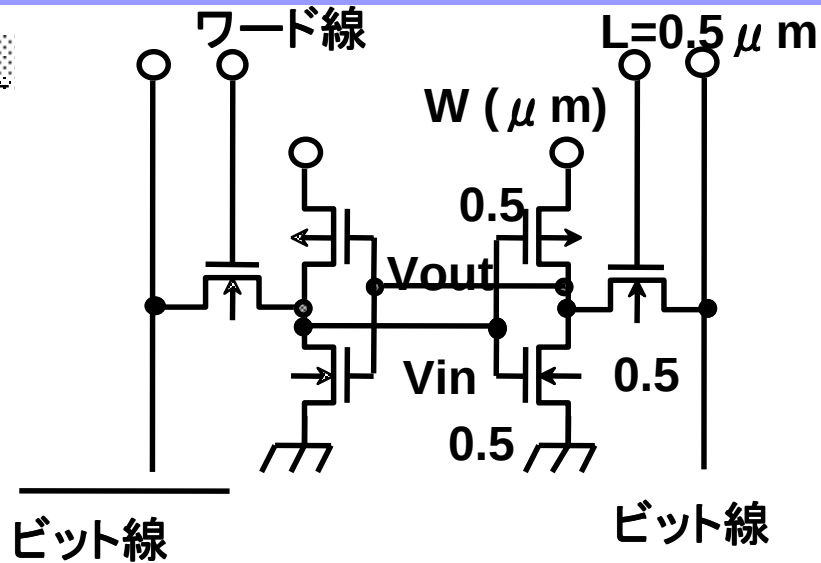
ビット線遅延 $\sim C_B \Delta V_{BL} / I_{cell}$

SRAMの例

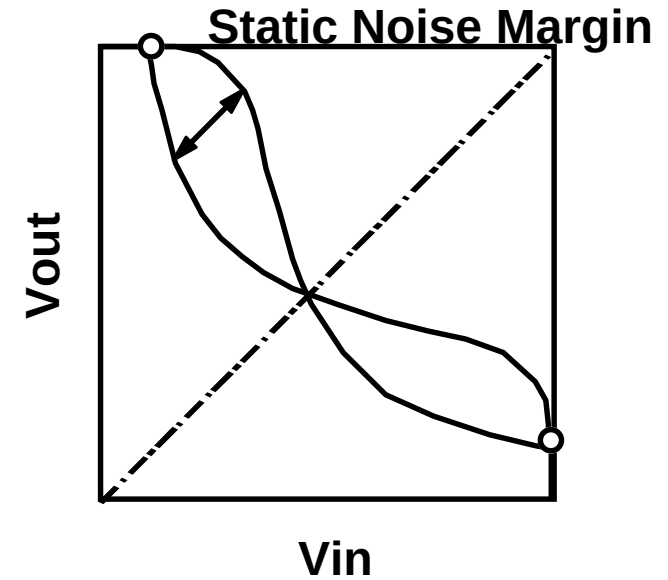
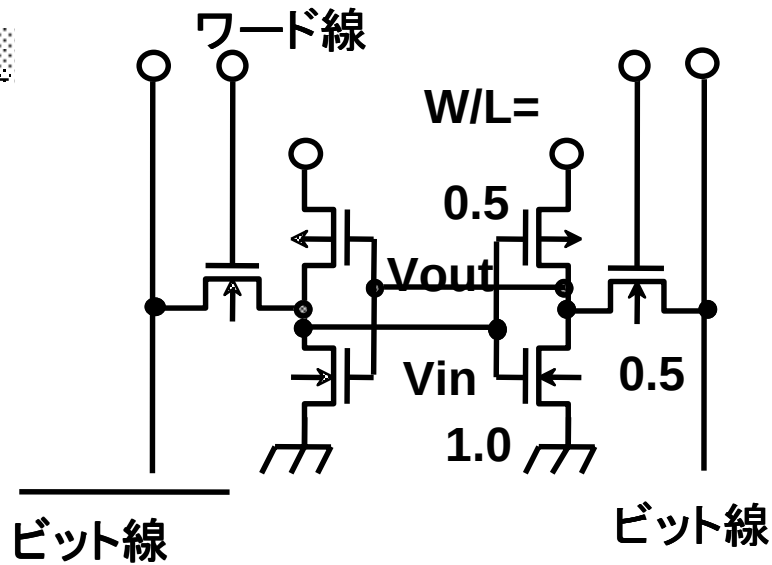


SRAMセル設計の注意点

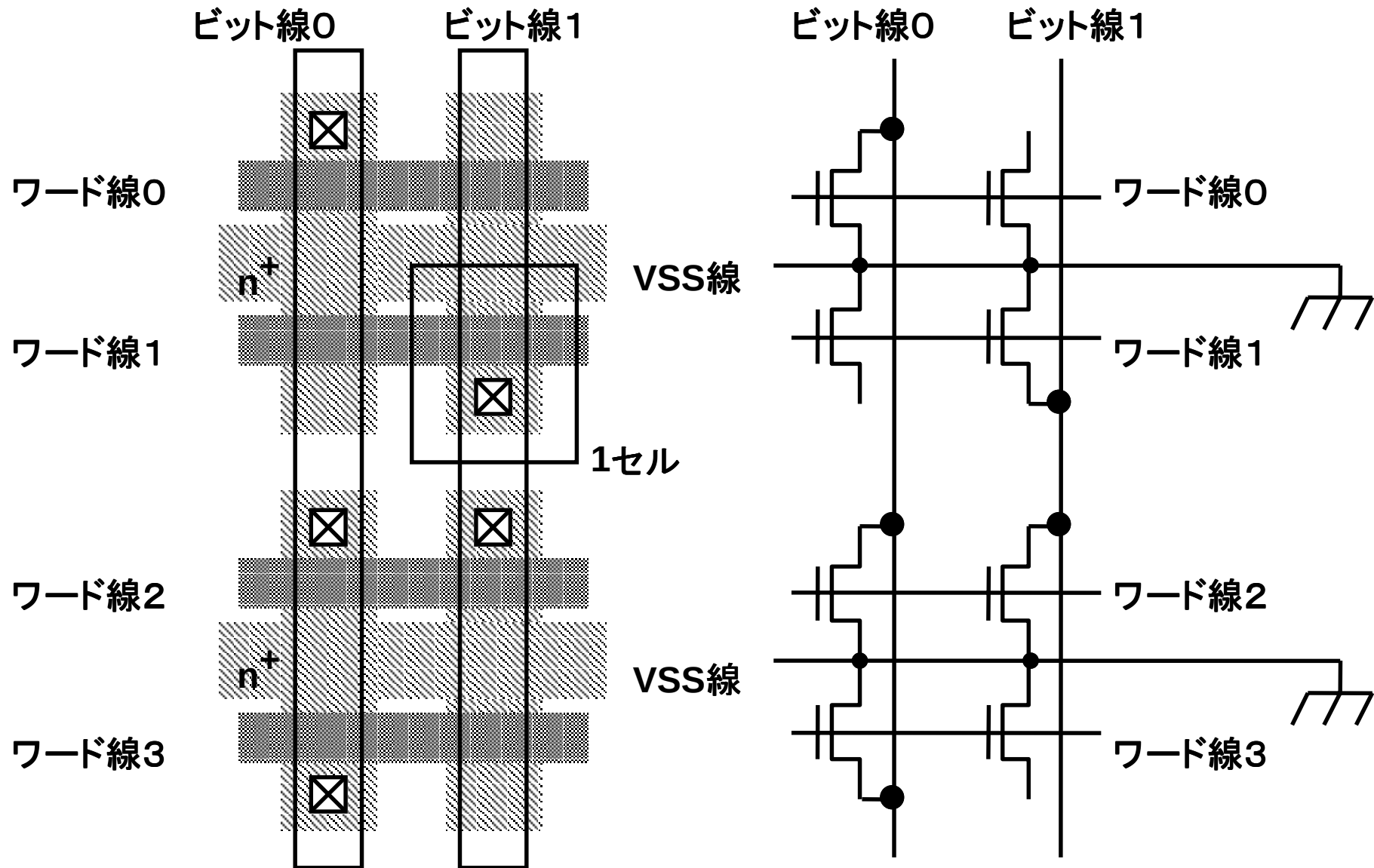
悪い設計



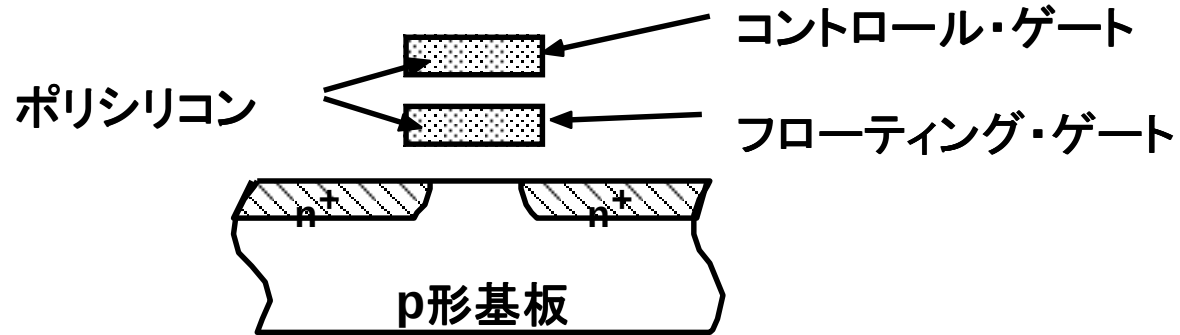
良い設計



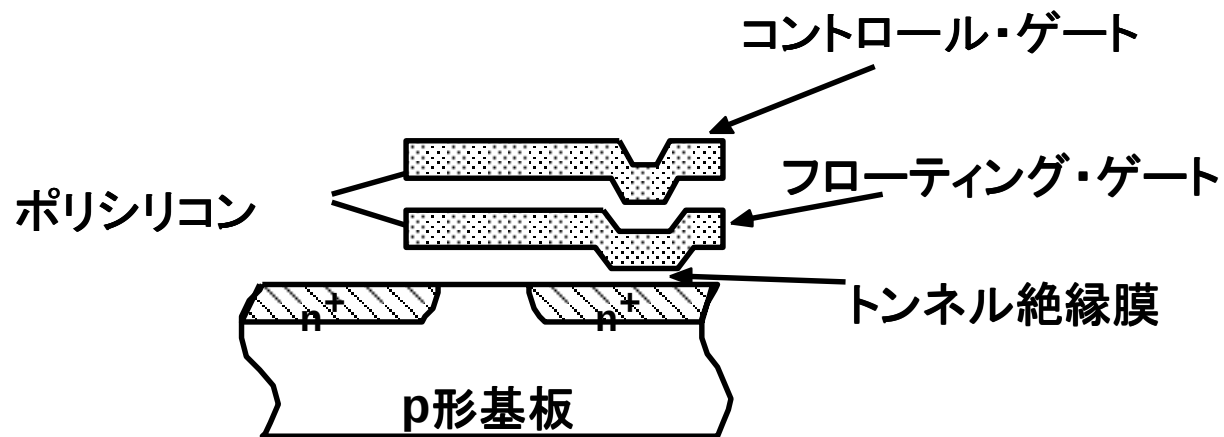
マスクROMセル(コンタクト・プログラム方式)



EPROMセルとEEPROMセルの例

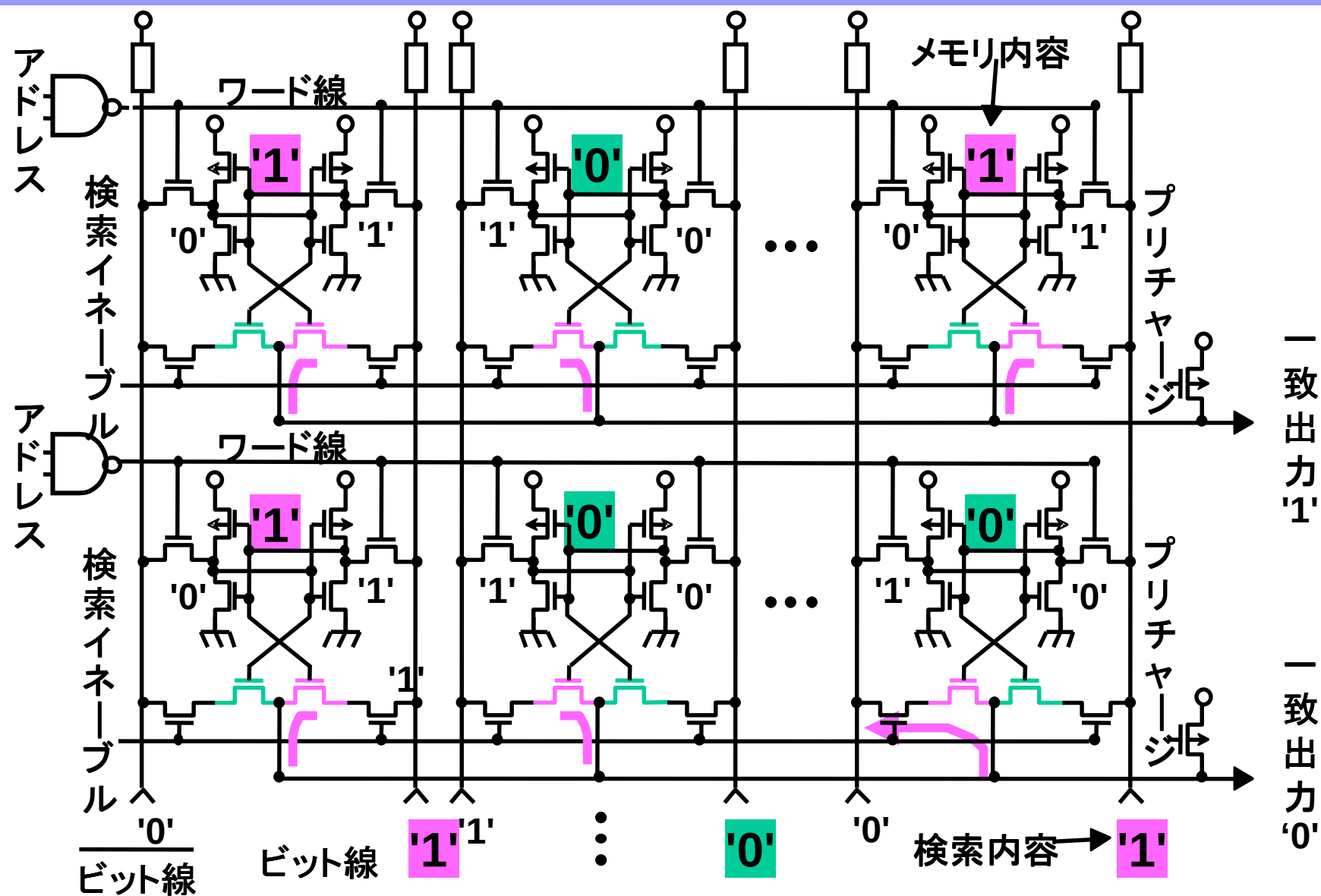


EPROMセル

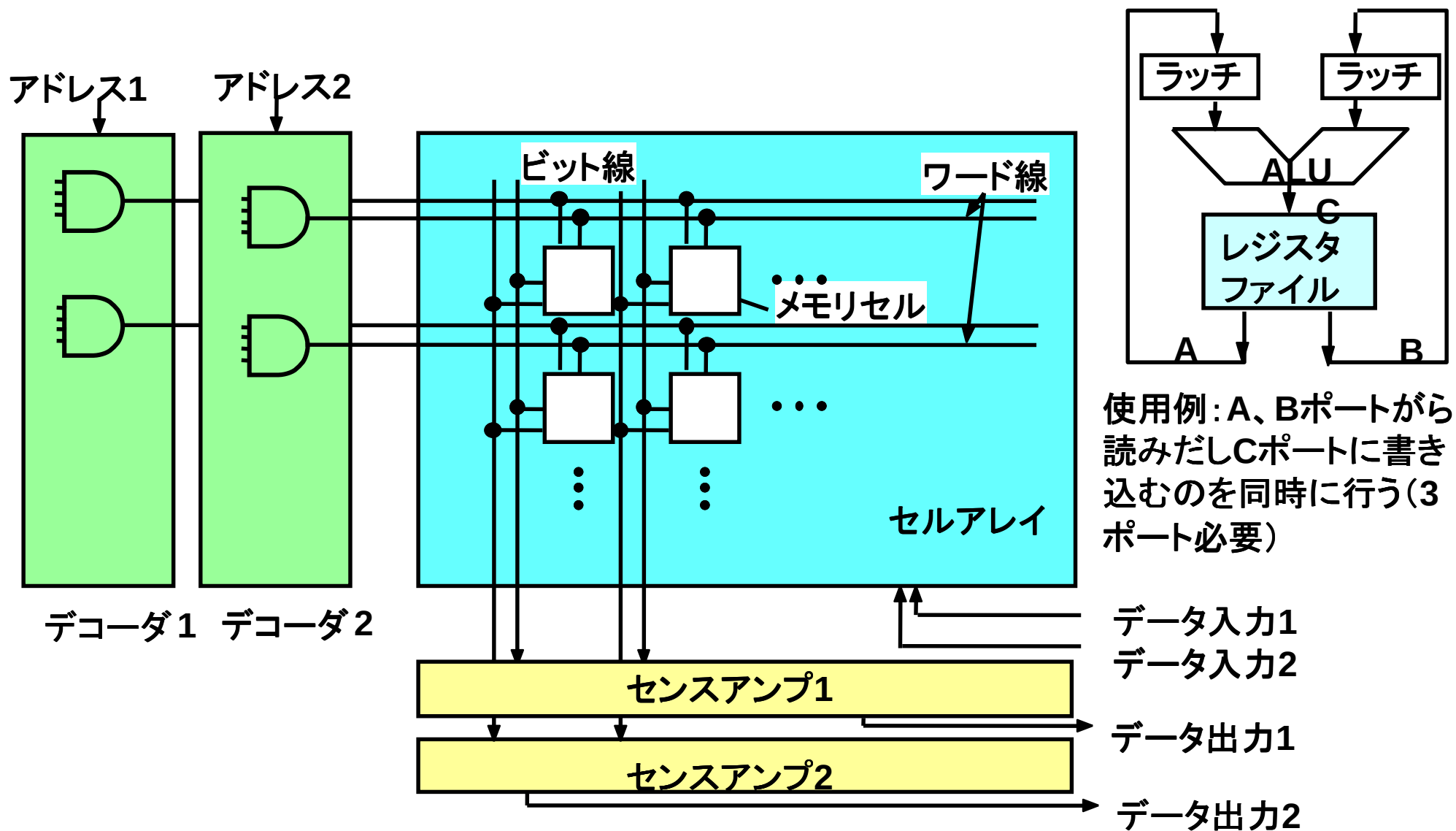


EEPROMセル

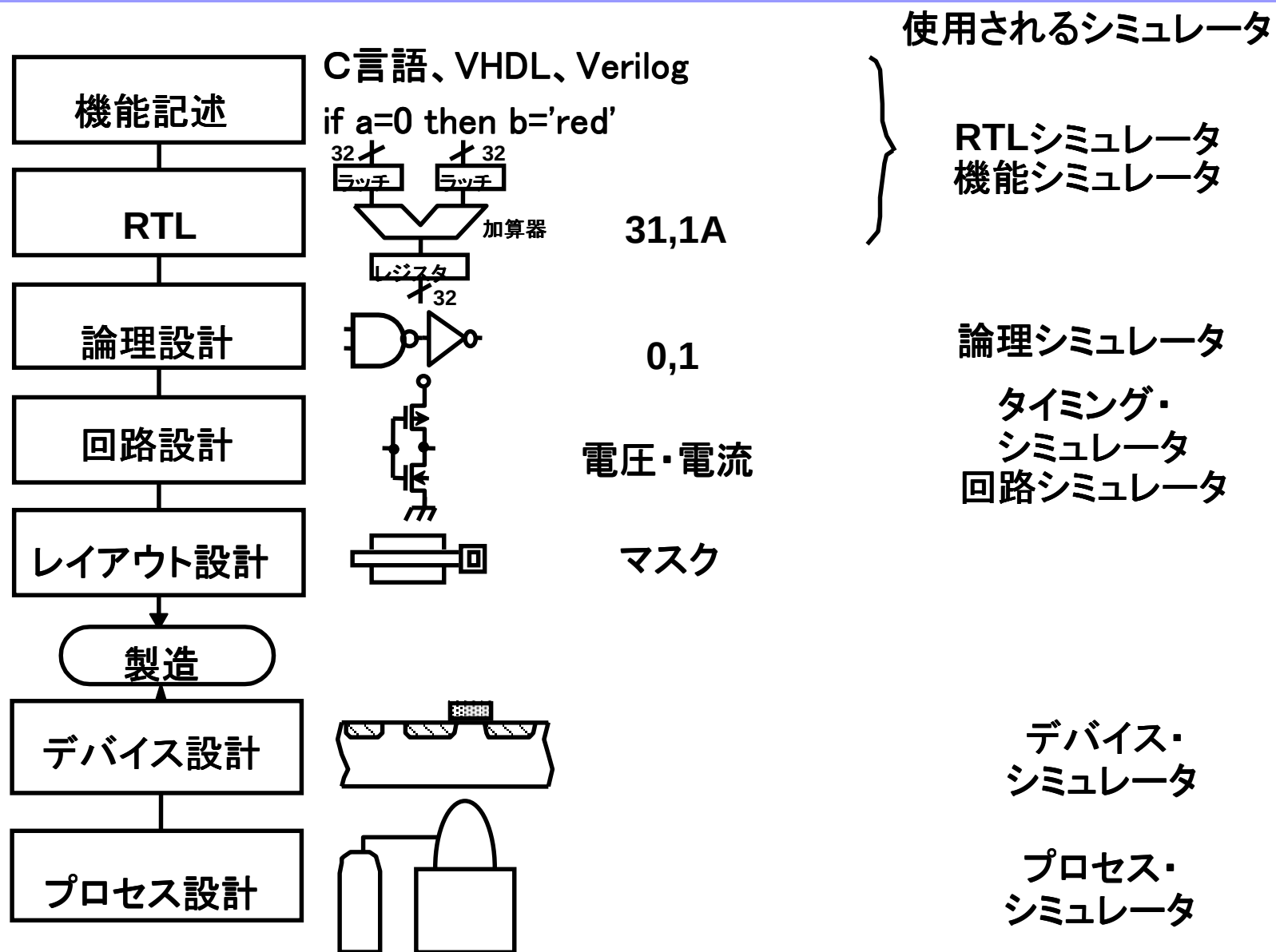
連想メモリとその動作原理



多ポートメモリ(2ポートの例)



設計フローとシミュレータ



各種シミュレータ概要

レベル	入力データ	目的	代表例
RTLシミュレータ 機能シミュレータ	・ブロック機能記述 ・ブロック接続情報	・システムの動作予測 ・ブロック接続の検証 ・ブロック接続の最適化	Verilog VHDL
論理シミュレータ	・各ゲートの論理動作 ・ゲート接続情報 ・ゲートのタイミング	・論理動作予測 ・ゲート接続情報の検証 ・ゲート接続の最適化 ・消費電力解析	Tsim PathMill Crystal PowerMill
回路シミュレータ タイミング・ シミュレータ	MOS電圧 ・電流特性・寄生素子パラメータ ・各種容量・抵抗 ・回路接続情報など	・回路の電圧・電流波 ・素子定散の最適化 ・マスクパターンの検証	SPICE AWESim TimeMill Rsim
デバイス・ シミュレータ	・電極形状 ・酸化膜形状 ・不純物分布など	・しきい値や耐圧予測 ・微細MOSFETの電気的特性 ・配線や拡散層の容量／抵抗 ・ラッチアップや信頼性解析	GEMINI FCAP PISCES II MOS2C
プロセス・ シミュレータ	・熱工程 ・薬品工程 ・イオン打ち込み条件 ・化学的雰囲気など	・不純物分布の予測 ・イオン注入条件の最適化 ・仕上がり断面形状予測 ・露光条件の最適化	SUPREM SUPRA SAMPLE SOAP

回路シミュレータ: SPICE入力例

***** DELAY OF INVERTERS *****

***** SUBCIRCUIT DEFINITION *****

```
.SUBCKT INV 1 2 100
MP1  2 1 100 100 P05 L=0.5U W=20U
MN1  2 1 0 0 N05 L=0.5U W=10U
.ENDS INV
```

***** CIRCUIT DESCRIPTION *****

```
XINV1 1 2 100 INV
C2  2 0 0.5P
XINV2 1 3 100 INV
C3  3 0 1P
```

***** APPLIED VOLTAGE *****

```
VDD 100 0 DC 3
VIN 1 0 PWL(0 0 0.2N 3 2N 3 2.2N 0)
```

***** SPICE COMMANDS *****

```
.PRINT TRAN V(1) V(2) V(3)
.TRAN 0.1N 4N
```

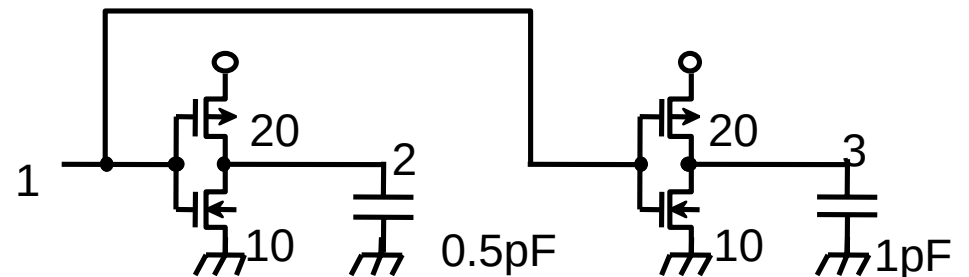
***** 0.5um NMOS MODEL (仮想的な例) ***

```
.MODEL N05 NMOS
+ LEVEL=3 TPG=+1
+ GAMMA=1.3 THETA=1.5 KAPPA=1.8 NSS=0.0
+ ETA=0.002 DELTA=0.0 UO=1000 VMAX=5E5
+ VTO=0.7 TOX=1.1E-08 XJ=0.15U LD=0U NSUB=3E+17
+ CJ=1E-03 MJ=0.3 PB=1.0 CGSO=4E-10 CGDO=4E-10
```

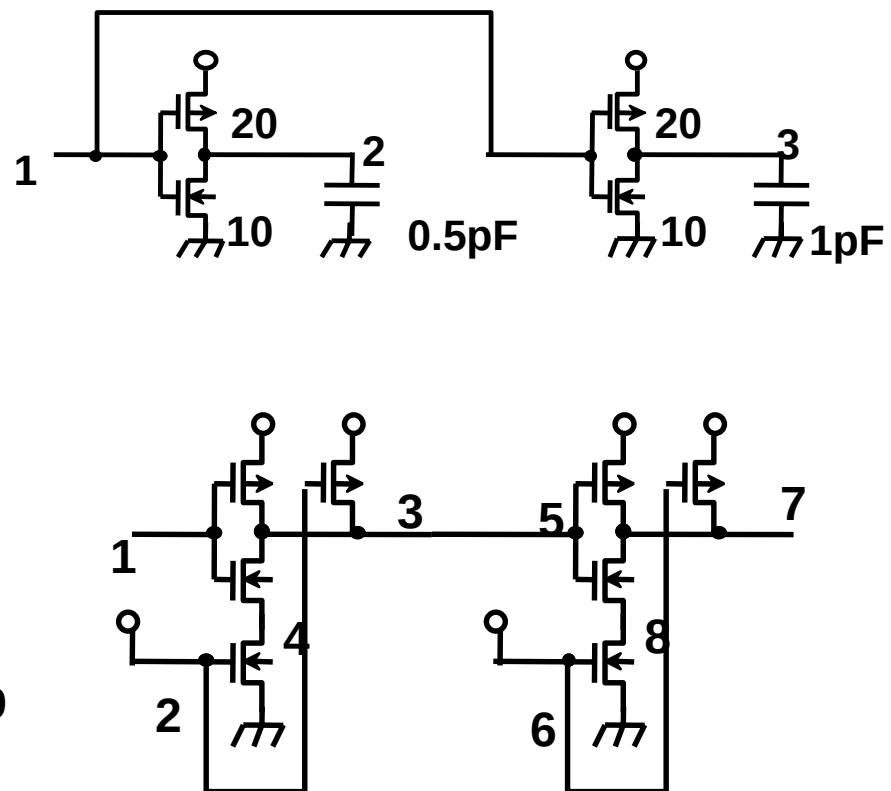
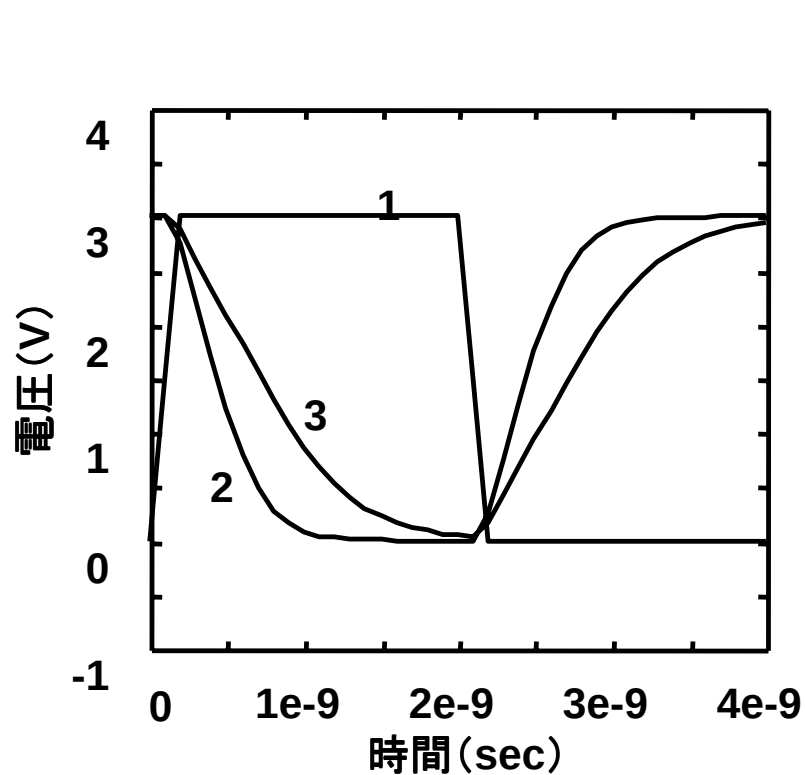
***** 0.5um PMOS MODEL (仮想的な例) ***

```
.MODEL P05 PMOS
+ LEVEL=3 TPG=-1
+ GAMMA=1.6 THETA=0.9 KAPPA=2.4 NSS=0.0
+ ETA=0.0014 DELTA=0.0 UO=250 VMAX=6E5
+ VTO=-0.9 TOX=1.1E-08 XJ=0.2U LD=0.05U NSUB=6E+16
+ CJ=1.2E-3 MJ=0.4 PB=1.0 CGSO=5E-10 CGDO=5E-10
```

.END



回路シミュレータ: SPICE入力例



PMOS : 20 μm / 0.5 μm
NMOS : 10 μm / 0.5 μm

NAND ゲート用SPICE入力データ

***** DELAY OF NAND GATE *****

***** SUBCIRCUIT DEFINITION *****

```
.SUBCKT NAND 1      2      3      100
MP1      3      1      100      100      P05      L=0.5U      W=20U
MP2      3      2      100      100      P05      L=0.5U      W=20U
MN1      3      1      4        0        N05      L=0.5U      W=10U
MN2      4      2      0        0        N05      L=0.5U      W=10U
.ENDS     NAND
```

***** CIRCUIT DESCRIPTION *****

```
XNAND1 1      100 3      100      NAND
XNAND2 3      100 7      100      NAND
```

***** APPLIED VOLTAGE *****

```
VDD      100 0      DC      3
VIN       1   0      PWL(0 0 0.2N 3 2N 3 2.2N 0)
```

***** SPICE COMMANDS *****

```
.PRINT     TRAN V(1) V(3) V(7)
.TRAN      0.1N 4N
```

設計手法の比較

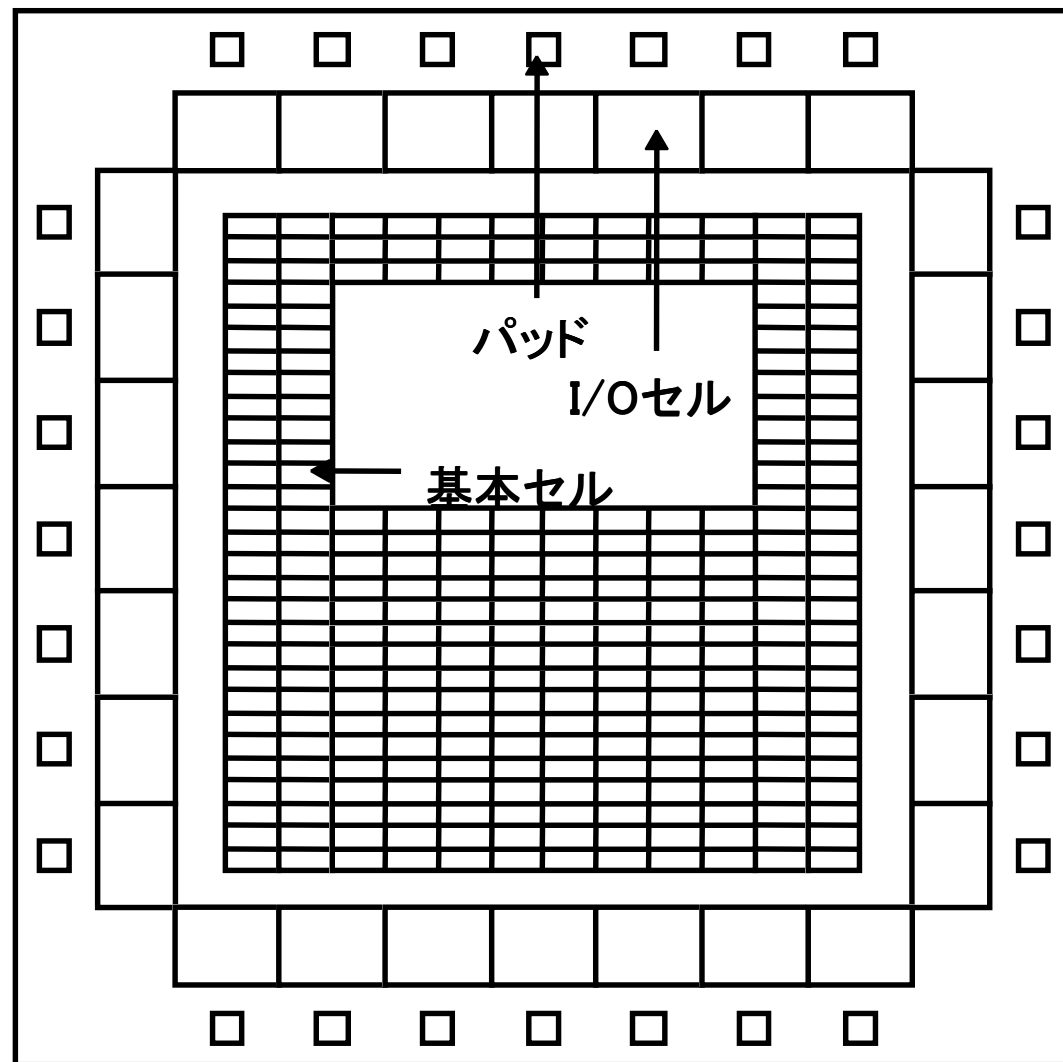
フルカスタム： 一度しか使えないブロックも手作りで設計。
開発期間大、開発コスト高、高性能
マイクロプロセッサやメモリなど

セミカスタム： 他のVLSIにも使えるマクロブロックだけで設計。
開発期間短、開発コスト低、中性能
ゲートアレイ、スタンダードセル、FPGAなど

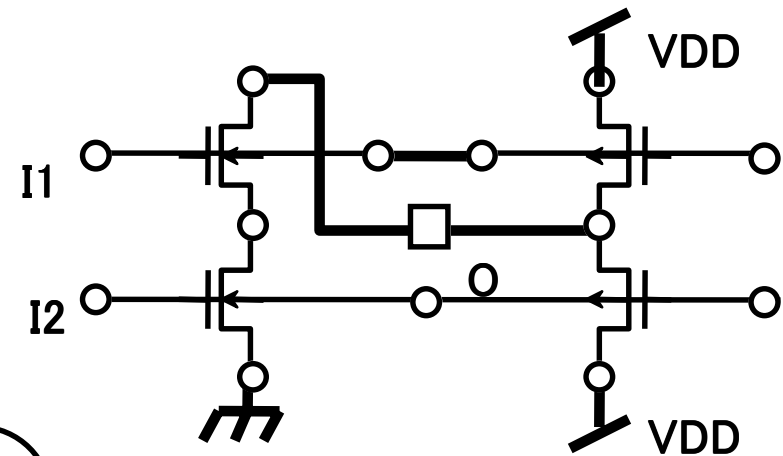
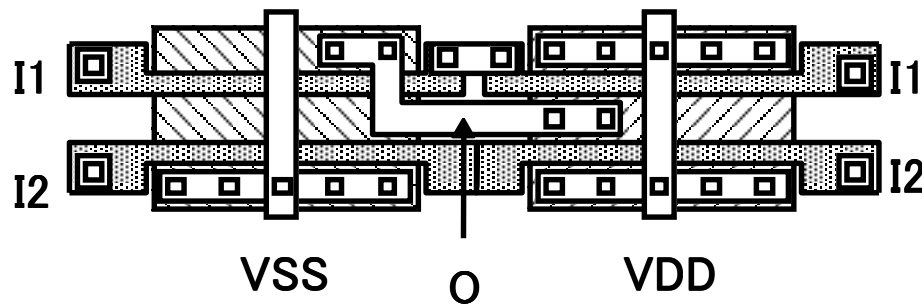
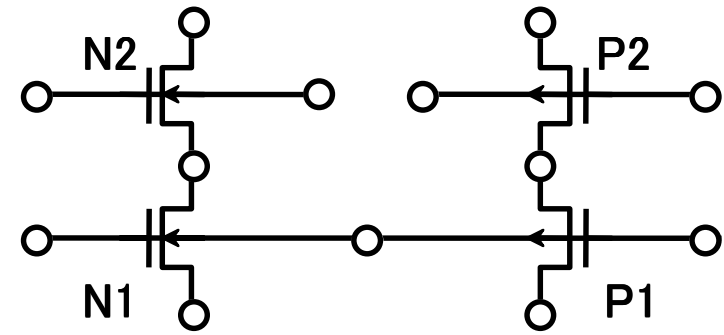
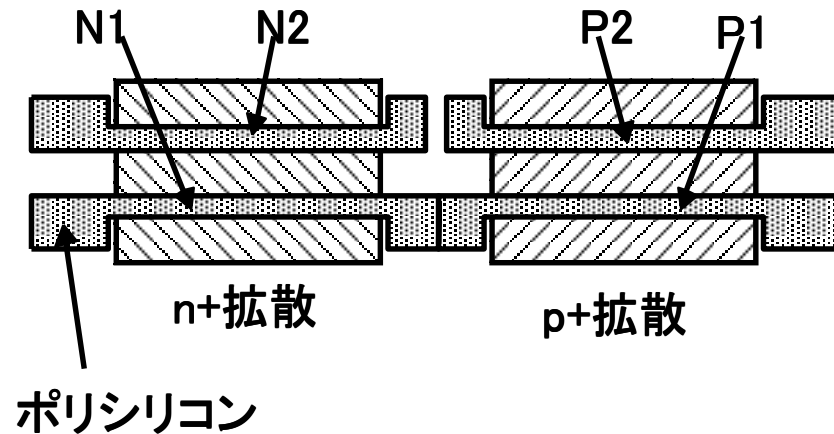
演算実行時間	汎用マイコン	フルカスタム	セミカスタム ゲートアレイ	FPGA
演算実行時間	約100 μ s	1~2 μ s	2~3 μ s	4~6 μ s
開発費	0円	数千万円	数百万円	0円
開発期間	ソフト	1~2年	2~3ヶ月	数日

- FFT演算器の例
- FPGA (Field Programmable Gate Array)

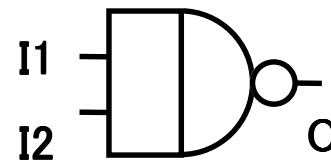
ゲートアレイ (SOG : Sea-Of-Gates)



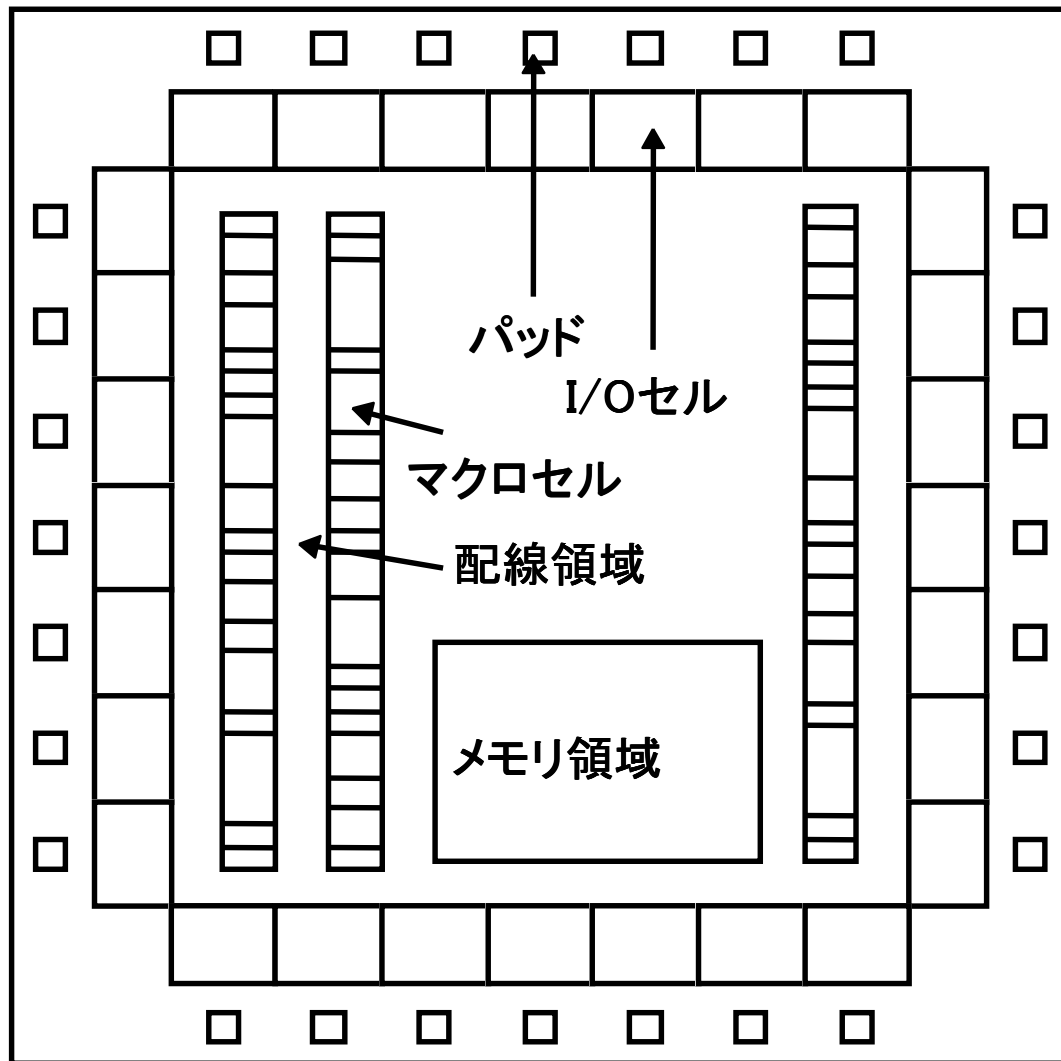
CMOSゲートアレイの基本セル



パーソナライズ: 2週間

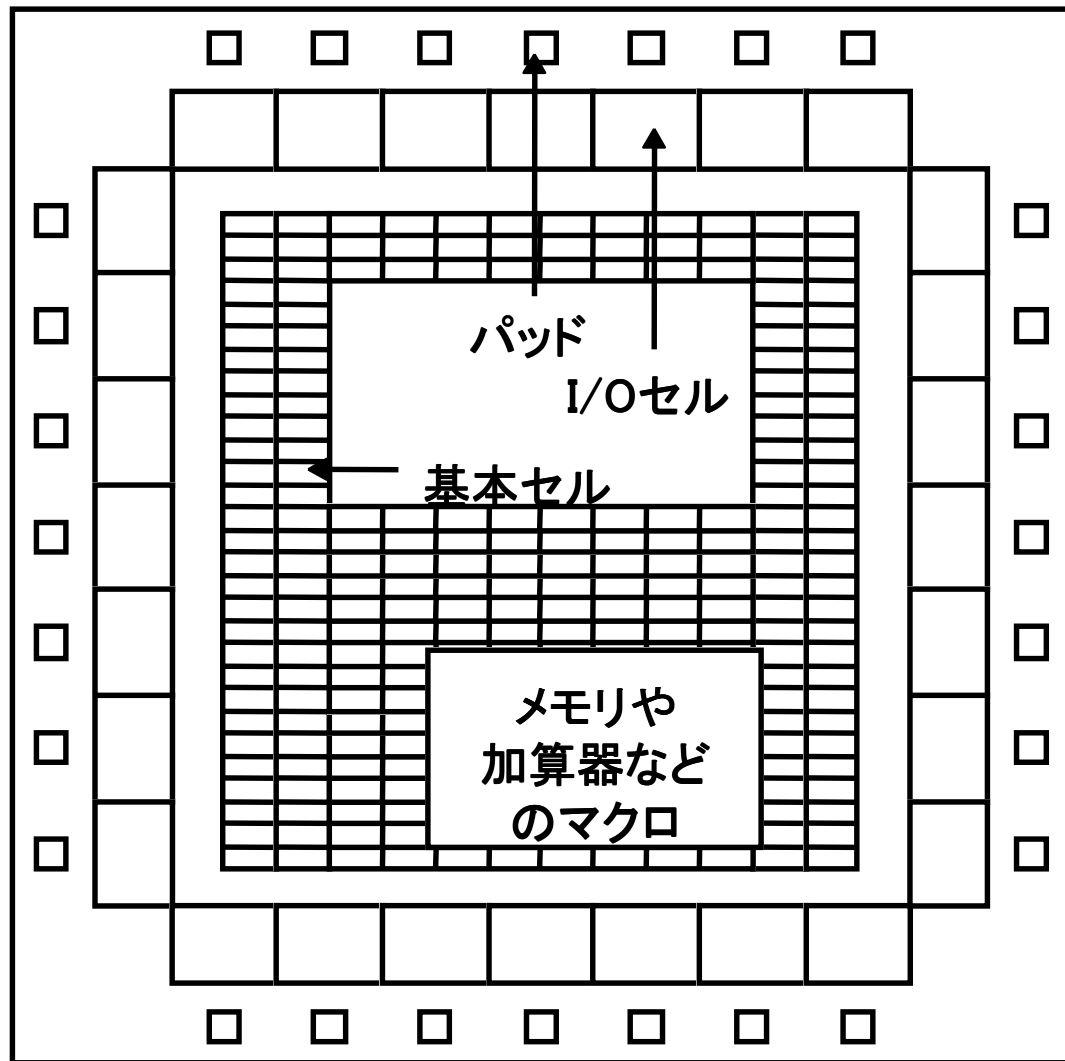


スタンダードセル



拡散から2ヶ月

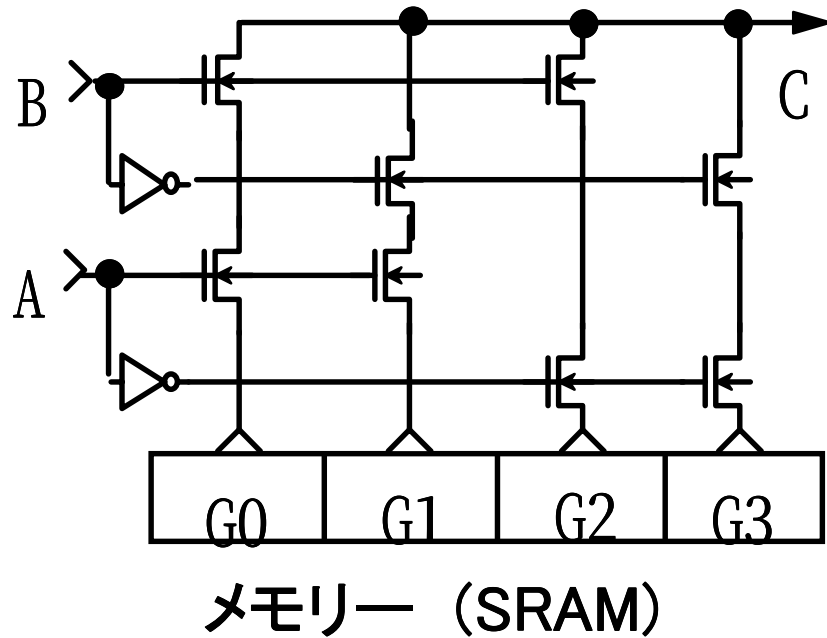
エンベデッド・アレイ (Embedded Array)



マクロだけ場所を決めて拡散からウェハを作っておき、その間に論理部の設計をしてアルミ配線のパーソナライズをする。修正はパーソナライズ工程だけなので2週間。

FPGA (Field Programmable Gate Array)

真理値表



				B →	1	0	1	0	出力C
				A →	1	1	0	0	
G0	G1	G2	G3						出力C
0	0	0	0		0	0	0	0	0
0	0	0	1		0	0	0	1	NOR(A, B)
0	0	1	0		0	0	1	0	A < B
0	0	1	1		0	0	1	1	INV(A)
0	1	0	0		0	1	0	0	A > B
0	1	0	1		0	1	0	1	INV(B)
0	1	1	0		0	1	1	0	EXOR(A, B)
0	1	1	1		0	1	1	1	NAND(A, B)
1	0	0	0		1	0	0	0	AND(A, B)
1	0	0	1		1	0	0	1	EXNOR(A, B)
1	0	1	0		1	0	1	0	B
1	0	1	1		1	0	1	1	A <= B
1	1	0	0		1	1	0	0	A
1	1	0	1		1	1	0	1	A >= B
1	1	1	0		1	1	1	0	OR(A, B)
1	1	1	1		1	1	1	1	1

