

## Boosted Gate MOS(BGMOS)によるリークフリー回路の提案

### Leakage-Free Circuits by Boosted Gate MOS(BGMOS)

\*東大生研、\*\*東大国際産学共同研究センター、\*\*\*東大VDEC

犬飼 貴士\*、高宮 真\*、野瀬 浩一\*、川口 博\*、櫻井 貴康\*\*\*、平本 俊郎\*\*\*

\*IIS Univ. of Tokyo, \*\*CCR Univ. of Tokyo, \*\*\*VDEC Univ. of Tokyo,

T. Inukai\*, M. Takamiya\*, K. Nose\*, H. Kawaguchi\*, T. Sakurai\*\* and T. Hiramoto\*\*\*

E-mail: inukai@nano.iis.u-tokyo.ac.jp

[はじめに] MOSFET の微細化が直面する問題点の一つにスタンバイ消費電力の増大がある。スタンバイ消費電力を低減する一つの手法として、 $V_{th}$  が高くリーク電流が相対的に小さな MOSFET を直列に接続する手法が提案されている(MTCMOS<sup>[1]</sup>)。今後電源電圧が低下すると、このような高  $V_{th}$  の MOSFET は駆動力が著しく低下するため、アクティブ時の性能を維持するためには膨大なエリアペナルティを要する。今回、このオフリークとエリアペナルティのトレードオフを解決する回路方式 Boosted Gate MOS(BGMOS)を提案する。[BGMOS] 図 1 に本回路方式を示す。CMOS 回路部を低  $V_{th}$  でかつ極薄なゲート酸化膜を有する MOSFET で構成することによって高速動作を実現すると同時に、高  $V_{th}$  でかつゲート酸化膜厚が比較的大きな MOSFET(Leak cut-off Switch:LS)を直列に付加することによってスタンバイ時のサブスレショルドリーク電流およびトンネルリーク電流を抑制する<sup>[2]</sup>。

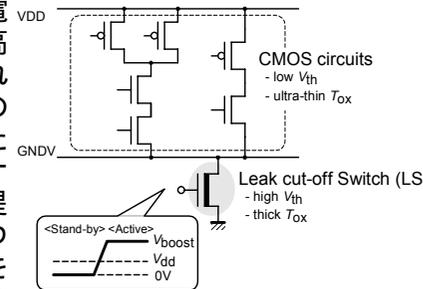


図 1 提案する BGMOS の模式図

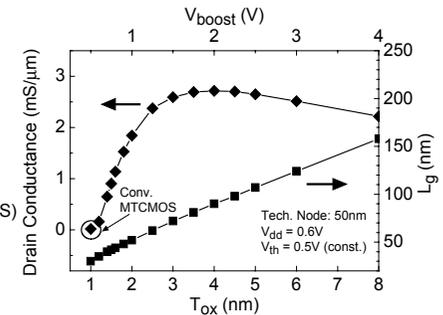


図 2 LS のドレインコンダクタンスのゲート酸化膜厚依存(50nm 世代)

一方、アクティブ時には電源電圧より高いゲート電圧で LS を駆動する。[LS の設計] 図 2 に、50nm 世代( $V_{dd}=0.6V$ )における LS のドレインコンダクタンス(線形領域)のゲート酸化膜厚依存を示す。ゲート電圧( $V_{boost}$ )をゲート酸化膜厚に比例して変化させるとともに( $E_{ox}=5MV/cm$ )、ゲート長を短チャネル効果(DIBL)が一定となるように変化させた。ゲート酸化膜厚 4nm(ゲート電圧 2V)程度で駆動力が最大となり、従来の MTCMOS に比べ大幅にエリアペナルティを削減できることが分かる。[結論] 高  $V_{th}$  でかつゲート酸化膜が厚い MOSFET を直列に付加し、それを高いゲート電圧で駆動することにより、小さなエリアペナルティでスタンバイリークを大幅に抑制することが可能である。[1] S.Mutoh et al.: IEEE J. Solid-State Circuits, **30**, 847 (1995). [2] 犬飼, 平本: 1999 年春季応物, 30a-ZM-8.