Boosted Gate MOS (BGMOS): デバイスと回路の 協調によるリークフリー回路の提案

犬飼 貴士*、高宮 真*、野瀬 浩一*、川口 博*、桜井 貴康*.**、平本 俊郎*.*** *東京大学 生産技術研究所 〒106-8558 東京都港区六本木 7-22-1 TEL: 03-3402-6231(ex.2337)、E-mail: inukai@nano.iis.u-tokyo.ac.jp **東京大学 国際・産学共同研究センター ***東京大学 大規模集積システム設計教育研究センター

あらまし(300字程度)

将来の LSI が直面する問題の一つにスタンバイ消費電力の増大がある。本論文では、デバイスと回路の協調 技術によってこの問題を解決する手法、Boosted Gate MOS (BGMOS)を提案する。本手法では、ゲート酸化 膜が極めて薄く、閾値電圧が低い MOSFET によって CMOS 回路部を構成することで、低電圧高速動作のト レンドを満たしつつ、ゲート酸化膜が厚く、閾値電圧が高い MOSFET(スイッチ)を直列に付加することで、 スタンバイ時のリーク電流を極めて小さくする。ここで、アクティブ時にはスイッチを電源電圧より高いゲ ート電圧で駆動することによって、充分小さなエリアペナルティで CMOS 回路部の高速動作を維持すること を可能とする。本論文では、デバイスおよび回路シミュレーションによって本手法の有用性を検証するとと もに、SRAM などの他の要素回路への応用を検討する。

キーワード

スタンバイ消費電力、デバイスと回路の協調技術、BGMOS、エリアペナルティ

Boosted Gate MOS (BGMOS): Leakage-Free Circuits by Device/Circuit Cooperation Scheme

T. Inukai*, M. Takamiya*, K. Nose*, H. Kawaguchi*, T. Sakurai*.**, and T. Hiramoto*.*** *Institute of Industrial Science, the University of Tokyo 7-22-1 Roppongi, Minato-ku, Tokyo, 106-8558, Japan TEL: +81-3-8402-6231(ex.2337), E-mail: inukai@nano.iis.u-tokyo.ac.jp **Center for Collaborative Research, the University of Tokyo ***VLSI Design and Education Center, the University of Tokyo

Abstract(100 語程度)

An increase of stand-by power is one of the most important issues in future LSI devices. In this paper, a new device/circuit cooperation scheme, Boosted Gate MOS (BGMOS), is proposed to achieve leakage free circuits. In the proposed scheme, CMOS circuits consist of MOSFETs with low V_{th} and ultra-thin oxide to obtain high speed and low voltage operation. On the other hand, low leakage devices with high V_{th} and thick oxide are inserted in series with CMOS circuits and driven by higher gate voltage to achieve extremely low stand-by power while maintaining small area penalty. The application of the proposed scheme to other components such as SRAMs is also discussed.

キーワード

stand-by power, device/circuit cooperation scheme, BGMOS, area penalty

1 はじめに

LSI の性能は、そのキーデバイスである MOSFET の微細化によって過去 30 年以上に渡って向上し続 けてきたが、現在のデバイススケーリング技術は今 後スタンバイ消費電力の増大という危機に直面する ことが知られている。デバイスサイズが 0.1µm 以下 の領域になると、MOSFETのオフ電流は、1)電源電 圧 Vdd の低下に伴う閾値電圧 Vth の低下によるサブ スレショルドリークの増大、2)ゲート酸化膜の薄膜 化によるゲートトンネルリークの増大^[1]、3)halo 構 造など急峻なチャネルプロファイルに起因する接合 リークの増大[2]により、増加の一途を辿ることが知 られている。図1はこれらオフリーク電流のトレン ドを見積もったものである。なお、各世代のデバイ スパラメータは International Technology Roadmap for Semiconductors (ITRS)^[3]の値を参照した。この 図より、これらのオフリーク電流は今後デバイスの スケーリングにともなって増え続けることが分かる。 また、それらの値はバッテリー駆動の携帯機器から の要請を遙かに上回るものとなっている。ここで、 ゲートトンネルリークの問題は、ゲート絶縁膜とし て高い誘電率を有する絶縁膜を用いることによって 解決可能であるが、サブスレショルドリークや接合 リークを抑制するための有効な手段は知られていな い。このように、現在のデバイススケーリング技術 においては、MOSFET はそのオン・オフ比が劣化し、 もはや「理想的なスイッチング素子」ではなくなる ため、低消費電力回路を実現することが極めて困難 になることが予想される。

そこで、本研究では回路技術との協調によって、 デバイスのスケーリングが直面するオフリーク電流 の増大を解決する手法を提案する^[4]。また、提案す る手法が CMOS ロジック回路のみでなく、SRAM、 アナログ回路、I/O 回路などの他の要素回路にも適用 可能であることを示す。本稿の構成は、まず 2 章で 提案する回路方式について、その原理、デバイス設 計、回路シミュレーションによる検証について述べ る。次に、3 章において SRAM への適用について、 4 章で他の要素回路への適用について述べ、5 章にて まとめる。

表1 シミュレーションに用いたデバイスパラメータ^[3]

Tech. Node	180 nm	130 nm	100 nm	70 nm	50 nm
Lg (nm)	140	100	70	50	35
Vdd (V)	1.8	1.5	1.2	0.9	0.6
Tox (nm)	3.5	3	2	1.5	1
<i>X</i> j (nm)	50	35	30	20	15
<i>N</i> s/d (cm ⁻³)	1x10 ¹⁹	5x10 ¹⁹	1x10 ²⁰	1x10 ²⁰	1x10 ²⁰
Side Wall Width (nm)	100	70	30	10	7



2 デバイス/回路技術の協調による低消費電 カ回路の実現

2.1 従来の手法の問題点

スタンバイ時の消費電力を低減するための回路技 術はこれまでにいくつか提案されておりその中には Variable Threshold voltage CMOS (VTCMOS)回路 ^[5], Multiple Threshold voltage CMOS (MTCMOS) 回路^[6]などがある。VTCMOS回路とは、基板バイア ス効果を利用することで、回路がアクティブ時には Vthを低くして高速動作を実現し、スタンバイ時には Vth を高くして低消費電力化を実現する回路方式で ある。ただし、VTCMOS 回路ではゲートリーク電流 が抑制できないのに加えて、デバイスのスケーリン グに伴って所望のオフリーク電流を実現するために 必要となる基板バイアスが増大してしまうために、 バンド間トンネルによる接合リーク電流が増大する という問題がある^{[7],[8]}。一方、MTCMOS 回路は、低 Vthの MOSFET で回路を構成することにより高速動 作を実現するとともに、高 Vth のスイッチを直列に 接続することでスタンバイ時にオフリーク電流を抑 制するというものである。ただし、高 Vh のスイッ

チ部におけるゲートリーク電流が抑制できないのに 加えて^[9]、電源電圧が低下したときに、スイッチ部 の駆動力が著しく低下するため、アクティブ時の性 能を維持するために要するエリアペナルティ(ゲー ト幅)が増大するという問題がある。

このように従来の手法においては今後スタンバイ 消費電力の低減が困難となることが予想される。

2.2 Boosted Gate MOS (BGMOS)の動作原理

図 2 に提案する回路方式、Boosted Gate MOS (BGMOS)の模式図を示す。CMOS 回路部を、ゲー ト酸化膜が薄く、Vthが低いデバイスで構成すること により、低い Vad での高速動作を実現する。一方、 リークカットオフスイッチ(Leak cut-off <u>S</u>witch: LS)には、Vthが高く、ゲート酸化膜が比較的厚いデ バイスを用いることによって、スタンバイ時にサブ スレショルドリークとゲートリークを抑制する^[9]。 また、アクティブ時には Vad より高いゲート電圧で 駆動することによって、ゲートオーバードライブ (Vgs-Vth)を大きくとり、高駆動力化ひいてはエリアペ ナルティの低減を図る。ここで、LS に用いるゲート 酸化膜を回路部のデバイスと比較して厚くしている ため、酸化膜の信頼性を維持したまま、Vad より高い ゲート電圧の印加(ブースト)が可能となる。

2.3 デバイスシミュレーションによるBGMOSの設計

BGMOSにおいては、LSのゲート酸化膜がCMOS 回路部と比較して厚いために、ゲートリークの抑制 やゲート電圧のブーストが可能となる反面、短チャ ネル効果に弱くなるため、ゲート長を大きくする必 要がある。そこで、2次元デバイスシミュレーショ ン^[10]によって、短チャネル効果を考慮した LS の最 適設計を行った。ここで、アクティブ時には LS が 線形領域で動作するために、線形領域のドレインコ ンダクタンスが大きいほど、エリアペナルティを小 さくすることができる。図3に、50nm 世代におけ る LS のゲート酸化膜厚と線形領域のドレインコン ダクタンスの関係を示す。また、印加するゲート電 圧(Vboost)と必要となるゲート長を併せて示す。Vboost はゲート酸化膜電界が一定(*E*ox=5MV/cm)となるよ うに、ゲート酸化膜厚に比例して変化させ、ゲート 長は DIBL による Vth の変化量が一定(50mV)となる ように設定した。また、オフ電流を一定にして比較 を行うために、Vthを一定(0.5V)とした。図より、ゲ ート酸化膜を厚くし、ゲート電圧を高くすることに よってコンダクタンスが飛躍的に向上し、ゲート酸 化膜厚が 4nm 程度、Vboost が 2V 程度でコンダクタ ンスが最大となることが分かる。また、他の世代に ついても同様のシミュレーションを行ったところ、 同一の条件でコンダクタンスが最大となることが確 認された。



2.4 SPICE シミュレーション

本手法の有用性を検証するために、SPICE シミュ レーションを行った。ここで、SPICE モデルとして は MOS Level 3 を用い、各種パラメータは 2 次元デ バイスシミュレーションの結果より抽出した。また、

簡単のためにゲートリーク電流は、電圧制御電流源 を付加することによって表現した^[9]。図 4 に 50nm 世代におけるアクティブ時の特性と LS のゲート幅 の関係を示す。CMOS 回路部として 2 入力 NAND(F.O.=3)チェーン(10 段)を仮定し、それに一 つのLSが直列に付加された場合を想定した。また、 比較のために、従来型 MTCMOS(ゲート酸化膜厚が CMOS 回路部と同一で、ゲート電圧をブーストしな いもの)についても同様のシミュレーションを行っ た。ゲート幅が小さい場合には、LS 部における電圧 降下によって CMOS 回路部に実効的にかかる電源 電圧が目減りするために、CMOS 回路の動作速度が 低下する。そのために、LS を付加しない場合の動作 速度を維持するためには、ゲート幅を大きくする必 要があるが、従来型の MTCMOS では必要となるゲ ート幅が桁で大きくなっているのに対し、提案する BGMOS ではその値が小さく抑えられていることが 分かる。伝搬遅延時間の増大を5%以下に抑えるのに 要するエリアペナルティを見積もった結果を図5に 示す。ここでエリアペナルティは総ゲート幅の増加 量から算出した。また、50nm世代に加え、100nm、 70nm 世代の結果を併せて示す。図より、従来型 MTCMOS においては電源電圧の低下とともにエリ アペナルティが指数関数的に増加していくのに対し、 提案する BGMOS においては 10%以下のエリアペナ ルティが維持できていることが分かる。

図 6 はチップあたりのスタンバイ消費電力のトレ ンドを見積もったものである。LS を有さない従来型 CMOS 回路、従来型 MTCMOS、提案する BGMOS を比較している。従来型 MTCMOS においては LS におけるゲートリーク電流が抑制できないため指数 関数的にスタンバイ消費電力が増大しているのに対 し、提案する BGMOS においては LS が充分厚いゲ ート酸化膜を有するため、ゲートリーク電流が抑制 され、極めて小さなスタンバイ消費電力が維持でき ていることが分かる。

以上の結果は提案する BGMOS の有用性を強く示 すものであると考えられる。



図4 アクティブ時の特性とLSのゲート幅の関係(50nm世代) (a) 実効的な電源電圧、(b) 伝搬遅延時間



2.5 Super Cut-off CMOS (SCCMOS)との併用

エリアペナルティとスタンバイ消費電力のトレー ドオフを解決する手法としては、既にいくつかの手 法が提案されている^{[11],[12]}。そのうち、Super Cut-off CMOS (SCCMOS)回路方式は、LS を Vth が低いデ バイスで構成するとともに、スタンバイ時にはゲー トに負のバイアスを印加することによって、高駆動 力のままスタンバイリークを低減するものである^[12]。 ただし、スタンバイ時にはゲートとドレイン間に電 源電圧以上の電圧(Vtd+|Vbias|)が印加されるため酸 化膜の信頼性の問題が生じる。

ここで提案する BGMOS は LS のゲート酸化膜厚 が厚く設計されているため、SCCMOS と併せて用い ることによって、この問題を解決するとともに、よ り高い駆動力を実現することが可能である。図7に SCCMOS と併用する場合の動作条件を示す。 BGMOS においてはアクティブ時にのみゲート酸化 膜の信頼性から決まる限界までゲート電圧(正)が印 加されるのに対して、SCCMOS を併せて用いること によってスタンバイ時にも限界までゲート電圧(負) を印加することになるため、駆動力を向上させるこ とができる。図8に SCCMOS を適用した場合のド レインコンダクタンスのゲート酸化膜厚依存を示す。 まず、スタンバイ時にゲートに-0.4Vの負バイアスを 印加する場合を想定して、Vthを 0.5V から 0.1V まで 低下させると、ドレインコンダクタンスが飛躍的に 向上することが分かる((a) (b))。ただし、この状態 ではスタンバイ時にゲート酸化膜にかかる電圧が Vdd 以上になるため(Vdd+0.4V)、ゲート酸化膜厚を 0.8nm 以上厚くする必要があり、ゲート酸化膜厚の 増加とそれに伴うゲート長の増加によってコンダク (c))。ただし、ここではアク タンスが劣化する((b) ティブ時にはゲート電圧が限界まで印加されていな いため、アクティブ時にゲート電圧をブーストする ことによって、コンダクタンスを向上することがで きる((c) (d))。この状態においてはゲート酸化膜に アクティブ時、スタンバイ時ともに限界までゲート 電圧が印加されているため、BGMOS、SCCMOS を それぞれ単独で用いる場合(ゲート電圧は信頼性の 問題が生じない範囲で印加する場合)よりも高いコ

ンダクタンスが得られていることが分かる。

デバイスシミュレーションの結果をもとに設計し た LS を用いた場合について、再度 SPICE シミュレ ーションを行った。図 9 に各種方式におけるエリア ペナルティを示す。図より、BGMOS と SCCMOS を併用することによってエリアペナルティが更に低 減されていることが分かる。











エリアペナルティの比較(50nm 世代)

3 SRAM への応用

3.1 リークフリーSRAM の実現

近年の SRAM の急速な大容量化により、各 SRAM セルのオフリーク電流の低減がますます重要となっ てきている。ただし、リーク電流が小さいスイッチ (LS)を付加するという先述の手法は、スタンバイ時 に各セルに蓄えられたデータが消失してしまうため にSRAMのようなデータ保持回路に適用することが できない。一方、大容量化された SRAM においては 各セルが選択される確率が極めて低くなり、消費電 力に占める AC 成分の割合が小さくなるため、 Vad の低下が必ずしも必要ではなくなる。そこで、リー ク電流が小さく、高い Vad で動作させるデバイスを SRAM セルそのものに適用することが可能となる。 ここで、このような SRAM に用いるデバイス(ゲー ト酸化膜厚)や電圧は、先述の LS と同一のものにす ることができ、プロセス、システムの簡略化が可能 となる。一方、ロジック回路部に含まれるフリップ・ フロップは、CMOS 回路と同様の高駆動力であるが リーク電流の大きいデバイスで構成されているため、 LSに接続する必要があるが、その結果スタンバイ時 に保持している状態が消失する。ただし、この問題 は高 Vad の SRAM と組み合わせて用いることによっ て、スタンバイ時にデータを一時的に SRAM に待避 させることによって解決可能である[12]。

ただし、電源電圧が高く、ゲート酸化膜厚が厚い デバイスは短チャネル効果がより顕著に現れるため、 ゲート長の微細化が困難となる。また、電源電圧を 一定とするスケーリングにおいてはSRAMの動作速 度があまり向上しない。よって、動作速度を他の回 路部同様に向上させるためには、マクロの分割、セ ンスアンプの追加等、レイアウト上の工夫が必要と なるため、エリアペナルティを生じる。そこで、次 節では、デバイスシミュレーションによって本手法 をSRAMに適用する際のエリアペナルティを見積も った結果を示す。

3.2 エリアペナルティのトレンド

SRAM セルに本手法を適用した場合のゲート長の トレンドを図 9 に示す。ゲート長は、前章の LS の 設計と同様に DIBL による Vh のシフト量が一定 (50mV)となるように設定した。また、電源電圧 2V(ゲ ート酸化膜厚 4nm)の場合に加えて、1.5V(3nm)の場 合についても同様のシミュレーションを行った。 ITRS より見込まれる従来型の SRAM のトレンドと 比較すると、提案する手法においてはより大きなゲ ート長が必要であり、scalability が小さいことが分 かる。ただし、電源電圧を 1.5V(ゲート酸化膜厚を 3nm)に下げることによって、20%程度の短チャネル 化が可能である。一方、図 10 は SRAM の動作速度 のトレンドを電源電圧とオン電流の比(*V*dd/*I*on)を指 標として見積もったものである。ここでは従来型の SRAM のトレンドとして、以下の二つのスケーリン グシナリオを仮定した。

(1) Ion 一定(600µA/µm)の場合

(2) Vth 一定(0.5V)の場合

図より(1)のシナリオに従うと Vad の低下に伴って Vdd/Ion が向上することが分かるが、Ionを一定に保つ ためには Vth を併せてスケーリングする必要がある ため、図1に見られるようにオフ電流が指数関数的 に増加するという問題がある。一方、(2)のシナリオ に従うと、Vth が一定であるためオフリーク電流を一 定に保てる反面、Vadの低下に伴って Ionが大幅に減 少するため、Vad/Ion は逆に劣化することが分かる。 これらの結果は、従来型 SRAM のスケーリングには オフリーク電流と動作速度の間に明確なトレードオ フが存在することを示すものである。それに対して、 提案する手法では Vth が一定でオフリーク電流が一 定に保たれている場合においても、ほぼ一定の動作 速度が実現できることが分かる。ここで Ion が一定の 場合との動作速度の差は以下で述べるようなエリア ペナルティが許容されれば補償することができる。

先述の通り、提案する手法を用いれば、データの 消失の問題なくSRAMのスタンバイ消費電力の低減 が可能となるが、ゲート長の scalability が小さく、 動作速度が向上しないという問題があるため、従来 のスケーリングシナリオと比較するとエリアペナル ティを生じることになる。そこで、図9および図10 をもとに提案する手法におけるエリアペナルティを 見積もった結果を図11に示す。これより、提案する 手法においては世代が進むにつれてエリアペナルテ ィが増加することが分かる。ただし、電源電圧、ゲ ート酸化膜厚をそれぞれ 1.5V、3nm に低下すること によってエリアペナルティの抑制が可能となる。以 上より、提案する手法はエリアペナルティを生じる ものの、そのエリアペナルティが許容される範囲に おいては、最も効果的にスタンバイ消費電力を抑制 する手法であると考えられる。



図 11 SRAM の動作速度のトレンド



図 12 提案する手法におけるエリアペナルティのトレンド

4 将来の LSI における BGMOS

本論文で述べてきたように、将来のLSIにおいて は少なくとも 2 種類のデバイスおよび電源電圧が必 要となる。図 12 に将来のLSI 像を示す。ロジック 回路部には、高速動作とACパワーの低減のために、 Vthが低く、ゲート酸化膜が極めて薄いデバイスを用 い、それを低電源電圧で動作させることが必要とな る。一方、いくつかの回路要素はむしろ Vthが高く、 ゲート酸化膜が厚いデバイスで構成されて、それを 高い電源電圧で動作させる方が好ましい。その中に は、リーク電流の観点から、LS や SRAM などが含 まれるのに加えて、SN 比の観点からアナログ回路、 周辺機器との整合性の観点から I/O 回路が含まれる。 このように、2 種類以上のデバイスと電源電圧を 1 チップ上で適材適所に用いることが、将来の高性能、 低消費電力回路実現には必須であると考えられる。



5 結論

本論文では、デバイス技術と回路技術との協調に より、回路の性能を劣化させることなく、スタンバ イ消費電力を極めて小さくする手法を提案し、デバ イスおよび回路シミュレーションによって検証した。 また、本手法がロジック回路部のみでなく、チップ 上の他の要素回路にも適用可能であることを示した。 謝辞

有益な議論をして頂きました慶應義塾大学の黒田 忠広助教授に感謝いたします。本研究の一部は日本 学術振興会未来開拓学術推進事業の援助による。

参考文献

- S. -H. Lo, D. A. Buchanan, Y. Taur, L. -K. Han, and E. Wu "Modeling and Characterization of n⁺- and p⁺-Polysilicon-Gated Ultra Thin Oxides (21-26Å)", *Proceedings of Symposium on VLSI Technology*, pp. 149-150, June, 1997.
- [2] Y. Taur, C. H. Wann, and D. J. Frank, "25nm CMOS Design Considerations", *IEDM Digest of Technical Papers*, pp. 789-792, Dec. 1998.
- [3] International Technology Roadmap for Semiconductors, 1998 update.
- [4] T. Inukai, M. Takamiya, K. Nose, H. Kawaguchi, T. Hiramoto, and T. Sakurai, "Boosted Gate MOS (BGMOS): Device/Circuit Cooperation Scheme to Achieve Leakage-Free Giga-Scale Integration", *Proceedings of CICC*, pp. 409-412, May, 2000.
- [5] T. Kuroda, T. Fujita, S, Mita, T. Nagamatsu, S. Yoshioka, K. Suzuki, F. Sano, M. Norishima, M. Murota, M. Kako, M. Kinugawa, M. Kakumu, and T. Sakurai, "A 0.9V, 150-MHz, 10-mW, 4 mm², 2-D discrete cosine transform core processor with variable threshold-voltage (VT) scheme", *IEEE Journal of Solid-State Circuits*, vol. 31, pp. 1770-1779, Nov. 1996.
- [6] S. Mutoh, T. Douseki, Y. Matsuya, T. Aoki, S. Shigematsu, and J. Yamada, "1-V power supply high-speed digital circuit technology with multithreshold-volgate CMOS", *IEEE Journal of Solid-State Circuits*, vol. 30, pp. 847-854, Aug. 1995.
- [7] A. Keshavarzi, S. Narendra, S. Borkar, C. Hawkins, K. Roy, and V. De, "Technology scaling behavior of optimum reverse body bias for standby leakage power reduction in CMOS IC's", *Proceedings of International Symposium* on Low Power Electronics and Design, pp. 252-254, Aug. 1999.
- [8] H. Koura, M. Takamiya, and T. Hiramoto, "Optimum Condition of Body Effect Factor and Substrate Bias in Variable Threshold Voltage MOSFETs", *Jpn. J. Appl. Phys.* vol. 39, pp. 2312-2317, Apr. 2000.
- [9] T. Inukai, and T. Hiramoto, "Suppression of Stand-by Tunnel Current in Utlra-Thin Gate Oxide MOSFETs by Dual Oxide Thickness – Multiple Threshold Voltage

CMOS (DOT-MTCMOS)", *Jpn. J. Appl. Phys.* vol. 39, pp. 2287-2290, Apr. 2000.

- [10] Medici Ver.4.1, Avant! Corp. July, 1998.
- [11] T. Douseki, S. Shigematsu, J. Yamada, M. Harada, H. Inokawa, and T. Tsuchiya, "A 0.5-V MTCMOS/SIMOX Logic Gate", *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 1604-1609, Oct. 1997.
- [12] H. Kawaguchi, K. Nose, and T. Sakurai, "A CMOS scheme for 0.5V supply voltage with pico-ampere standby current", *ISSCC Digest of Technical Papers*, pp. 192-193, Feb. 1998.