

低スタンバイ電流 SRAM のための 異常リーク電流抑制方式

神 田 浩 一* グエン・ドゥック・ミン**
川 口 博*** 桜 井 貴 康†

SRAM のスタンバイ時において、セル内部のデバイス欠陥によって流れる異常リーク電流を検知、および削除するための回路方式を提案する。従来の SRAM に、リーク電流センサ、シフトレジスタ、およびヒューズの 3 つの要素を新たに付加する。リーク電流センサは各セル電源線/ビット線に流れる異常電流を 1 mA 程度まで検知する。シフトレジスタによって異常箇所を同定し、これに対応するヒューズをレーザー照射によって切断することで異常電流のパスを遮断する。64 K ビットの SRAM チップを試作し、測定によって本手法の有効性を確認した。付加回路による面積オーバーヘッドは 7% であった。

背 景

SRAM (Static Random Access Memory) は読み書き動作が高速であると同時に待機時の消費電力が小さいという特徴を持つことから、マイクロプロセッサ内のキャッシュメモリや、携帯機器のメインメモリなどとして幅広く用いられてきた。このようなシステムの全体の消費電力において、SRAM の電力が占める割合は比較的大きく、バッテリー駆動タイプのアプリケーションでは、特に SRAM のスタンバイ時における低電力化が強く望まれる。

SRAM セルは双安定状態を持つフリップフロップ回路でできており、スタンバイ時にはデータ保持のために必要なリーク電流しか消費しないはずであるが、実際にはメモリセルや周辺回路にデバイス欠陥がある

と、その欠陥を介して異常に大きなリーク電流 (Abnormal Leakage Current, 以下異常リーク電流) が流れる場合がある。従来の冗長回路技術¹⁾によって故障セルの記憶機能を擬似的に復元できるものの、置き換えられた故障セルは依然として電源線とグラウンド線につながっており、異常リーク電流を取り除くことはできなかった。このような故障はスタンバイ時の電力増加をもたらすのみならず、スペック以上のスタンバイ電流が流れるような場合には製造歩留りを下げる結果となる。

本稿では、待機時に流れる異常リーク電流を検知し、異常を引き起こす故障セルを電源線から切り離すことによって SRAM のスタンバイ時における電力を低減すると同時に製造歩留りを向上させる手法²⁾を提

*Kanda Koichi

東京大学 生産技術研究所 博士課程学生

〒153-8505 東京都目黒区駒場 4-6-1
☎ 03-5452-6253

**Nguyen Duc Minh

東芝 システム LSI 事業部 マイクロエレクトロニクスセンター

〒212-8520 神奈川県川崎市幸区堀川町 581-1
☎ 044-548-2341

***Kawaguchi Hiroshi

東京大学 生産技術研究所 技官

〒153-8505 東京都目黒区駒場 4-6-1
☎ 03-5452-6253

†Sakurai Takayasu

東京大学 国際・産学共同研究センター・生産技術研究所 教授 工博

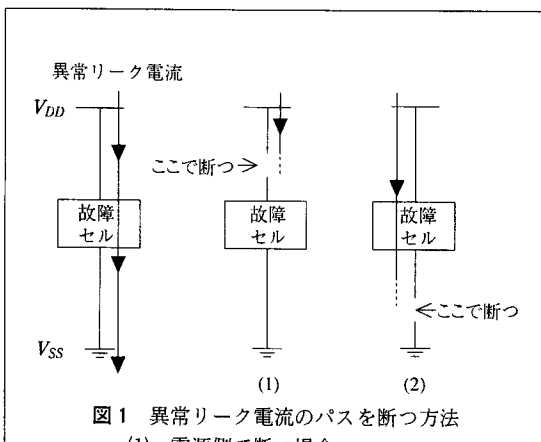


図1 異常リーク電流のパスを断つ方法

(1) 電源側で断つ場合

(2) グラウンド側で断つ場合

案する。

異常リーク電流抑制方式

(Abnormal Leakage Suppression, ALS scheme)

異常リーク電流を抑制するためには、図1に示すように、欠陥のあるセルを電源線かグラウンド線から切り離すことによって、電流のパスを遮断すればよい。しかし、通常のSRAMではグラウンド線はメッシュ状に走っており、選択的にセルをグラウンドから切り離すことができない。

そこで、提案するALS方式においては欠陥セルを電源から切り離す方法をとった。通常のSRAMでは待機時にはビット線は高電位にプリチャージされ、ワード線はグラウンド電位に固定される。したがって異常

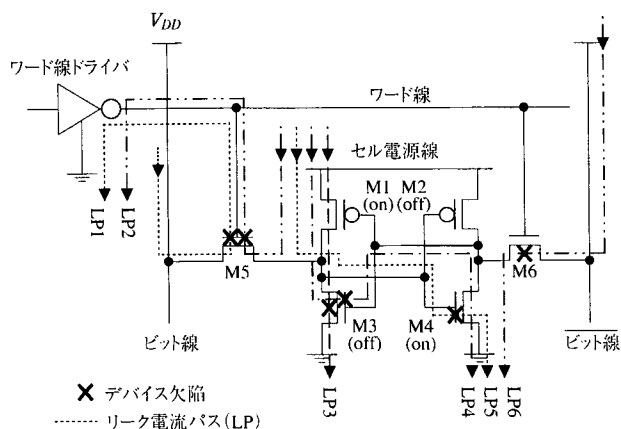


図2 セル内の単一欠陥による異常リーク電流パス

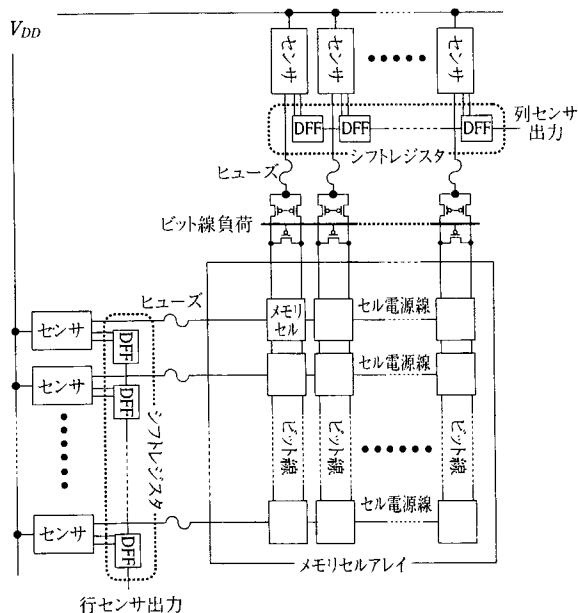


図3 ALS SRAMの全体構成

リーク電流の供給元になりうるのはセル電源線、ビット線、およびnウェルの3つである。セル内部のデバイス欠陥によって流れる異常リーク電流のパスを図1に示す。ただし重複欠陥は発生しにくいと考えられるので、1つのセル内には1つしか故障箇所がないと仮定している。欠陥のタイプとしては、ゲート酸化膜の欠陥によるゲート・ソース/ドレイン間の短絡、およびMOSトランジスタのチャンネル部の欠陥によるソース・ドレイン間の短絡を考慮している。たとえば、パスゲートNMOS M5のゲートとドレインが欠陥によって短絡された場合、高電位のビット線からグラウンド電位のワード線に電流が流れる。このリーク電流パスは図2ではLP1として示されている。また、セル内のドライバNMOS M3のチャンネルがショートした場合、PMOS M1とNMOS M3からなるインバータには貫通電流(図2ではLP3)が流れる。nウェルから流れ込むリーク電流のパスは図2に示されていないが、仮にPMOS M1のドレインがデバイス欠陥によってnウェルと短絡した場合、PMOS M2のドレインは高電圧に引き上げられる。結果としてNMOS M4がオンし、逆にNMOS M3はオフになる。よってPMOS M1のドレインからグラウンドへの電流パスはない。このような故障セルは正しくデータを書き込めないため、従来の冗長回路方式によって冗長セルと置き換えられるのであるが、置き換わった後においても異常リーク電流を流さないことが分る。したがって、ビット線とセル電源線からの2種類のリーク電流を断てばよいことになる。

以上に述べたようなリーク電流を削除するためにALS (Abnormal Leakage Suppression) 方式を提案した。本方式を適用したSRAMの全体構成を図3に示す。行方向と列方向に対して、リーク電流センサ、Dフリップフロップ、およびヒューズの3つの要素が新たに付加されている。各セル電源線と各ビット線対はヒューズとセンサを介して電源に接続される。センサの出力はDフリップフロップへと接続される。各Dフリップフロップの出力は隣のDフリップフロップの入力に接続され、シフトレジスタを構成する。これらの回路はSRAMのテスト時に活性化される。その場合の動作は3段階に分けることができる。行方向を例に説明する。まず最初に、各リーク電流センサによって各セル電源線に流れる電流を監視する。この電流がある許容値を超えるかどうかによって、センサは1または0を出力する。次に、この0, 1の情報をDFFに送る。その後、

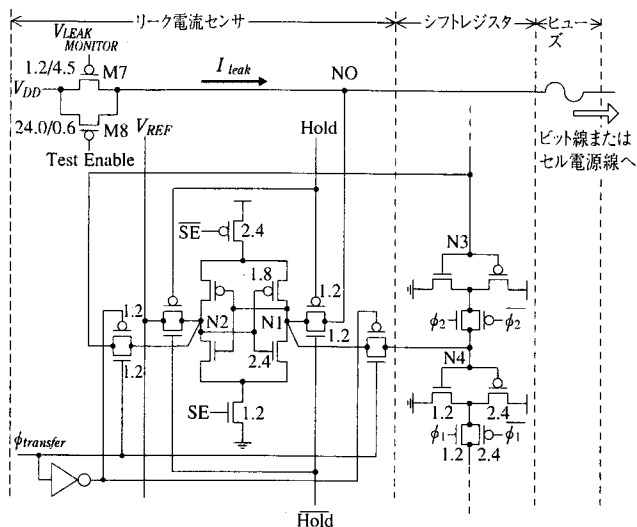


図4 リーク電流センサ、Dフリップフロップ、およびヒューズの詳細な構成。図中の数値はトランジスタのゲート幅を示す。PMOS M7、M8に関してはゲート幅/ゲート長を示す。

各 DFF が保持するデータをシフトレジスタの出力として取り出す。1 がリーク電流の異常を表わすのであれば、シフトレジスタ出力のビットパターンにおける 1 の位置を見ることで、異常箇所を同定することができる。最後に 1 の位置に対応するヒューズを切ることによって異常箇所と電源との接続を断つ。列方向に関してもまったく同様である。

回路の構成と動作

リーク電流センサ、D フリップフロップ、およびヒューズの構成を図 4 に示す。ここではセンサとフリップフロップの回路構成と動作について詳細に説明する。

リーク電流センサは、並列に接続された 2 つの PMOS M7 と M8、およびラッチ型センスアンプから構成される。PMOS M8 は通常の動作時と従来のテスト時に導通状態になる。PMOS M8 はセル電源線またはビット線に必要な電流を流すのに十分なコンダクタンスを持つ。一方、PMOS M7 は本方式を用いて異常リーク電流をテストする時に導通状態になる。この時 PMOS M8 はオフ状態である。PMOS M7 は小さなコンダクタンスを持ち、これを流れる電流 I_{leak} の値が異常に大きい場合はドレイン・ソース間に電圧降下を起こすので図中のノード N0 の電位が V_{DD} よりも低くなる。ノード N0 の電位と基準電位 V_{REF} はトランスミッションゲートを介して、おののノード N1 および N2 に取り込まれる。トランスミッションゲートを閉じた後に SE (Sense

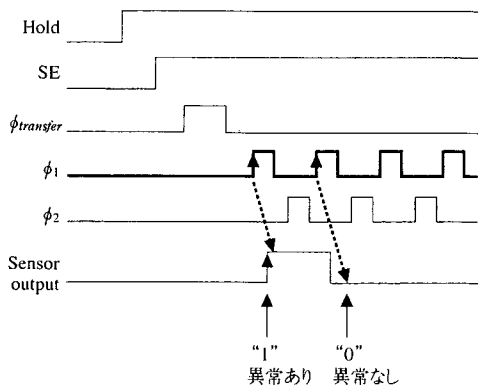


図5 各制御信号のタイミング図

Enable) 信号によってセンスアンプが活性化され、ノード N1 と N2 の間の電位差が増幅される。もし N0 の電位が基準電位よりも低ければ、ノード N1 の電位はグランド電位へ引き落とされ、逆にノード N2 の電位は電源電圧まで上がる。ノード N1 と N2 の電位が確定した後に、信号 $\phi_{transfer}$ によってもう一对のトランスミッションゲートが開き、N1 と N2 の電位はおのの DFF のノード N4 と N3 に転送される。転送が終了したらトランスミッションゲートを閉じる。その後、シフトレジスタにクロック信号 ϕ_1 と ϕ_2 を与える。

シフトレジスタを構成する DFF は図 4 のように直列に接続された 2 つのクロック・インバータからなる。スタティックな回路構成にすると面積オーバーヘッドが大きくなるのでダイナミック回路を用いている。今回の試作した 64 k ビットの SRAM では、シフトレジスタの段数はセルの行数（または列数）と同じ 256 段になっている。ダイナミック回路が用いられるかどうかは、シフトレジスタの段数、すなわちメモリの容量や、メモリの構成にも依存する。

各制御信号のタイミング図を図 5 に示す。各 DFF のデータを壊さないよう信号 ϕ_1 と ϕ_2 はオーバーラップがないようにする。シフトレジスタの出力に現れる 1 は異常リーク電流が流れるセル電源線の位置を示す。

チップ試作

0.6 μm CMOS プロセスを用いて試作した 64 k ビットの SRAM チップの顕微鏡写真を写真 1 に示す。白枠で囲まれた部分が従来の SRAM に対して新たに付加される回路である。

ヒューズは 2 行および 2 列に 1 つずつ挿入されている。通常、1 行は上隣または下隣の行と 1 本のセル電

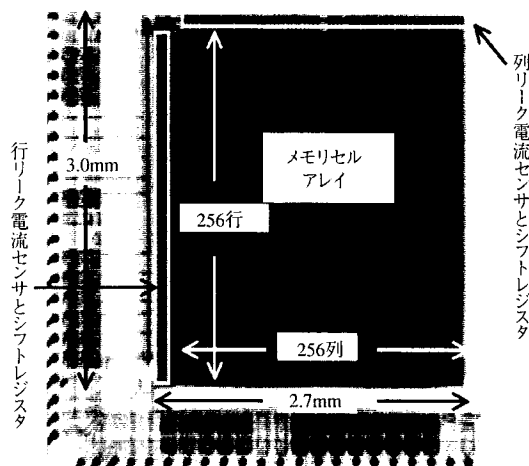


写真1 試作した64 kbit SRAMの写真

源線を共有しているの、それ以上に多くのヒューズを入れることはできない。列に関しては図4の回路を1セルのピッチに収めることは難しく、最低でも2列分の幅が必要になる。1つのヒューズにつなぐ行と列の数は、設計者が選択することができる。2行と2列に1つずつヒューズを挿入した場合の面積オーバーヘッドを図6に示す。

記憶容量の増大に伴って、面積オーバーヘッドは相対的に小さくなる。ALS方式を4MビットのSRAMに適用した場合、オーバーヘッドは1%以下にできるので、実用にも十分耐えうると考えられる。

測定結果

図4のリーク電流センサは、PMOS M7のゲートバイアス電圧 $V_{LEAK\ MONITOR}$ と基準電圧 V_{REF} の値を変化させることで感度を調整することができる。すなわち、どの程度の電流を異常リーク電流とみなすかを、測定時に変更することができる。電源電圧3.3Vのもとでリーク電流センサの感度を測定した結果を図7に示す。図に示されるように、 $1\mu A$ の電流を異常リーク電流として検知できた。感度を更に上げて、100 nA程度まで検知できるようにすることもできるが、そのためにはPMOS M7のゲート長をさらに長くする必要があり、面積オーバーヘッドを招く。

試作したSRAMチップには、4つの故意に作った故障セルがあり、それらがつながるセル電源線のヒューズを1つずつ切断しながらリーク電流を測定した結果を図8に示す。なお、シフトレジスタには100 MHzのクロック信号を与えてテストを行った。図に示す

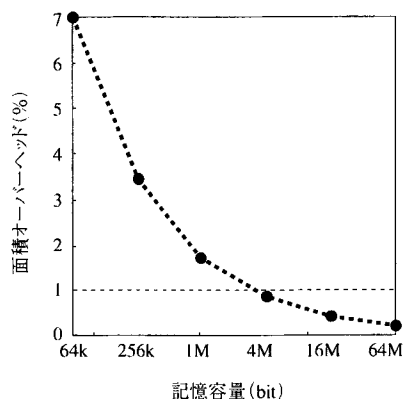


図6 ALS SRAMの面積オーバーヘッド

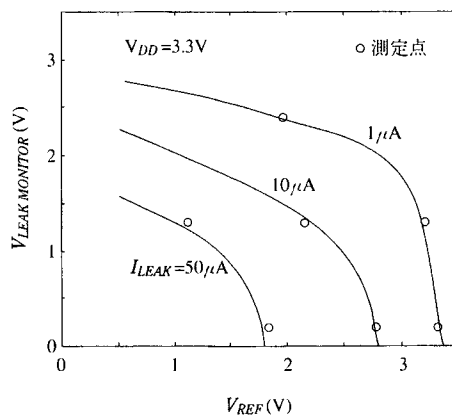


図7 バイアスの変化によるセンサ感度の変化

ように、ヒューズを切る度に確実にリーク電流が削減されていることが分る。試作したSRAMチップではヒューズは最上層メタル(3層メタル)でできており、これにレーザを照射することによって切断した。ヒューズ付近の拡大顕微鏡写真を写真2に示す。

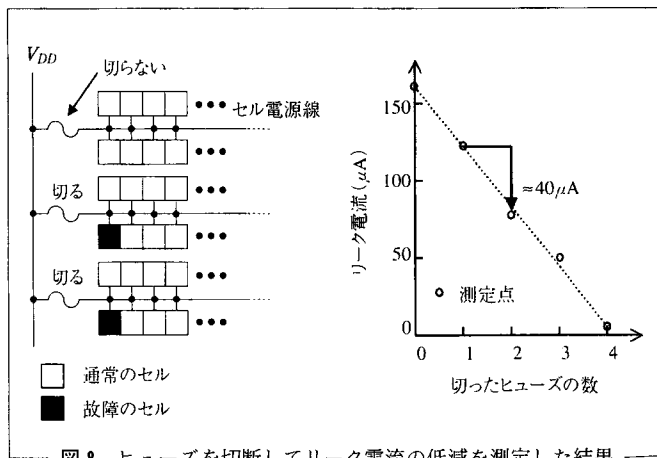


図8 ヒューズを切断してリーク電流の低減を測定した結果

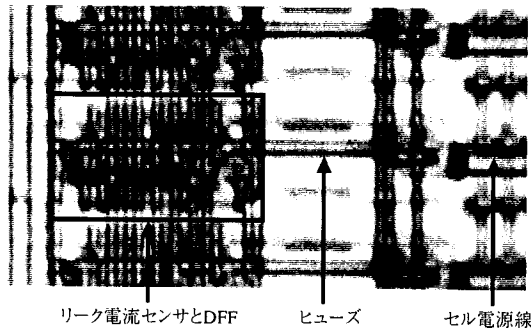


写真2 ヒューズ付近の拡大写真

□

デバイスの欠陥による異常リーク電流を系統的に削除することができる SRAM 回路方式を提案した。試作した 64 k ビットの SRAM チップを測定することによって本手法の有効性を確認した (表 1)。本手法により, SRAM のスタンバイ電流の低減, および製造歩留りの向上がもたらされると考えられる。テスト時には, 異常リーク電流を流す箇所を系統的に見つけ出し, 削除することが可能である。また, 本手法は従来の冗長回路技術やテスト技術との親和性という観点においても優れている。新たに付加した回路の面積オーバーヘッドは, 4 Mb の SRAM に対しては 1% 以下になり, 十分実用に耐えうると考えられる。

本研究を遂行するに当たり, 日立の佐々木勝朗氏と石橋孝一郎氏, および慶応大学の黒田忠広氏から多くの有益な議論を頂きました。ここに深く感謝致します。

表 1 試作チップの概要

テクノロジー	0.6 μm CMOS
	3 層メタル 1 層ポリ
	3.3 V 電源
SRAM	64 kb (256 行 256 列)
	総面積: 8.1 mm ²
	付加回路面積オーバーヘッド: 7%

す。

本研究は学術振興会未来開拓学術研究推進事業研究プロジェクト「極低消費電力高速・新システム LSI 技術の開拓」の一環として行われた。また, 本チップ試作は東京大学大規模集積システム設計教育研究センターを通しロームおよび凸版印刷の協力で行われた。

【参 考 文 献】

- 1) Ceuker R. P., D. G. Clemons, W. R. Huber, J. B. Petrizzi, F. J. Poocyk & G. M. Trout: A Fault-Tolerant 64 k Dynamic RAM, 1979 IEEE ISSCC, Digest of Technical Papers, p. 150 (Feb., 1979)
- 2) K. Kanda, Nguyen D. M., H. Kawaguchi & T. Sakurai: Abnormal Leakage Suppression (ALS) scheme for low standby current SRAM's, 2001 IEEE ISSCC, Digest of Technical Papers, p. 174 (Feb., 2001)

ビギナーズブックス13

はじめての生産システム

神田 雄一 著

A5・180頁 定価(本体1,850円+税) ¥310

これまでの生産システムでは「生産」というものに対する基本的な理解や知識の体系化が十分なされていないままに, 技術の情報化や効率化が進められてきた。本書は, 「生産」とは何かということから, 本当の生産システム構築までを教えてくれる。

主要目次

第1章 生産システムとは(生産の歴史, 生産活動, 他) / 第2章 生産システムを支える技術1(情報の流れに関わる技術, 物の流れに関わる技術, ネットワーク技術, コンカレントエンジニアリング, 他) / 第3章 生産システムを支える技術2(加工技術, 組立て・搬送技術, 他) / 第4章 生産システムを支える技術3(FAコンピュータ, ネットワーク技術, 他) / 第5章 生産システムのかたち(DNC, FMS, JIT, CIM, 他) / 第6章 これからの生産システム(次世代の生産システム, 他) / 第7章 次世代生産システムを支える技術(仮想生産, 知能化, 他)



7693-2150-3

工業調査会

〒113-8466 東京都文京区本郷 2-14-7 TEL 03-3817-4706・FAX 03-3817-4709
工業調査会ホームページ URL: <http://www.ijnet.or.jp/kocho/>