

A 0.5V, 400MHz, V_{DD} -Hopping Processor with Zero- V_{TH} FD-SOI Technology

川口 博 神田 浩一¹ 野瀬 浩一² 服部 貞昭³ ダナルドノ ドウイ アントノ
山田 大裕⁴ 宮崎 隆行 稲垣 賢一 平本 俊郎 桜井 貴康

東京大学生産技術研究所 〒153-8505 東京都目黒区駒場 4-6-1

E-mail: kawapy@iis.u-tokyo.ac.jp

あらまし 電源電圧 0.5V という低電圧下で 400MHz で動作する 16 ビット RISC プロセッサを設計し、0.25 μm 、デュアル V_{TH} 、完全空乏型 SOI 技術を使って検証した。ロジック部には高速化のためにゼロ V_{TH} を、メモリとレジスタファイルにはリークを抑えるために高 V_{DD} と高 V_{TH} を用いるなど、0.5V 世代の VLSI 設計の一つの方向性を示した。電源電圧 0.5V での消費電力は 3.5mW であった。またソフトウェアと協調して低電力化を達成する V_{DD} ホッピングがリークが支配的な環境においても有効であることを示した。その他、Compact yet High-Performance (CyHP) Library の適用など設計手法にも工夫が行われている。

キーワード プロセッサ, 低電力, V_{DD} ホッピング

A 0.5V, 400MHz, V_{DD} -Hopping Processor with Zero- V_{TH} FD-SOI Technology

Hiroshi KAWAGUCHI Kouichi KANDA¹ Koichi NOSE² Sadaaki HATTORI³

Danardono Dwi ANTONO Daisuke YAMADA⁴ Takayuki MIYAZAKI

Kenichi INAGAKI Toshiro HIRAMOTO and Takayasu SAKURAI

Institute of Industrial Science, University of Tokyo, 4-6-1 Komaba, Meguro-ku, Tokyo, 153-8505 Japan

E-mail: kawapy@iis.u-tokyo.ac.jp

Abstract A 0.5V, 400MHz, V_{DD} -Hopping processor with zero- V_{TH} FD-SOI was designed and evaluated. The logic blocks use zero- V_{TH} cells for high speed and the memory and register file use high V_{DD} , high V_{TH} cells to suppress leakage current. The test chip consumes 3.5mW at 0.5V V_{DD} . Software cooperation scheme namely V_{DD} -Hopping was shown to be effective in reducing power in leakage dominant era.

Keyword processor, low power, V_{DD} -hopping

1. はじめに

完全空乏型 SOI (fully-depleted silicon-on-insulator: FD-SOI) は良好なスケーリング特性を持ち、将来有望な技術である。しかし、0.5V 世代での FD-SOI プロセッサの設計指針はまだ確立されていない。本プロセッサは FD-SOI を用い、将来の低電源電圧 VLSI を意識し、0.5V、400MHz、3.5mW で動作するものであり、この設計と実測結果を報告する。過去に FD-SOI を使った 0.5V、100MHz 加算器と SRAM[1] が報告されているが、本プロセッサはシステムとして動作するとともに、更に大幅な高速化を達成した。ロジック部にゼロしきい

値(ゼロ V_{TH})を用いて高速動作を達成した。しかし、リークを抑えるために 85% のトランジスタ数を占めるメモリ部には 0.3V の高 V_{TH} を用いた。また本プロセッサは 0.9V、800MHz でも動作し、高い性能が必要なときだけ高 V_{DD} が供給される V_{DD} ホッピング[2] も実現可能である。リークが支配的な環境においても、 V_{DD} ホッピングが DIBL (Drain Induced Barrier Lowering) 効果の助けを借りられるため有効であること示す。

¹ 現在, 株式会社富士通研究所システム LSI 開発研究所

² 現在, 日本電気株式会社

³ 現在, KDDI 株式会社

⁴ 現在, みずほ証券株式会社

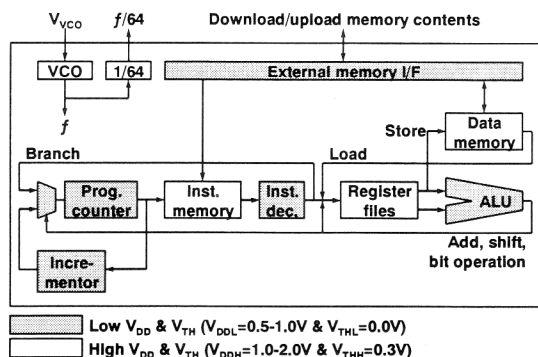


図 1 ブロック図

2. プロセッサの構成

16ビット RISC プロセッサのブロック図を図1に示す。低 V_{TH} と低 V_{DD} を V_{THL} と V_{DDL} と表記すると、 V_{THL} は 0V で V_{DDL} は 0.5V から 1V まで変化する。低 V_{TH} は高速動作を達成するためにロジック部に用いられている。一方、高 V_{DD} (V_{DDH}) と高 V_{TH} (V_{THH}) は命令メモリ、データメモリ、レジスタファイルというトランジスタの活性化が低いメモリ部で用いられている。

V_{THH} は 0.3V で、 V_{DDH} は V_{DDL} の 2 倍になるように 1V から 2V まで変化する。これはロジック部とメモリ部のクリティカルパスの速度バランスを保つためである。メモリ容量は命令メモリ、データメモリとも 2k ビット (128 ワード $\times$ 16 ビット)、レジスタファイルは 16 ワードあり、2 リード / 1 ライト構造のセルで構成されている。高速動作のために、電圧制御発振器 (voltage-controlled oscillator: VCO) をチップ上に実装し、1GHz 以上のクロックを発振させている。この VCO の 64 分周の出力周波数をモニターし、内部動作周波数を測定する。

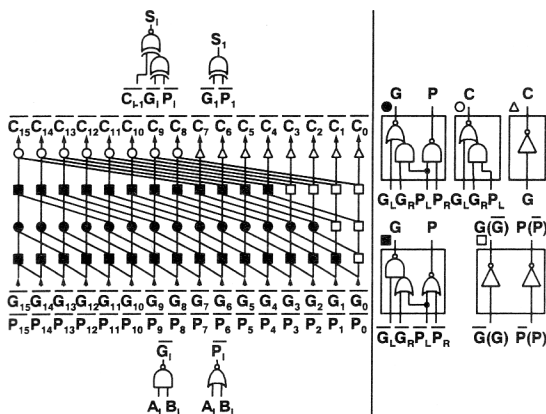


図 2 加算器の回路図

ALU は図 2 に示すように 16 ビット Kogge-Stone バイナリ加算器を実装しており、高速動作が可能である。この加算器の遅延は直列に接続されている 6 ゲートであり、 V_{DDL} が 0.5V で 1.5ns である。ALU はシフトとビット演算器も含んでいる。

図 3(a)に SRAM のブロック図を示す。もし SRAM にゼロ V_{TH} を使えば、セルのリークにより電力が急増するので、SRAM には高しきい値である V_{THH} を用いる。メモリアの電力はリーク電力が支配的なので、高い V_{DD} をメモリセル部に加えても電力消費はそれほど増えない。このため高い電源電圧である V_{DDH} をメモリセル部に用いる。安定動作のためにワード線とビット線も V_{DDH} で動作する。しかしデコーダ部分は静電容量が大きいので、ダイナミック電力も無視できない。そのため、ロウデコーダは電力低減のために V_{DDL} で動作させるように設計されている。ロウデコーダには V_{DDL} を加えるが、ワード線は V_{DDH} の振幅を持つため、ロウデコーダの出力にはレベルコンバータが必要となる。

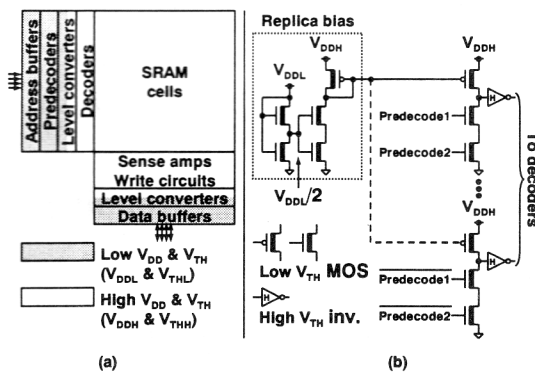


図3 (a)SRAMのブロック図 (b)レプリカバイアスレベルコンバータ

このレベルコンバータには図 3(b)に示すような、レプリカバイアスレベルコンバータが使われている。このため、広い電源電圧の範囲で正常に動作することに加え、遅いクロスカップルの構造を持った従来のレベルコンバータ[3]より 2 倍ほど高速である。このレプリカバイアスレベルコンバータには常時オンの pMOS 負荷があり、nMOS がオンしたときの貫通電流による電力消費が大きい。しかしデコーダは 1 つのロウしかオンしないのでこの貫通電流は問題とならない。また従来のノーマリオン pMOS 負荷型のレベルコンバータでは pMOS-nMOS のレシオ動作モードにより動作マージンが低下するが、レプリカバイアスレベルコンバータでは pMOS と nMOS の強さを補償し、論理しきい値がいつも $V_{DDI}/2$ に維持されている。

3. 測定結果

実測によれば、プロセッサは 400MHz では 3.5mW 消費する。0.9V まで電源電圧を上げると 800MHz でも動作可能である。この高速モードでは V_{DDL} には 0.9V が、 V_{DDH} には 1.8V が加えられ、動作電力は 29mW になる。このプロセッサの電源電圧は要求される性能によって 2 つの電圧間をホッピングする。典型的 MPEG4 エンコードではほんの 6% の時間だけ高い性能、従って高い

周波数が要求されることが知られており、電源電圧ホッピングは効率的に電力低減できることが報告されている[2]。

ところで、クリティカルパスは 400MHz と 800MHz の両方ともメモリ読み出し時間である。図 4(a)は 2つの周波数における SRAM サイクルタイムの遅延内訳を示している。図 4(b)から $V_{DDH}=2V_{DDL}$ となるよう V_{DDH} は V_{DDL} に応じて設定されるべきであると理解できる。 V_{DDH} を 1.8V に固定すると、メモリ部のリーク電力が多少増加するのみならず、 V_{DDL} が 0.5V のときにレベルコンバータに大きな負担がかかり誤動作する可能性が出てくるので、 V_{DDH} は $2V_{DDL}$ に追随するように設定すべきである。

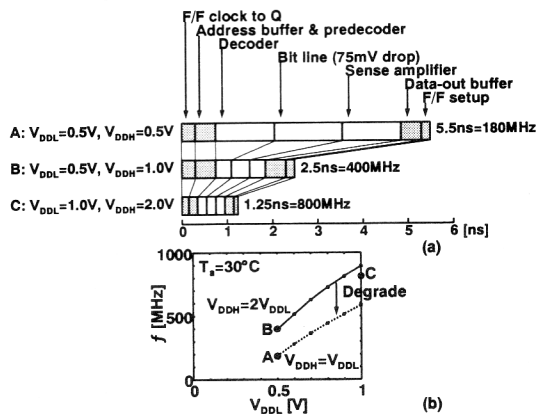


図 4 (a)SRAM サイクルタイムの遅延内訳(シミュレーション) (b)実測周波数特性

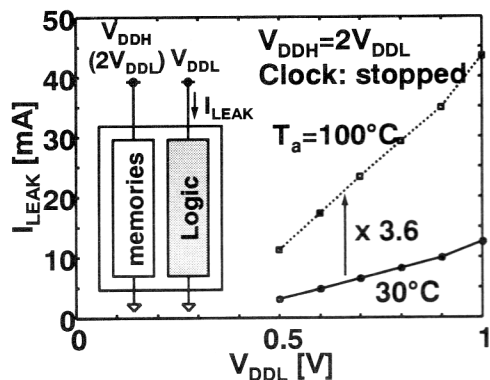


図 5 V_{DDL} の実測リーク電流特性

図 5 にクロックを停止して測定した V_{DDL} のリーク電流特性を示す。リークは室温時あるいは高温 $100^\circ C$ 時ともに V_{DDL} の強い関数である。これは DIBL(Drain Induced Barrier Lowering)によるものである。DIBL がなければ、たとえ V_{DD} が変わってもリーク電流は一定であると考えられる。リークを効率よく制御するために V_{TH} ホッピング[4]が提案されているが、FD-SOI ではバックゲートがなく、基板バイアスによるしきい値

制御ができないのでこの方式は適用できない。このため V_{DD} ホッピングは FD-SOI に対する効果的な低電力技術であることが初めて示された。

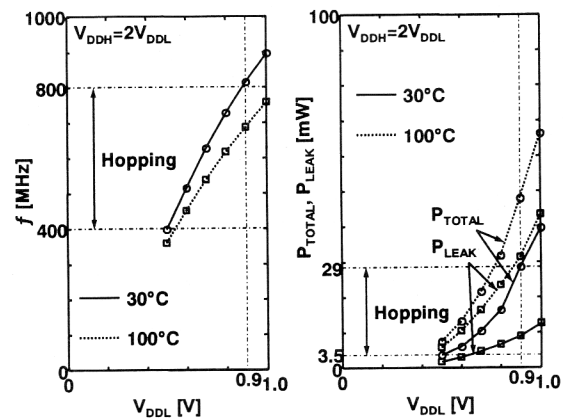


図 6 室温と高温における動作周波数、総電力、リーク電力の実測特性

図 6 は室温と高温における動作周波数、総電力、リーク電力の実測特性を示している。総電力 P_{TOTAL} はリーク電力 P_{LEAK} とダイナミック電力の和である。 P_{TOTAL} と P_{LEAK} は V_{DDL} に関して似たような依存性を示している。これは V_{TH} ではなく V_{DD} だけを変化させることによって電力を効果的に調整できることを意味する。言い換えると、サブ 1V における FD-SOI での V_{DD} ホッピングの有効性を示している。もう 1つの興味深い点は遅延が正の温度係数を持っていることである。サブ 1V における高 V_{TH} での設計では遅延は負の温度係数を持つと指摘されている[5]が、このプロセッサではゼロ V_{TH} を用いているので、正の温度係数を持っていると考えられる。

図 7 に半導体テストを用いた測定セットアップを示す。図 8 は本プロセッサ内部の 64 分周されたクロック出力を示しており、振幅 0.5V、周波数 6.27MHz である。これはプロセッサ内部が 400MHz で動作していることを示している。

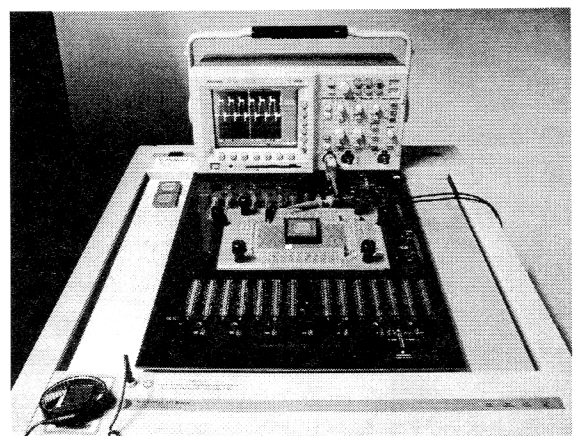


図 7 測定セットアップ

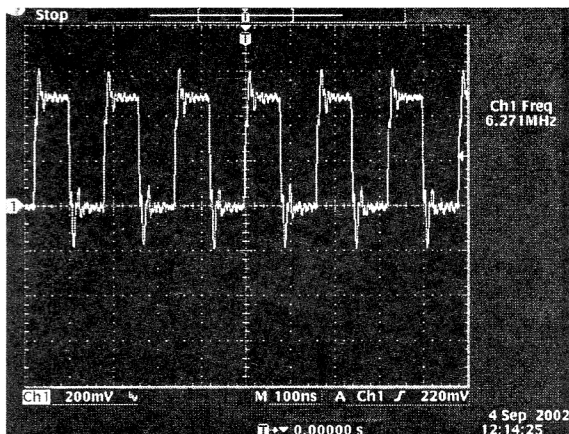
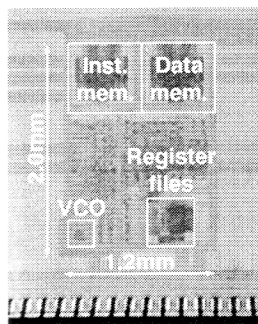


図 8 64 分周されたクロック出力

図 9 にチップ写真を示す。ロジック部はスタンダードセルを用いて合成したものである。セルライブラリのゲートの種類は 20 種類と少なくしている。このように種類を絞っても高速性にはほとんど影響がないことが知られているためである[6]。今回のように新しいテクノロジーを VLSI 設計に適用する際には、多くのスタンダードセルを用意するリスクは負いがたい。特に、低 V_{TH} の設計においては電流のオンオフ比が小さくなるため、pMOS と nMOS のサイズ比は非常に重要である。従って、ゲートの種類が多くなると、レシオ設計ミスによって動作しないセルが出てくる可能性が急速に高まる。今回はスタンダードセルの種類を 20 種類に限定することによって注意深くトランジスタサイズの最適化ができた。



• 0.25- μm , 3-metal FD-SOI
• Dual- V_{TH}
($V_{THL}=0.0\text{V}$, $V_{THH}=0.3\text{V}$)

図 9 チップ写真

4. まとめ

電源電圧 0.5V という低電圧下で 400MHz で動作する 16 ビット RISC プロセッサを設計し、0.25 μm 、デュアル V_{TH} 、完全空乏型 SOI 技術を使って検証した。ロジック部には高速化のためにゼロ V_{TH} を、メモリとレジスタファイルにはリークを抑えるために高 V_{DD} と高 V_{TH} を用いるなど、0.5V 世代の VLSI 設計の一つの方向性を示した。電源電圧 0.5V での消費電力は 3.5mW であった。またソフトウェアと協調して低電力化を達成する V_{DD} ホッピングがリークが支配的な環境においても有効であることを示した。

謝辞

テストチップ設計の助言を頂きました沖電気の千葉、竹村、馬場、NTT の道関各氏に感謝致します。この研究は日本学術振興会と新エネルギー・産業技術開発機構による助成金によるものです。

文献

- [1] T. Douseki, J. Yamada, and H. Kyuragi, "Ultralow-power CMOS/SOI LSI Design for Future Mobile System," Proc. Symp. VLSI Circ., pp. 6-9, 2002.
- [2] H. Kawaguchi, G. Zhang, S. Lee, Y. Shin, and T. Sakurai, "A Controller LSI for Realizing V_{DD} -hopping Scheme with Off-the-Shelf Processor and Its Application to MPEG4 System," IEICE Trans. Elec., vol. E85-C, no. 2, pp. 263-271, 2002.
- [3] H. Zhang, and J. Rabaey, "Low-Swing Interconnect Interface Circuits," Proc. Int. Symp. Low Power Elec. Design, pp. 161-166, 1998.
- [4] K. Nose, M. Hirabayashi, H. Kawaguchi, S. Lee, and T. Sakurai, " V_{TH} -hopping Scheme to Reduce Subthreshold Leakage for Low-Power Processors," IEEE J. Solid-State Circ., vol. 37, no. 3, pp. 413-419, 2002.
- [5] K. Kanda, K. Nose, H. Kawaguchi, and T. Sakurai, "Design Impact of Positive Temperature Dependence on Drain Current in Sub-1-V CMOS VLSIs," IEEE J. Solid-State Circ., vol. 36, no. 10, pp. 1559-1564, 2001.
- [6] N. D. Minh, and T. Sakurai, "Compact yet High-Performance (CyHP) Library for Short Time-to-Market with New Technologies," Proc. Asia and South Pacific Design Automation Conf., pp. 475-480, 2000.