

Outside-Rail 出力をもつ高耐圧演算増幅器

工学系研究科電子工学専攻 博士課程 3 年 27109 石田光一 指導教員: 桜井貴康

1. はじめに

分散配置された小型のセンサモジュール間を相互に無線通信することによりネットワークを構成し、温度や音などのデータ収集し、気象、医療、セキュリティなど様々な分野のサービス提供を可能にするユビキタス・エレクトロニクスは今後期待される研究分野のひとつである。センサモジュールにはセンサからの信号を処理するために増幅器、フィルタ、A/D 変換器など多くのアナログ回路が用いられているが、デジタル回路に比べて多くの実装面積を必要としている。従ってアナログ回路を小型化する技術はセンサモジュール全体を小型化するために重要な技術である。本報告書ではプロセススケーリングのメリットを享受してアナログ回路の小型化を実現する Outside-Rail 出力をもつ高耐圧演算増幅器を提案する。

2. CMOS アナログ集積回路のスケーリング

スケーリングによって CMOS デバイスが小型化されると、ゲート酸化膜の信頼性の問題から回路の電源電圧を低下させる必要がある。CMOS アナログ集積回路においては信号雑音比(S/N 比)が重要な性能指標となるが、プロセススケーリングによって電源電圧が $1/2$ に低下したとすると、取り扱うことができる信号の振幅も $1/2$ 以下に制限されてしまうため、雑音レベルも $1/2$ 以下にスケーリングさせなければ S/N 比は劣化してしまう。ここで熱雑音の電圧レベル: $\overline{v_n}$ はボルツマン定数: k 、温度: T 、サンプリングキャパシタ: C によって $\overline{v_n} = \sqrt{kT/C}$ のように表される。従って、雑音レベルも $1/2$ にするためにはキャパシタンスを $2^2=4$ 倍に増やさなければならないことになる。回路の動作速度(帯域)を一定とするためには、このキャパシタへの充放電を行う増幅器の電流を 4 倍にしなければならない。従って、電源電圧が $1/2$ 、消費電流が 4 倍なのでその積である消費電力は 2 倍となる。また、実装面積で支配的であるキャパシタの面積はスケーリングによる縮小効果を考慮してもキャパシタンスが 4 倍となるので結果的に 2 倍を必要とする。このような理由から従来は CMOS アナログ集積回路においてはスケーリングしない方が良くとされることが一般的であった。

しかしながら、もし回路の工夫によりゲート酸化膜のストレスを緩和させて標準の使用電圧以上の信号を取り扱うことができるとすれば、スケーリングした小型のデバイスを用いて、スケーリング前の

電源電圧を使用し、扱う信号の振幅も維持することができるようになるので、消費電力が増加することなく回路の実装面積を小型化することが可能になるといえる。つまり、標準の使用電圧を超える (Outside-Rail) 出力をもつ高耐圧演算増幅回路が実現できれば、多くのアナログ回路を小型化することが出来るようになるわけである。

3. Outside-Rail 出力をもつ高耐圧演算増幅器

図1に提案する高耐圧演算増幅器の回路図を示す。回路の高耐圧化を実現するためには、ゲート酸化膜への電圧ストレスを緩和することが必要である。このためにトランジスタの縦積み構造を用いる。入力差動増幅回路 (M1~M8) はテレスコピック型の演算増幅器をベースにした構成である。M2、M5、M6 の各トランジスタがストレス緩和用に追加されたトランジスタで、標準電圧の 2 倍の電源電圧範囲に 5 段のトランジスタが縦積みされている。しかしながら、この回路の出力(図中 A 点)は縦積みされたトランジスタによって制限され十分な振幅が得られない。そこで Outside-Rail 出力を実現する出力バッファを設ける 2 ステージ構成とした。デジタル回路の I/O バッファ用として提案されたダブルカスコード型バッファ[1]をプッシュプル構成にし (M13~M22)、AB 級動作作用のレベルシフタ (M9~M12、R1、R2) と組み合わせることで演算増幅器の出力段として使用できるようにした。

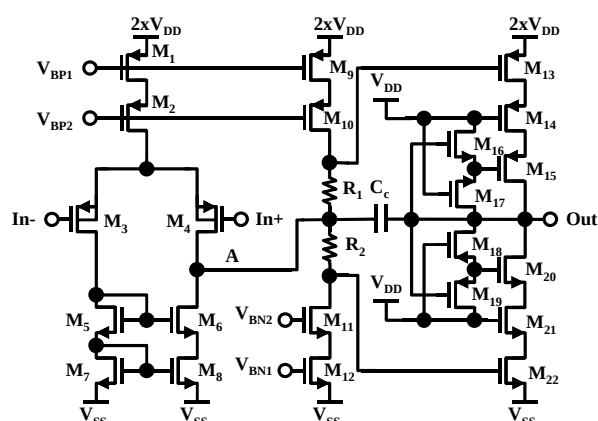


図1 提案する高耐圧演算増幅器の回路図

4. 回路の動作検証

提案回路を 1.8-V、0.18- μm の標準 CMOS プロセスを用いて設計し、SPICE による過渡解析およ

び周波数応答のシミュレーションを行った。また、提案回路がトランジスタにストレスを加えることなく高耐圧化を実現しているかを検証するために過渡解析結果から各トランジスタの VGS-VGD トラジェクトリを作成した。

図 2 に提案回路にてゲイン-1 倍の反転増幅器を構成したときの過渡解析結果を示す。電源電圧を標準仕様電圧の 2 倍の 3.6V とし、入力信号の振幅は 3.6Vpp とした。出力バッファの出力は、ほぼ電源電圧範囲と等しい Outside-Rail 出力を得ていることが確認された。また、初段出力 (図 1 A 点) は耐圧上の問題は生じないよう 1.8V 近傍で動作するようにした。

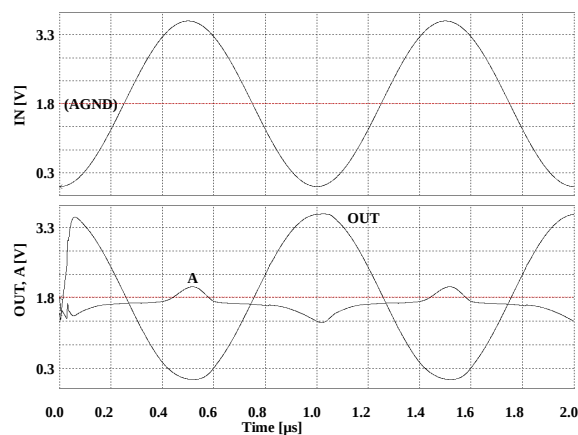


図 2 提案回路の SPICE による過渡解析結果

図 3 に AC 解析による開ループゲインと位相の周波数応答を示す。負荷容量が 10pF の時、ゲインバンド積が約 30MHz, 位相余裕は 62 度である。音声処理回路等に適用することを意図した設計とした。

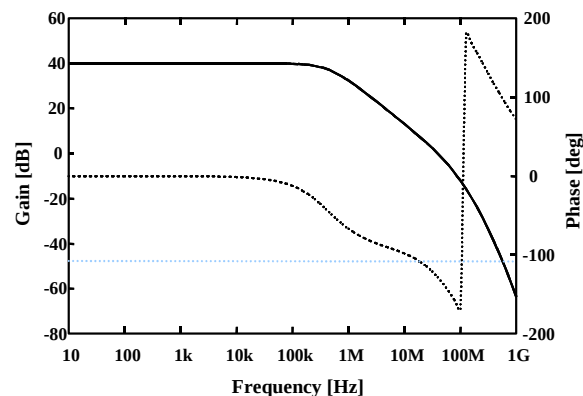


図 3 提案回路の SPICE による AC 解析結果

図 4 に VGS-VGD トラジェクトリを示す。これは図 2 の過渡解析における各トランジスタのゲート・ソース間電圧(VGS)およびゲート・ドレイン間電圧(VGD)の軌跡を描いたもので、軌跡が標準使用電圧である-1.8V~+1.8V の範囲に収まっていればゲート酸化膜に対するストレスに問題がないことを示している。電源電圧および出力振幅が 3.6Vpp の時においても全てのトランジスタは、VGS、VGDが-1.8V~+1.8V の間で使用されており、信頼性上問題ないことが示された。

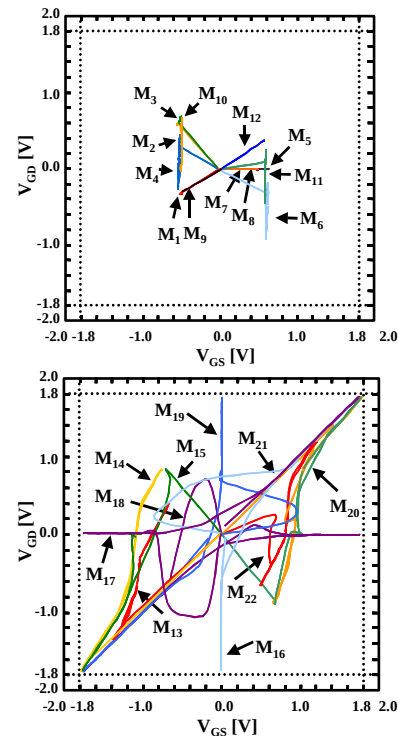


図 4 提案回路の VGS-VGD トラジェクトリ

5. まとめ

増幅器、フィルタ、A/D 変換器など CMOS アナログ集積回路の小型化に寄与する Outside-Rail 出力をもつ高耐圧演算増幅回路に置いてもスケールリングのメリットを享受するための高耐圧オペアンプを提案した。提案回路を 1.8-V、0.18-μm の標準 CMOS プロセスを用いて設計し、SPICE による動作検証を行いその有効性を検証した。

参考文献

- [1] A. Annema, G. Geelen, and P. Jong, "5.5-V I/O in a 2.5-V 0.25-μm CMOS Technology," J. Solid-State Circuits, vol.36, no.3, pp.528-538, Mar. 2001.

本研究に関する発表

- [P1] 石田光一,アティットタムタカーン,桜井貴康「1.8V CMOS プロセスによる高耐圧オペアンプ」,2005 年電子情報通信学会総合大会,no. A-1-13, 2005 年 3 月