

インダクティブカップリングによる電力伝送回路最適化に関する一考察

A Study on Optimization of Chip-to-Chip Inductive Power Transmission

鬼塚 浩平 桜井 貴康
Kohei Onizuka Takayasu Sakurai

東京大学生産技術研究所
Institute of Industrial Science, The University of Tokyo

1. はじめに

著しい VLSI の複雑化に伴い、デザインの再利用・共有や、より抽象度の高い設計に対するニーズが高まり、SoC(System on a Chip)や SiP(System in a Package)の概念およびそこで用いられる実装技術が注目されている。その中でチップ間の信号線接続をワイヤレス化することによってコスト削減や低電力化、高速化を目指す研究が行われている[1]。これに加え電源もワイヤレス化することでさらなるコスト削減が期待でき、将来的にはユーザレベルでのチップ組み換えも実現する可能性がある。本稿ではオンチップインダクタで空心トランスを形成し誘導結合によって電力を伝送する回路についての、設計最適化を考察する。

2. 前提

図1に誘導結合によるワイヤレス電源伝送回路を示す。 L_1, L_2 はそれぞれオンチップインダクタであり、空心トランスを形成する。Chip1の交流電源として図2に示すVCOを用い、このLを図1中の L_1 に見立てて1mm角の送受信チップをそれぞれ設計した。これらを2 μm 間隔で重ねた状況を HSPICE によって回路シミュレーションしたところ、電源電圧3Vにおいて約1.6mWの電力を伝送できる見通しが立った。

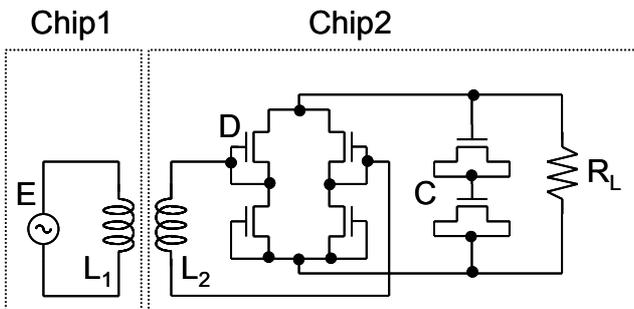


図1 誘導結合回路設計例

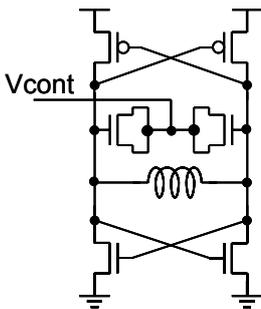


図2 1次側駆動用VCO

誘導結合方式の場合、 L_2/L_1 比を大きく取り2次側の電圧

出力を大きくしてやることで効率を高めることができるが、トランジスタの耐圧による制約があり、この解決策として整流部に全波整流回路を用い、平滑化用の MOS キャパシタは2段積みとしている。伝送部の受動素子パラメータを最適化してやれば1次側の駆動力がネックになってくるはずだが、現状では上記の問題で故意に効率が抑えられている。

3. 最適化の一例

2節で示した前提を適用すると図1の回路は図2のように変形される。

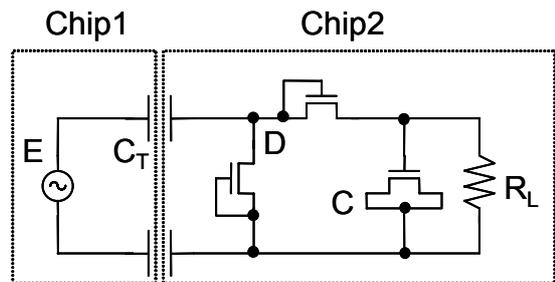


図3 容量結合回路設計例

容量結合の場合、電源電圧より出力電圧が高くなることはないため、電圧ドロップ防止のためにダイオード1段の半波整流としている。しかし半周期分結合が切れてしまうため、平板間に別のダイオードが必要となる。

4. 両方式の比較とまとめ

設計する段階ではレイアウトスペース、動作周波数などの仕様に従って誘導・容量結合方式いずれかを選択することになるが、両者の最適化手法については目下検討中のため言及できない。しかし2枚以上離れたチップへの伝送という観点では誘導結合方式が比較的有利であると予測される。

参考文献

- [1] K. Kanda, D. D. Antono, K. Ishida, H. Kawaguchi, T. Kuroda, and T. Sakurai, "1.27-Gbps/pin, 3mW/pin Wireless Superconnect (WSC) Interface Scheme," IEEE International Solid-State Circuits Conference, San Francisco, CA, USA, 10.7, pp.186-187, Feb. 2003