

ナノ秒オーダーで変移可能なオンチップ電源回路向け V_{DD} ホッピングアクセラレータ

鬼塚 浩平[†] 桜井 貴康[‡]

[†] 東京大学生産技術研究所 [‡] 東京大学国際・産学共同研究センター
〒153-8505 東京都目黒区駒場 4-6-1
E-mail: kohei@iis.u-tokyo.ac.jp

あらまし オンチップ電源回路向け V_{DD} ホッピングアクセラレータを提案し、その有効性を実験的に検証した。本回路は今後普及が予測される分散オンチップ電源システムにおいてナノ秒オーダーの変移時間を実現する。CMOS0.18 μ m プロセスにおいて 25k ロジックゲート相当の負荷回路に対し 5ns 以下の変移時間が実測により確認された。これは本回路がない場合の μ s オーダーの変移時間に対し 2 桁のアクセラレーションを実現するものである。自己整合手法によるタイミング信号の自動生成についても議論した。

キーワード オンチップ電源, V_{DD} ホッピング, アクセラレータ, クイックドロップ

V_{DD} -Hopping Accelerator for On-Chip Power Supplies Achieving Nano-Second Order Transient Time

Kohei Onizuka[†] and Takayasu Sakurai[‡]

[†] Institute of Industrial Science [‡] Center for Collaborative Research University of Tokyo
4-6-1 Komaba, Meguro-ku, Tokyo, 153-8505 Japan
E-mail: kohei@iis.u-tokyo.ac.jp

Abstract A V_{DD} -hopping accelerator for on-chip power supply circuits is proposed and the effectiveness of the accelerator circuit is experimentally verified. The circuit enables nano-second order transient time in on-chip distributed power supply systems. The measured transition time is less than 5ns with load circuit equivalent to 25k logic gates in 0.18- μ m CMOS. This is to be compared with the case without the accelerator of the order of μ s and thus the acceleration by two orders of magnitude is achieved. Automatic generation of the timings in a self-aligned manner is also discussed.

Keyword On-Chip Power Supply, V_{DD} -Hopping, Accelerator, Quick Dropper

1. はじめに

SoC(System-on-a-Chip)や SiP(System-in-a-Package)は近年重要な集積技術として注目されるようになってきた。これらの技術は1つのチップやパッケージ内にMPU, DRAM, ROM, ロジック, アナログなど様々なタイプの回路や機能ブロックを集積するのに用いられる。これらの回路および機能ブロックに対する最適な電源電圧 V_{DD} は、テクノロジーノードの進化に従って各々の格差が広がっている。それゆえ低電力・高性能なシステムにおいて複数の V_{DD} を持つシステム、すなわちマルチプル V_{DD} 化が必要となる。パッケージ外から複数の異なる電源電圧を与えることは、面積オーバーヘッド, IR ドロップやノイズなど電源線信頼性の点で問題となる。

ここで分散オンチップ電源回路が問題解決に有効と

なる。図1に分散電源システムの概念を示す。オンチップに配した各電源回路が、外部電源電圧をターゲットブロック毎に最適化された内部電源電圧に変換する。各機能ブロックにおいて、常に最高速・最高性能が要求されるとは限らない。一般に要求速度に応じて電源電圧を変化させることで低消費電力化可能なことが知られている。特に離散的な V_{DD} スケーリング手法である V_{DD} ホッピング技術は要求性能に応じて電源電圧をスケーリングするもので、マルチメディアシステム等においてリアルタイム性を維持しながら消費電力を削減するのに有効な手法である[1][2]。しかし産業的視点において回路や機能ブロックを連続的な全ての電源電圧についてテスト、検証することは非現実的である。すなわちそれらの回路は離散的な特定の電源電圧のみで動作することが許され、 V_{DD} がある値から次の値に

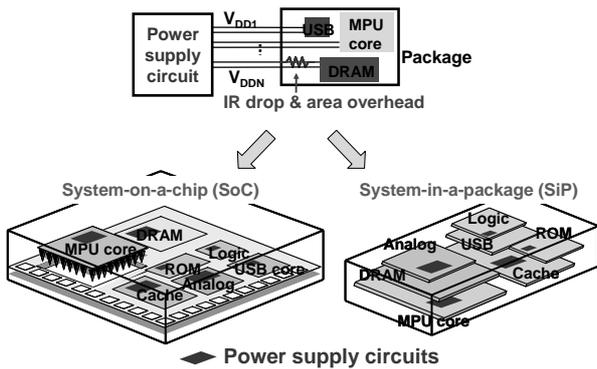


図 1. 分散電源システムの概念.

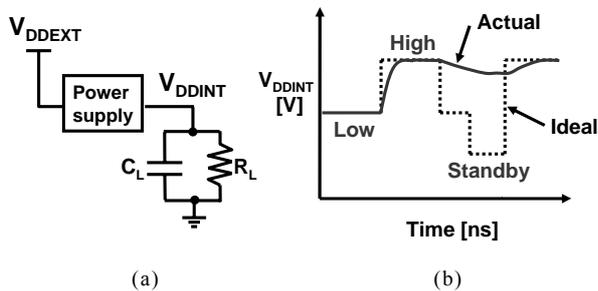


図 2. (a) 電源回路と等価負荷回路. (b) V_{DDINT} における理想的電圧波形(破線)と実際の電圧波形 (実線).

変移する時間中は停止しなければならないことを意味する．従って通常の動作に比べ電圧ホッピングすることで時間損失が発生することを抑えるため，高速な V_{DD} ホッピングが必要となる．

電源回路から見込んだ場合，ロジック，メモリ，アナログブロック等を含む CMOS 負荷回路は図 2 に示すような等価抵抗 R と等価容量 C で近似される．図 2(a) はオンチップ電源回路と等価負荷回路を示す． C_L は MOSFET の寄生容量，配線容量，デカップリング容量等の総容量を示し， R_L は負荷回路の消費電力に係る．負荷回路が停止した場合，電源線にはリーク電流しか流れず， R_L は $M\Omega$ レンジまで上昇する．ゆえに負荷回路の停止した V_{DD} ホッピングの進行プロセスにおいて，高い電源電圧から目的の電源電圧に下降させるパスが事実上存在せず，変移時間が非常に長くなる．図 2(b) は内部電源電圧 V_{DDINT} の理想波形と実際の波形を示す．分散オンチップ電源システムの場合，電源配線長は短くなることから，配線インダクタンスによる影響は無視することができる．長い変移時間は V_{DD} ホッピングにおいて長い時間を浪費し，システム全体の性能を低下させる．従ってこの変移時間を短縮する技術が不可欠となる．

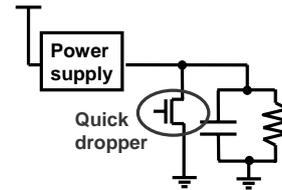


図 3. V_{DD} ホッピングアクセラレータの基本概念.

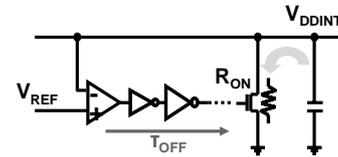


図 4. クイックドロップの基本回路.

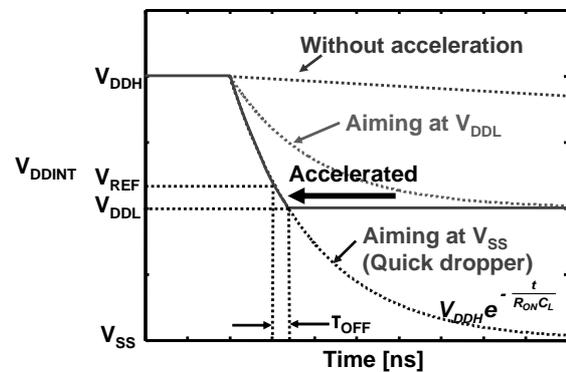


図 5. クイックドロップの動作電圧波形.

2. V_{DD} ホッピングアクセラレータの基本概念

図 3 は V_{DD} ホッピングアクセラレータの基本概念を示す．NMOS トランジスタ“Quick dropper”が負荷容量の放電プロセスを加速する．

図 4 および図 5 がクイックドロップの基本回路とその電圧波形を示す．変移時間は C_L およびクイックドロップの実効導通抵抗 R_{ON} からなる CR 時定数に依存する．クイックドロップは負荷容量 C_L を目標の次期電源電圧 V_{DDL} ではなく更に低い電圧 V_{SS} に向かって放電するため，放電時間はより高度に加速される．クイックドロップのドライバにはオフ遅延 t_{OFF} が存在するため， V_{DDINT} が最終的な目標電圧 V_{DDL} に達するよりも僅かに早くクイックドロップの停止プロセスに入る必要がある．この遅延を考慮するため，クイックドロップの停止プロセス開始を決める電圧 V_{REF} は次式に示す通り V_{DDL} より僅かに高く設定される．

$$V_{REF} = V_{DDL} e^{\frac{t_{OFF}}{R_{ON} C_L}} \quad (1)$$

V_{REF} は本検討において測定の利便性のためチップ外部から与えるが，制御タイミングの自己整合手法の検討も本稿後半で述べる．ここで， V_{REF} 分配のための配線は大電流を流すことがないため面積オーバーヘッドが問題になることはない．

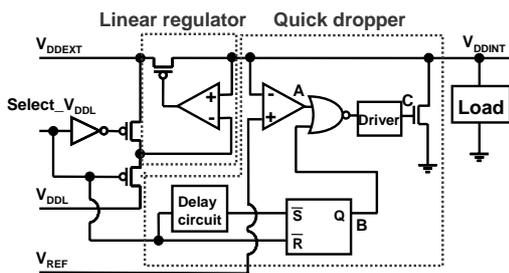


図 6. リニアレギュレータへの適用例.

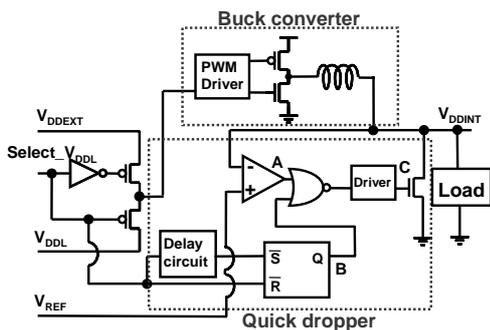


図 7. バックコンバータへの適用例.

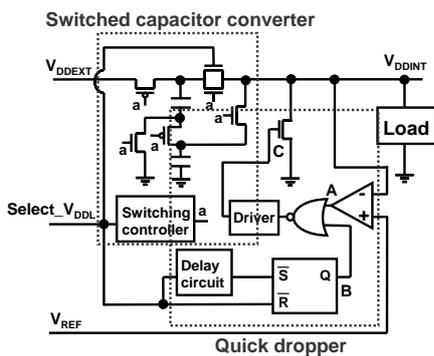


図 8. スイッチトキャパシタ DC-DC コンバータへの適用例.

3. 回路実装

本章では、各方式の電源回路に対する V_{DD} ホッピングアクセラレータの実装について示す。図 6, 7 および 8 に、リニアレギュレータ、バックコンバータ、スイッチトキャパシタ DC-DC コンバータにクイックドロップを適用した場合の回路図を示す。

図 9 はクイックドロップの動作電圧波形を示す。

ON および OFF はそれぞれクイックドロップのオンおよびオフ時に発生する遅延を示す。出力電圧のオーバershoot やアンダershoot などリプル発生を避けるため、 V_{REF} は高精度に設定される必要がある。

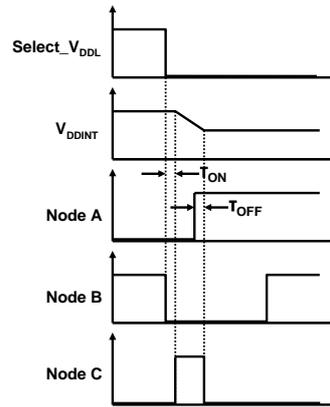


図 9. クイックドロップの制御電圧波形.

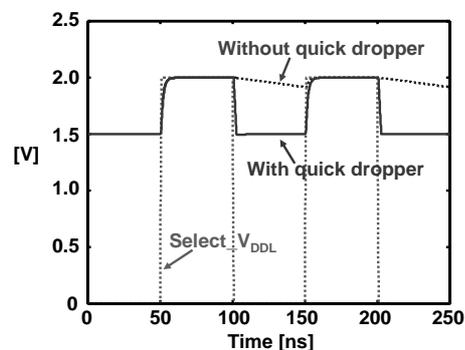


図 10. クイックドロップの有無に対するリニアレギュレータのシミュレーション結果.

4. シミュレーションおよび実測結果

V_{DD} ホッピングアクセラレータの有効性を実証するため、CMOS0.18 μm において図 6 に示したクイックドロップ付きリニアレギュレータの設計を行った。負荷回路は 25k の NAND ゲート相当とした。

図 10 はクイックドロップがある場合とない場合について HSPICE を用いてリニアレギュレータをシミュレーションした結果である。ここでリーク電力は回路のダイナミック電力の 1% と仮定している。 V_{DDH} および V_{DDL} はそれぞれ 2.0V, 1.5V とした。変移時間は Select_V_{DDL} 信号の入力から V_{DDL} が $V_{DDH}-V_{DDL}$ の 95% まで変化するまでの時間と定義している。クイックドロップがない場合の V_{DDH} から V_{DDL} の変移時間は 50ns を大幅に上回っており、これは負荷容量がリーク電流によってのみ放電されることによる。そのためこの場合には V_{DDL} 期間に負荷回路の動作を開始することができない。クイックドロップがない場合の変移時間が 0.4 μs なのに対し、クイックドロップ付きの変移時間は約 3ns である。変移直後の電圧リプルは 2% 以内であるから変移直後から負荷回路の動作を開始することができる。

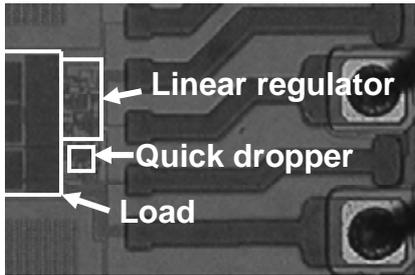


図 11. クイックドロップ付きリニアレギュレータのチップ写真。アクセラレータ面積は $35 \times 35 \mu\text{m}$ でボンディングパッドに対し充分小さいことが分かる。

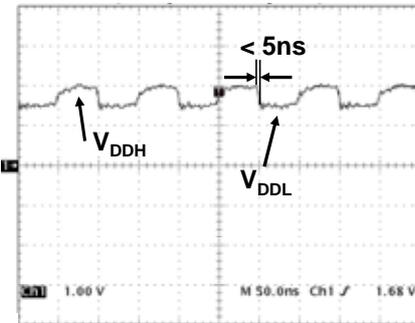


図 12. V_{DDINT} の実測波形。

図 11 に製造されたクイックドロップ付きリニアレギュレータのチップ写真を示す。リニアレギュレータのサイズ $30 \times 70 \mu\text{m}$ に対し、クイックドロップサイズは $20 \times 20 \mu\text{m}$ である。クイックドロップの面積オーバーヘッドは負荷回路の 2% 程度の小ささであった。

図 12 に電源出力電圧 V_{DDINT} の実測波形を示す。これは HSPICE によるシミュレーション結果に酷似している。 V_{DDH} から V_{DDL} への変移時間は 5ns 以下で、アクセラレータのない場合の 2 桁以上の加速が実現している。

5. 制御手法の改善

前節までに示した回路は全タイミング制御にパッケージ外から与えられる参照電圧 V_{REF} を必要とする。これは V_{REF} 線が電流容量を必要とせず、もし近接した信号線からの影響を軽減するため V_{SS} 線を用いたシールドを行っても面積オーバーヘッドが小さく抑えられるために可能となる。式(1)に示したように V_{REF} の値は負荷に依存する。負荷の仕様によらず全てのタイミング信号をチップ内で生成することができれば、SoC/SiP 環境における V_{DD} ホッピングアクセラレータの適用性を高めることができる。これらの問題を解決するため、

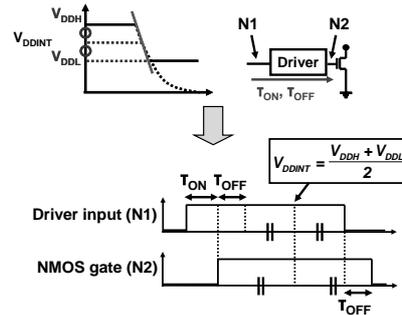


図 13. タイミング信号の自動生成手法に関する基本概念。

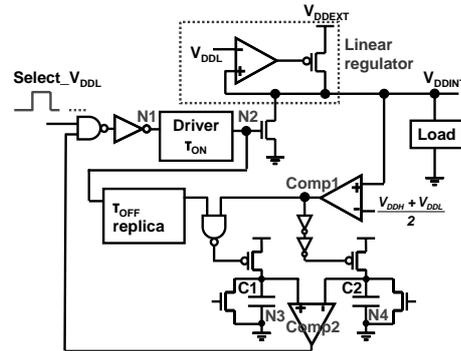


図 14. ミラーディレイを用いてタイミング信号を自動生成可能なクイックドロップ回路。

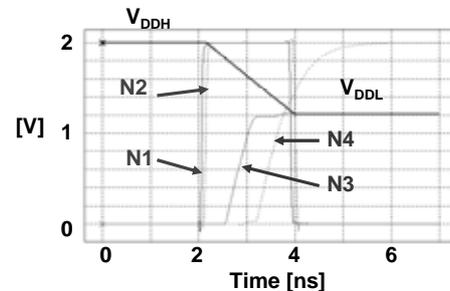


図 15. ミラーディレイによるタイミング信号生成回路のシミュレーション波形。

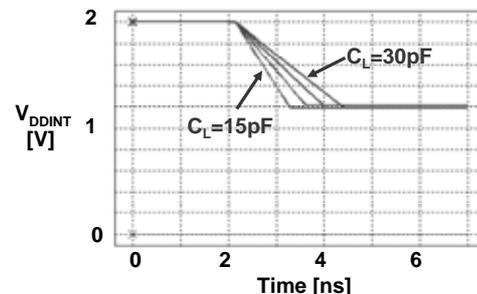


図 16. 負荷回路容量を変化させた場合の V_{DDINT} シミュレーション波形。

本節では自己整合手法によるタイミング信号の自動生成を議論する。

図 13 に提案手法の概念図を示す。電源出力電圧の指数関数曲線を直線で近似することができる。それゆえ、変移の開始から V_{DDL} への変移の中間点までに発生する遅延を知れば、 V_{DDL} までの変移の残り時間を予測可能である。中間電圧はオンチップの簡易な回路を用いて V_{DDH} および V_{DDL} から生成できる。 V_{DDL} も配線を用いてチップ上に分配されることになるが、 V_{REF} がブロック毎に異なる値を持つのに対し、 V_{DDL} は共通した 1 つの値に固定することもできる。

図 14 は提案の制御手法を用いたクイックドロップの回路図を示す。図 13 に示したタイムシーケンスは 2 つのキャパシタ $C1$ および $C2$ からなるミラーディレイ回路によって実現される。図 15 は CMOS0.18 μm において提案回路を HSPICE によってシミュレーションした結果である。ここで V_{DDH} は 2.0V に、 V_{DDL} は 1.2V に設定されている。

ミラーディレイ回路は以下のように動作する。初期状態において $C1$ および $C2$ は電圧 V_{SS} に放電された状態にある。そして電圧降下開始信号 $Select_V_{DDL}$ から時間 t_{ON} だけ経過した時間にクイックドロップ本体がオンし、さらに t_{OFF} だけ経過した時点で $C1$ の充電が始まる。 V_{DDINT} が V_{DDH} と V_{DDL} の中間電圧に達した時点でこの充電が終わり、同時に $C2$ の充電が始まる。そして $C1$ と $C2$ のノード $N3$ および $N4$ の電圧が等しくなった時点でクイックドロップのオフプロセスが開始し、 t_{OFF} 後にクイックドロップ本体がオフする。この過程で $t_{ON} + t_{OFF}$ という遅延時間の補償が必要になるが、これは図に示したレプリカ回路を用いることにより可能となる。

図 16 は負荷容量 C_L が 15pF から 30pF まで変化した場合における V_{DDINT} のシミュレーション電圧波形を示す。制御回路そのものを変化させることなく広範囲の容量 C_L に対して正確な最終電圧 V_{DDL} が確保されたことが示され、自己整合性が実証されたといえる。

対応可能な C_L の範囲は $C1$ と $C2$ に可変容量を用いることなどにより広域化可能であると考えられる。この場合、負荷回路のスタートアップ時のテストでそれらの容量値を決定すれば以降はその値を用いればよいことになる。

6. 結論

分散オンチップ電源システム向け V_{DD} ホッピングアクセラレータ回路を提案した。25kNAND ゲート相当の負荷回路に対して 5ns 以下の変移時間が実測により示された。これによりダイナミック V_{DD} スケーリングシステムにおいて異なる電源電圧間の変移時間を短縮、システムパフォーマンスを向上することができる。

謝 辞

本研究は半導体理工学研究センター(STARC)の協力により行われたものである。また本研究におけるチップ試作は東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社、株式会社日立製作所および大日本印刷株式会社の協力で行われたものである。

文 献

- [1] H. Kawaguchi, K. Kanda, K. Nose, S. Hattori, D. D. Antono, D. Yamada, T. Miyazaki, K. Inagaki, T. Hiramoto, and T. Sakurai, "A 0.5-V, 400-MHz, VDD-Hopping Processor with Zero-VTH FD-SOI Technology," IEEE International Solid-State Circuits Conference Digest of Technical Papers, pp.106-107, Feb. 2003.
- [2] Masakatsu Nakai, Satoshi Akui, Katsunori Seno, Tetsumasa Meguro, Takahiro Seki, Tetsuo Kondo, Akihiko Hashiguchi, Hirokazu Kumano, and Masayuki Shimura, "Dynamic Voltage and Frequency Management for a Low-Power Embedded Microprocessor", IEEE Journal of Solid-State Circuits, VOL.40, NO.1, Jan. 2005.