

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3544096号
(P3544096)

(45) 発行日 平成16年7月21日(2004.7.21)

(24) 登録日 平成16年4月16日(2004.4.16)

(51) Int. Cl.⁷

F 1

H 0 3 K 17/687

H 0 1 L 21/8238

H 0 1 L 27/092

H 0 3 K 19/0948

H 0 3 K 17/687

H 0 1 L 27/08 3 2 1 L

H 0 3 K 19/094 B

請求項の数 18 (全 25 頁)

(21) 出願番号	特願平9-73873	(73) 特許権者	391012327
(22) 出願日	平成9年3月26日(1997.3.26)		東京大学長
(65) 公開番号	特開平10-270993		東京都文京区本郷7丁目3番1号
(43) 公開日	平成10年10月9日(1998.10.9)	(73) 特許権者	000003078
審査請求日	平成13年12月10日(2001.12.10)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100064285
			弁理士 佐藤 一雄
		(74) 代理人	100073379
			弁理士 佐藤 政光
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

第1の電源線の電位より低い第1のしきい値電圧を有するMOSトランジスタからなる第1の論理回路と、

絶対値が前記第1のしきい値電圧の絶対値よりも大きい第2のしきい値電圧を有するPチャネルMOSトランジスタとを有し、

前記PチャネルMOSトランジスタのドレインには前記第1の論理回路の仮の電源線に接続された第1のノードが接続され、ソースには前記第1の電源線が接続されると共に、前記PチャネルMOSトランジスタのゲートにはロウレベルが接地線の電位より低い電圧、ハイレベルが前記第1の電源線の電位に等しい電圧の信号が印加されることにより、前記PチャネルMOSトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置。

10

【請求項2】

第1の電源線の電位より低い第1のしきい値電圧を有するMOSトランジスタからなる第1の論理回路と、

前記第1のしきい値電圧と等しいしきい値を有するPチャネルMOSトランジスタとを有し、

前記PチャネルMOSトランジスタのドレインには前記第1の論理回路の仮の電源線に接続された第1のノードが接続され、ソースには前記第1の電源線が接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第1の電源線の電位

20

より高い電圧の信号が印加されることにより、前記PチャネルMOSトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置。

【請求項3】

第1の電源線の電位より低い第1のしきい値電圧を有するMOSトランジスタからなる第1の論理回路と、

前記第1のしきい値電圧より高い第2のしきい値を有するNチャネルMOSトランジスタとを有し、

前記NチャネルMOSトランジスタのドレインには前記第1の論理回路の仮の接地線に接続された第1のノードが接続され、ソースには接地線が接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第1の電源線の電位より高い電圧の信号が印加されることにより、前記NチャネルMOSトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置。

10

【請求項4】

第1の電源線の電位より低い第1のしきい値電圧を有するMOSトランジスタからなる第1の論理回路と、

前記第1のしきい値電圧と等しいしきい値を有するNチャネルMOSトランジスタとを有し、

前記NチャネルMOSトランジスタのドレインには前記第1の論理回路の仮の接地線と接続された第1のノードが接続され、ソースには接地線が接続されると共に、ゲートにはロウレベルが接地線の電位より低い電圧、ハイレベルが前記第1の電源線の電位に等しい電圧の信号が印加されることにより、前記NチャネルMOSトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置。

20

【請求項5】

前記PチャネルMOSトランジスタのゲートに、ロウレベルが接地線の電位より低い電圧、ハイレベルが前記第1の電源線の電位に等しい電圧の信号を出力するための第1のレベル変換回路をさらに備えた請求項1に記載の半導体集積回路装置。

【請求項6】

前記PチャネルMOSトランジスタのゲートに、ロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第1の電源線の電位より高い電圧の信号を出力するための第2のレベル変換回路をさらに備えた請求項2に記載の半導体集積回路装置。

30

【請求項7】

前記NチャネルMOSトランジスタのゲートに、ロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第1の電源線の電位より高い電圧の信号を出力するための第2のレベル変換回路をさらに備えた請求項3に記載の半導体集積回路装置。

【請求項8】

前記NチャネルMOSトランジスタのゲートに、ロウレベルが接地線の電位より低い電圧、ハイレベルが前記第1の電源線の電位に等しい電圧の信号を出力するための第1のレベル変換回路をさらに備えた請求項4に記載の半導体集積回路装置。

【請求項9】

前記第1の電源線および負の電源線としての第2の電源線から電力の供給を受ける第2の論理回路であって、

40

前記第2の電源線の電位は前記接地線の電位よりも低く、該第2の論理回路の出力は前記PチャネルMOSトランジスタのゲートに接続され、該第2の論理回路の出力信号のロウレベルは前記第2の電源線の電位に等しく、該第2の論理回路の出力信号のハイレベルは前記第1の電源線の電位に等しく、

絶対値が前記第1のしきい値電圧の絶対値よりも大きい第3のしきい値電圧を有するMOSトランジスタからなる第2の論理回路をさらに備えた請求項1に記載の半導体集積回路装置。

【請求項10】

正の電源線としての第3の電源線および前記接地線から電力の供給を受ける第2の論理回

50

路であって、

前記第3の電源線の電位は前記第1の電源線の電位よりも高く、
該第2の論理回路の出力は前記PチャンネルMOSトランジスタのゲートに接続され、該第2の論理回路の出力信号のロウレベルは前記接地線の電位に等しく、該第2の論理回路の出力信号のハイレベルは前記第3の電源線の電位に等しく、絶対値が前記第1のしきい値電圧の絶対値よりも大きい第3のしきい値電圧を有するMOSトランジスタからなる第2の論理回路をさらに備えた請求項2に記載の半導体集積回路装置。

【請求項11】

正の電源線としての第3の電源線および前記接地線から電力の供給を受ける第2の論理回路であって、

10

前記第3の電源線の電位は前記第1の電源線の電位よりも高く、

該第2の論理回路の出力は前記NチャンネルMOSトランジスタのゲートに接続され、該第2の論理回路の出力信号のロウレベルは前記接地線の電位に等しく、該第2の論理回路の出力信号のハイレベルは前記第3の電源線の電位に等しく、絶対値が前記第1のしきい値電圧の絶対値よりも大きい第3のしきい値電圧を有するMOSトランジスタからなる第2の論理回路をさらに備えた請求項3に記載の半導体装置。

【請求項12】

前記第1の電源線および負の電源線としての第2の電源線から電力の供給を受ける第2の論理回路であって、

前記第2の電源線の電位は前記接地線の電位よりも低く、該第2の論理回路の出力は前記NチャンネルMOSトランジスタのゲートに接続され、該第2の論理回路の出力信号のロウレベルは前記第2の電源線の電位に等しく、該第2の論理回路の出力信号のハイレベルは前記第1の電源線の電位に等しく、

20

絶対値が前記第1のしきい値電圧の絶対値よりも大きい第3のしきい値電圧を有するMOSトランジスタからなる第2の論理回路をさらに備えた請求項4に記載の半導体集積回路装置。

【請求項13】

第1の電源線の電位より低い第1のしきい値電圧を有するMOSトランジスタからなる論理回路と、

前記第1のしきい値電圧と等しいしきい値を有する第1および第2のPチャンネルMOSトランジスタとを有し、

30

前記第2のPチャンネルMOSトランジスタのドレインには前記論理回路の仮の電源線に接続された第1のノードが接続され、ソースには前記第1のPチャンネルMOSトランジスタのドレインが接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第1の電源線の電位に等しい電圧の信号が印加され、前記第1のPチャンネルMOSトランジスタのソースには前記第1の電源線が接続され、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第1の電源線の電位より高い電圧の信号が印加されることにより、前記第1および第2のPチャンネルMOSトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置。

【請求項14】

40

第1の電源線の電位より低い第1のしきい値電圧を有するMOSトランジスタからなる論理回路と、

前記第1のしきい値電圧と等しいしきい値を有する第1および第2のNチャンネルMOSトランジスタとを有し、

前記第2のNチャンネルMOSトランジスタのドレインには前記論理回路の仮の接地線に接続された第1のノードが接続され、ソースには前記第1のNチャンネルMOSトランジスタのドレインが接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第1の電源線の電位に等しい電圧の信号が印加され、前記第1のNチャンネルMOSトランジスタのソースには接地線が接続され、ゲートにはロウレベルが接地線の電位より低い電圧、ハイレベルが前記第1の電源線の電位に等しい電圧の信号が印加され

50

ることにより、前記第1および第2のNチャネルMOSトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置。

【請求項15】

前記第1のPチャネルMOSトランジスタのゲートに、ロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第1の電源線の電位より高い電圧の信号を出力するための第2のレベル変換回路をさらに備えた請求項13に記載の半導体集積回路装置。

【請求項16】

前記第1のNチャネルMOSトランジスタのゲートに、ロウレベルが接地線の電位より低い電圧、ハイレベルが前記第1の電源線の電位に等しい電圧の信号を出力するための第1のレベル変換回路をさらに備えた請求項14に記載の半導体集積回路装置。

10

【請求項17】

正の電源線としての第3の電源線および前記接地線から電力の供給を受ける第2の論理回路であって、

前記第3の電源線の電位は前記第1の電源線の電位よりも高く、該第2の論理回路の出力は前記第1のPチャネルMOSトランジスタのゲートに接続され、該第2の論理回路の出力信号のロウレベルは前記接地線の電位に等しく、該第2の論理回路の出力信号のハイレベルは前記第3の電源線の電位に等しく、

絶対値が前記第1のしきい値電圧の絶対値よりも大きい第3のしきい値電圧を有するMOSトランジスタからなる第2の論理回路を備えると共に、

前記第1の電源線および前記接地線から電力の供給を受ける第3の論理回路であって、

該第3の論理回路の出力は前記第2のPチャネルMOSトランジスタのゲートに接続され、該第3の論理回路の出力信号のロウレベルは前記接地線の電位に等しく、該第3の論理回路の出力信号のハイレベルは前記第1の電源線の電位に等しく、

前記第2の論理回路と同一信号を入力とし、前記第1のしきい値電圧を有するMOSトランジスタからなる第3の論理回路をさらに備えた請求項13に記載の半導体集積回路装置

20

。

【請求項18】

前記第1の電源線および負の電源線としての第2の電源線から電力の供給を受ける第2の論理回路であって、

前記第2の電源線の電位は前記接地線の電位よりも低く、該第2の論理回路の出力は前記第1のNチャネルMOSトランジスタのゲートに接続され、該第2の論理回路の出力信号のロウレベルは前記第2の電源線の電位に等しく、該第2の論理回路の出力信号のハイレベルは前記第1の電源線の電位に等しく、

絶対値が前記第1のしきい値電圧の絶対値よりも大きい第3のしきい値電圧を有するMOSトランジスタからなる第2の論理回路を備えると共に、

前記第1の電源線および前記接地線から電力の供給を受ける第3の論理回路であって、

該第3の論理回路の出力は前記第2のNチャネルMOSトランジスタのゲートに接続され、該第3の論理回路の出力信号のロウレベルは前記接地線の電位に等しく、該第3の論理回路の出力信号のハイレベルは前記第1の電源線の電位に等しく、

前記第2の論理回路と同一信号を入力とし、前記第1のしきい値電圧を有するMOSトランジスタからなる第3の論理回路をさらに備えた請求項14に記載の半導体集積回路装置

30

40

。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置に係り、特に、電源電圧を低くしても待機時電流制御用MOSトランジスタのオン・オフ制御を確実に行うようにしたCMOS論理回路を備えた半導体集積回路装置に関するものである。

【0002】

【従来の技術】

50

図20に、従来のMT-CMOS回路 (Multi Threshold-CMOS回路) を示す。

【0003】

図20に示すように、従来の半導体集積回路装置は、CMOS論理回路CM、待機時電流制御用PチャネルMOSトランジスタMP2を含んでいる。

【0004】

従来、MT-CMOS回路においては、低消費電力化を目的とするために、低電圧で動作させるようにしている。そのため、CMOS論理回路CMを形成するPチャネルMOSトランジスタMP1及びNチャネルMOSトランジスタMN1等は、低しきい値にして論理ゲートの遅延を抑える。例えば、PチャネルMOSトランジスタMP1の閾値を -0.2 V、NチャネルMOSトランジスタMN1の閾値を 0.2 Vなどとする。

【0005】

しかし、低しきい値のMOSトランジスタだけでは回路動作が停止した状態 (待機状態) においても、リーク電流が多くなり、無視できない。そこで、高しきい値 (例えば、 -0.7 V等) のPチャネルMOSトランジスタMP2を、電源線とCMOS論理回路を構成する低しきい値のMOSトランジスタとの間に挿入する構成としていた。そして、待機状態では、PチャネルMOSトランジスタMP2を、ゲートに電源VDDと同じ電圧を印加することによりオフさせることで、このようなリーク電流を低減させるようにしていた。一方、動作状態ではPチャネルMOSトランジスタMP2のゲートに 0 Vを印加してオンさせることで、CMOS論理回路に電源VDDを供給するようにしていた。(例えば、NTT LSI研究所、武藤伸一郎氏他、「低電圧対応電力制御機構を採用した 1 V動作MTCMOS DSP」 (特に図2「MTCMOS回路」)、電子情報通信学会技術研究報告 信学技報 Vol. 96 No. 107 P15-20 等参照。)

【0006】

【発明が解決しようとする課題】

しかしながら、従来技術においては、以下のような課題がある。すなわち、MT-CMOSの待機時においては、リーク電流低減用のPチャネルMOSトランジスタMP2のソースに電源電圧VDDを印加し、ゲートにロウレベルである 0 Vが印加されるので、PチャネルMOSトランジスタMP2のゲート・ソース間電圧VGSは、最大でもVDDまでしかからない。したがって、電源電圧とトランジスタのしきい値とが接近するような低電圧で動作させると、このPチャネルMOSトランジスタMP2は十分にオンできなくなる。

【0007】

このような場合、PチャネルMOSトランジスタMP2のオン抵抗を下げるためにはチャネル幅を大きくしなくてはならず、チップ面積の増大となる。また、電源電圧をPチャネルMOSトランジスタMP2のしきい値以下にすると動作させることが困難になる。PチャネルMOSトランジスタMP2は、待機時リーク電流低減のために待機時にオフさせた時にリーク電流が十分小さくなるように高しきい値のトランジスタを使用することが前提となっているので、例えば、しきい値が -0.7 Vとすれば、実用上の最低電源電圧は 1 V前後と見られる (しきい値の変動範囲を -0.7 V ± 0.1 V、電源電圧変動 1 V ± 10 %とした)。よって、例えば、電源電圧が 0.5 Vとなると、しきい値を超えなくなり、オン・オフ制御ができなくなる。

【0008】

以上のように、従来においては、電源電圧VDDが低下することにより、電源電圧とMOSトランジスタのしきい値が接近し、オン・オフ制御が困難となる。また、オン状態では、チャネル幅の増大を招き、ついには機能しにくくなってしまう。

【0009】

本発明は、以上の点に鑑み、CMOS論理回路における待機時電流制御用MOSトランジスタのゲートに対し、従来は 0 V $\sim$ VDDの信号を印加していたものを、 0 V以下もしくはVDD以上の高い電圧を印加することにより、電源電圧VDDを低電圧としても待機時電流制御用MOSトランジスタのオン・オフを確実に行うようにすることを目的とする。

【0010】

また、CMOS論理回路及び待機時電流制御用MOSトランジスタについて、過大な電圧をどこにも加えないで用いるようにし、信頼性を向上することを目的とする。

【0011】

さらに、本発明は、半導体集積回路装置の微細化が進み、耐圧が下がる傾向にあるMOSトランジスタを含む半導体集積回路装置において、その実現に有効な半導体集積回路装置を提供することを目的とする。

【0012】

【課題を解決するための手段】

本発明の第1の解決手段によれば、第1の電源線の電位より低い第1のしきい値電圧を有するMOSトランジスタからなる第1の論理回路と、絶対値が前記第1のしきい値電圧の絶対値よりも大きい第2のしきい値電圧を有するPチャネルMOSトランジスタとを有し、前記PチャネルMOSトランジスタのドレインには前記第1の論理回路の仮の電源線に接続された第1のノードが接続され、ソースには前記第1の電源線が接続されると共に、前記PチャネルMOSトランジスタのゲートにはロウレベルが接地線の電位より低い電圧、ハイレベルが前記第1の電源線の電位に等しい電圧の信号が印加されることにより、前記PチャネルMOSトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置を提供する。

10

【0013】

本発明の第2の解決手段によれば、第1の電源線の電位より低い第1のしきい値電圧を有するMOSトランジスタからなる第1の論理回路と、前記第1のしきい値電圧と等しいしきい値を有するPチャネルMOSトランジスタとを有し、前記PチャネルMOSトランジスタのドレインには前記第1の論理回路の仮の電源線に接続された第1のノードが接続され、ソースには前記第1の電源線が接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第1の電源線の電位より高い電圧の信号が印加されることにより、前記PチャネルMOSトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置を提供する。

20

【0014】

本発明の第3の解決手段によれば、第1の電源線の電位より低い第1のしきい値電圧を有するMOSトランジスタからなる第1の論理回路と、前記第1のしきい値電圧より高い第2のしきい値を有するNチャネルMOSトランジスタとを有し、前記NチャネルMOSトランジスタのドレインには前記第1の論理回路の仮の接地線に接続された第1のノードが接続され、ソースには接地線が接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第1の電源線の電位より高い電圧の信号が印加されることにより、前記NチャネルMOSトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置を提供する。

30

【0015】

本発明の第4の解決手段によれば、第1の電源線の電位より低い第1のしきい値電圧を有するMOSトランジスタからなる第1の論理回路と、前記第1のしきい値電圧と等しいしきい値を有するNチャネルMOSトランジスタとを有し、前記NチャネルMOSトランジスタのドレインには前記第1の論理回路の仮の接地線と接続された第1のノードが接続され、ソースには接地線が接続されると共に、ゲートにはロウレベルが接地線の電位より低い電圧、ハイレベルが前記第1の電源線の電位に等しい電圧の信号が印加されることにより、前記NチャネルMOSトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置を提供する。

40

【0016】

さらに、本発明の第5の解決手段によれば、第1の電源線の電位より低い第1のしきい値電圧を有するMOSトランジスタからなる論理回路と、前記第1のしきい値電圧と等しいしきい値を有する第1および第2のPチャネルMOSトランジスタとを有し、前記第2のPチャネルMOSトランジスタのドレインには前記論理回路の仮の電源線に接続された第

50

1のノードが接続され、ソースには前記第1のPチャネルMOSトランジスタのドレインが接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第1の電源線の電位に等しい電圧の信号が印加され、前記第1のPチャネルMOSトランジスタのソースには前記第1の電源線が接続され、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第1の電源線の電位より高い電圧の信号が印加されることにより、前記第1および第2のPチャネルMOSトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置を提供する。

【0017】

さらに、本発明の第6の解決手段によれば、第1の電源線の電位より低い第1のしきい値電圧を有するMOSトランジスタからなる論理回路と、前記第1のしきい値電圧と等しいしきい値を有する第1および第2のNチャネルMOSトランジスタとを有し、前記第2のNチャネルMOSトランジスタのドレインには前記論理回路の仮の接地線に接続された第1のノードが接続され、ソースには前記第1のNチャネルMOSトランジスタのドレインが接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第1の電源線の電位に等しい電圧の信号が印加され、前記第1のNチャネルMOSトランジスタのソースには接地線が接続され、ゲートにはロウレベルが接地線の電位より低い電圧、ハイレベルが前記第1の電源線の電位に等しい電圧の信号が印加されることにより、前記第1および第2のNチャネルMOSトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置を提供する。

【0018】

【発明の実施の形態】

(1) 第1の実施の形態

図1に、本発明に係る第1の実施の形態の半導体集積回路装置の構成図を示す。

図1に示すように、本発明の半導体集積回路装置は、CMOS論理回路CM、待機時電流制御用PチャネルMOSトランジスタMP2及びレベル変換回路10を含んでいる。

【0019】

CMOS論理回路CMは、第1のノードN1を電源とし、他方は接地線G1に接続されている。CMOS論理回路CMを構成するトランジスタMP1、MN1等のしきい値は、通常より低く設定されている。ここで、CMOS論理回路CMは、一例として具体的回路を示したものであり、本発明は、NAND回路、AND回路、OR回路、NOR回路又は排他的論理和回路等をはじめ、様々な論理回路を対象とすることができる。この点は、以下の実施の形態においても同様である。

【0020】

待機時電流制御用PチャネルMOSトランジスタMP2は、第1の電源線P1にソースが接続され、第1のノードN1にドレインが接続されている。PチャネルMOSトランジスタMP2のしきい値は、CMOS論理回路CMを構成するトランジスタMP1、MN1等のしきい値より高く設定されている。

【0021】

また、レベル変換回路10は、PチャネルMOSトランジスタMP2のゲートに出力端子が接続され、制御入力端子SIGを有する。レベル変換回路10は、制御入力端子SIGに印加される信号レベルのハイ・ロウによって、ロウレベルが負の電圧、ハイレベルが第1の電源線P1と同電位VDDを出力することにより、PチャネルMOSトランジスタMP2をオン・オフ制御する。レベル変換回路10は、制御入力端子SIGのハイ又はロウにそれぞれ対応して、ロウレベル又はハイレベルをそれぞれ出力してもよいし、逆にハイレベル又はロウレベルをそれぞれ出力するようにしてもよい。

【0022】

ここで負の電圧とは、PチャネルMOSトランジスタMP2のソース電圧を供給している第1の電源線P1の電圧VDDがPチャネルMOSトランジスタMP2のしきい値以下の低電圧である状態で、ゲート・ソース電圧VGSがしきい値以上になる電圧をいう。

【0023】

つぎに、動作の説明として、一例として、CMOS論理回路CMを、例えばPチャネルMOSトランジスタMP1のしきい値が -0.2 V 、NチャネルMOSトランジスタMN1のしきい値が 0.2 V の各トランジスタで構成したとする。また、待機時リーク電流低減用PチャネルMOSトランジスタMP2のしきい値を、例えば、 -0.7 V とする。また、電源電圧VDDを、このCMOS論理回路CMが動作する最低動作電圧の電源電圧、例えば 0.5 V とする。そして、レベル変換回路10の出力、即ち、待機時リーク電流低減用PチャネルMOSトランジスタMP2のゲートに印加される電圧を、ロウレベルを 0 V ではなく負の電圧、例えば、 -0.8 V とし、一方、ハイレベルを電源電圧VDDと同じ 0.5 V とした場合を想定する。

【0024】

この場合、レベル変換回路10の出力がロウレベルのとき、PチャネルMOSトランジスタMP2のゲートには、負の電圧である -0.8 V が印加され、ゲート・ソース電圧VGSは最大 -1.3 V ($= -0.8\text{ V} - 0.5\text{ V}$)となる。そのため、PチャネルMOSトランジスタMP2は、しきい値が -0.7 V であるので、十分オンさせることができる。よって、PチャネルMOSトランジスタMP2のゲートに印加する電圧に負の電圧を用いることでの動作時におけるCMOS論理回路CMへの電流の供給を低電圧でも十分確保することができる。

【0025】

一方、レベル変換回路10の出力がハイレベルのとき、PチャネルMOSトランジスタMP2のゲートには、電源電圧VDDと同じ 0.5 V が印加され、ゲート・ソース電圧VGSは最小 0 V となる。そのため、しきい値 -0.7 V のPチャネルMOSトランジスタMP2は、オフ状態となる。よって、CMOS論理回路CMを構成するMOSトランジスタMP1、MN1に比べ、待機時リーク電流低減用PチャネルMOSトランジスタMP2のしきい値は高くしているので、待機時にはリーク電流を抑えた低消費電力モードとすることができる。

(2) 第2の実施の形態

図2に、本発明に係る第2の実施の形態の半導体集積回路装置の構成図を示す。

図2に示すように、本発明の半導体集積回路装置は、CMOS論理回路CM、待機時電流制御用PチャネルMOSトランジスタMP3及びレベル変換回路11を含んでいる。

【0026】

CMOS論理回路CMは、第1のノードN1を電源とし、他方は接地線G1に接続されている。CMOS論理回路CMを構成するトランジスタMP1、MN1等のしきい値は、通常より低く設定されている。

【0027】

待機時電流制御用PチャネルMOSトランジスタMP3は、第1の電源線P1にソースが接続され、第1のノードN1にドレインが接続されている。PチャネルMOSトランジスタMP3のしきい値は、CMOS論理回路CMを構成するトランジスタMP1、MN1等のしきい値と同程度に低く設定されている。

【0028】

また、レベル変換回路11は、PチャネルMOSトランジスタMP3のゲートに出力端子が接続され、制御入力端子SIGを有する。レベル変換回路11は、制御入力端子SIGに印加される信号レベルのハイ・ロウによって、ロウレベルが接地電位（例えば、 0 V ）、ハイレベルが第1の電源線P1を超過する電圧を出力することにより、PチャネルMOSトランジスタMP3をオン・オフ制御する。レベル変換回路11は、制御入力端子SIGのハイ又はロウにそれぞれ対応して、ロウレベル又はハイレベルをそれぞれ出力しても、逆にハイレベル又はロウレベルをそれぞれ出力するようにしてもよい。

【0029】

ここで、第1の電源線を超過する電圧とは、PチャネルMOSトランジスタMP3のしきい値を低くしたことによってリーク電流が既定値を超えないようにゲート・ソース電圧VGSを正の値とするような電圧をいい、PチャネルMOSトランジスタMP3のしきい値

10

20

30

40

50

を低くした分に応じてハイレベルの電圧を高めるようにしたものである。

【0030】

つぎに、動作の説明として、一例として、CMOS論理回路CMを、例えばPチャネルMOSトランジスタMP1のしきい値が -0.2V 、NチャネルMOSトランジスタMN1のしきい値が 0.2V の各トランジスタで構成したとする。また、待機時リーク電流低減用PチャネルMOSトランジスタMP3のしきい値を、CMOS論理回路CMを構成するMOSトランジスタと同様に、例えば、 -0.2V とする。また、電源電圧VDDを、このCMOS論理回路CMが動作する最低動作電圧の電源電圧、例えば 0.5V とする。そして、レベル変換回路11の出力、即ち、待機時リーク電流低減用PチャネルMOSトランジスタMP3のゲートに印加される電圧を、ロウレベルを接地電位、例えば、 0V とし、一方、ハイレベルを、例えば、電源電圧VDDより高い 1V とした場合を想定する。この場合、レベル変換回路11の出力がロウレベルのとき、PチャネルMOSトランジスタMP3のゲートには、 0V が印加され、ゲート・ソース電圧VGSは最大 -0.5V となる。そのため、PチャネルMOSトランジスタMP3は、しきい値が -0.2V であるので、十分オンさせることができる。よって、PチャネルMOSトランジスタMP3のしきい値を低くすることで動作時におけるCMOS論理回路CMへの電流の供給を低電圧でも十分確保することができる。

10

【0031】

一方、レベル変換回路11の出力がハイレベルのとき、PチャネルMOSトランジスタMP3のゲートには、電源電圧VDDより高い、例えば 1V が印加され、ゲート・ソース電圧VGSは最小 $+0.5\text{V}$ となり、しきい値 -0.2V のPチャネルMOSトランジスタMP3は、オフ状態となる。この時のゲート・ソース電圧VGSとしきい値との差は 0.7V ($+0.5\text{V} - (-0.2\text{V})$) となる。よってCMOS論理回路CMを構成するMOSトランジスタMP1、MN1と、待機時リーク電流低減用PチャネルMOSトランジスタMP3のしきい値に同じ比較的低い値を使っていながらVGSを小さくしたので、待機時にはリーク電流を抑えた低消費電力モードとすることができる。

20

(3) 第3の実施の形態

図3に、本発明に係る第3の実施の形態の半導体集積回路装置の構成図を示す。

図3に示すように、本発明の半導体集積回路装置は、CMOS論理回路CM、待機時電流制御用NチャネルMOSトランジスタMN2及びレベル変換回路12を含んでいる。

30

【0032】

CMOS論理回路CMは、第1の電源線P1を電源とし、第1のノードN1にその接地線が接続されている。CMOS論理回路CMを構成するトランジスタMP1、MN1等のしきい値は、通常より低く設定されている。

【0033】

待機時電流制御用NチャネルMOSトランジスタMN2は、接地線G1にソースが接続され、第1のノードN1にドレインが接続されている。NチャネルMOSトランジスタMN2のしきい値は、CMOS論理回路CMを構成するトランジスタMP1、MN1等のしきい値より高く設定されている。

【0034】

また、レベル変換回路12は、NチャネルMOSトランジスタMN2のゲートに出力端子が接続され、制御入力端子SIGを有する。レベル変換回路12は、制御入力端子SIGに印加される信号レベルのハイ・ロウによって、ハイレベルが第1の電源線P1の電圧VDDを超過する電圧を出力し、ロウレベルが接地電位 0V を出力することにより、NチャネルMOSトランジスタMN2をオン・オフ制御する。レベル変換回路12は、制御入力端子SIGのハイ又はロウにそれぞれ対応して、ロウレベル又はハイレベルをそれぞれ出力しても、逆にハイレベル又はロウレベルをそれぞれ出力するようにしてもよい。

40

【0035】

ここで、第1の電源線を超過する電圧とは、第1の電源線P1の電圧がNチャネルMOSトランジスタMN2のしきい値以下の低電圧である状態で、ゲート・ソース電圧VGSが

50

しきい値以上になる電圧をいい、NチャネルMOSトランジスタMN2のしきい値の以上に相当する電圧である。

【0036】

つぎに、動作の説明として、一例として、CMOS論理回路CMを、例えばPチャネルMOSトランジスタMP1のしきい値が -0.2V 、NチャネルMOSトランジスタMN1のしきい値が 0.2V の各トランジスタで構成したとする。また、待機時リーク電流低減用NチャネルMOSトランジスタMN2のしきい値を、例えば、 0.7V とする。また、電源電圧VDDを、このCMOS論理回路CMが動作する最低動作電圧の電源電圧、例えば 0.5V とする。そして、レベル変換回路12の出力、即ち、待機時リーク電流低減用NチャネルMOSトランジスタMN2のゲートに印加される電圧を、ロウレベルを接地電位、例えば、 0V とし、一方、ハイレベルを、例えば、電源電圧VDDより高い 1.3V とした場合を想定する。

10

【0037】

この場合、レベル変換回路12の出力がハイレベルのとき、NチャネルMOSトランジスタMN2のゲートには、 1.3V が印加され、ゲート・ソース電圧VGSは最大 1.3V となる。そのため、NチャネルMOSトランジスタMN2は、しきい値が 0.7V であるので十分オンさせることができる。よって、NチャネルMOSトランジスタMN2のゲートに印加する電圧に電源電圧より高い電圧を用いることで動作時におけるCMOS論理回路CMへの電流の供給を低電圧でも十分確保することができる。

【0038】

一方、レベル変換回路12の出力がロウレベルのとき、NチャネルMOSトランジスタMN2のゲートには、接地電位、例えば 0V が印加され、ソースは接地電位なので、ゲート・ソース電圧VGSは 0V となり、しきい値 0.7V のNチャネルMOSトランジスタMN2はオフ状態となる。よって、CMOS論理回路CMを構成するMOSトランジスタMP1、MN1に比べ、待機時リーク電流低減用NチャネルMOSトランジスタMN2のしきい値は高くしているので、待機時にはリーク電流を抑えた低消費電力モードとすることができる。

20

(4) 第4の実施の形態

図4に、本発明に係る第4の実施の形態の半導体集積回路装置の構成図を示す。

図4に示すように、本発明の半導体集積回路装置は、CMOS論理回路CM、待機時電流制御用NチャネルMOSトランジスタMN3及びレベル変換回路13を含んでいる。

30

【0039】

CMOS論理回路CMは、第1の電源線P1を電源とし、第1のノードN1にその接地線が接続されている。CMOS論理回路CMを構成するトランジスタMP1、MN1等のしきい値は、通常より低く設定されている。

【0040】

待機時電流制御用NチャネルMOSトランジスタMN3は、接地線G1にソースが接続され、第1のノードN1にドレインが接続されている。NチャネルMOSトランジスタMN3のしきい値は、CMOS論理回路CMを構成するトランジスタMP1、MN1等のしきい値と同程度に低く設定されている。

40

【0041】

また、レベル変換回路13は、NチャネルMOSトランジスタMN3のゲートに出力端子が接続され、制御入力端子SIGを有する。レベル変換回路13は、制御入力端子SIGに印加される信号レベルのハイ・ロウによって、ハイレベルが第1の電源線P1と同電位VDDを出力し、ロウレベルが負の電圧を出力することにより、NチャネルMOSトランジスタMN3をオン・オフ制御する。レベル変換回路13は、制御入力端子SIGのハイ又はロウにそれぞれ対応して、ロウレベル又はハイレベルをそれぞれ出力しても、逆にハイレベル又はロウレベルをそれぞれ出力するようにしてもよい。

【0042】

ここで負の電圧とは、NチャネルMOSトランジスタMN3のしきい値を低くしたことに

50

よってリーク電流が既定値を超えないようにゲート・ソース電圧 V_{GS} を負の値とすることをいい、しきい値を低くした分は負の電圧にする。

【0043】

つぎに、動作の説明として、一例として、CMOS論理回路CMを、例えばPチャネルMOSトランジスタMP1のしきい値が $-0.2V$ 、NチャネルMOSトランジスタMN1のしきい値が $0.2V$ の各トランジスタで構成したとする。また、待機時リーク電流低減用NチャネルMOSトランジスタMN3のしきい値を、例えば、 $0.2V$ とする。また、電源電圧 V_{DD} を、このCMOS論理回路CMが動作する最低動作電圧の電源電圧、例えば $0.5V$ とする。そして、レベル変換回路13の出力、即ち、待機時リーク電流低減用NチャネルMOSトランジスタMN3のゲートに印加される電圧を、ロウレベルを $0V$ ではなく負の電圧、例えば、 $-0.5V$ とし、一方、ハイレベルを電源電圧 V_{DD} とした場合を想定する。

10

【0044】

この場合、レベル変換回路13の出力がハイレベルのとき、NチャネルMOSトランジスタMN3のゲートには、電源電圧である $0.5V$ が印加され、ゲート・ソース電圧 V_{GS} は最大 $0.5V$ となる。そのため、NチャネルMOSトランジスタMN3は、しきい値が $0.2V$ であるので十分オンさせることができる。よって、NチャネルMOSトランジスタMN3のしきい値を低くすることで動作時におけるCMOS論理回路CMへの電流の供給を低電圧でも十分確保することができる。

【0045】

20

一方、レベル変換回路13の出力がロウレベルのとき、NチャネルMOSトランジスタMN3のゲートには、負の電圧である $-0.5V$ が印加され、ソースは接地電位なので、ゲート・ソース電圧 V_{GS} は $-0.5V (=0V - 0.5V)$ となり、しきい値 $0.2V$ のNチャネルMOSトランジスタMN3はオフ状態となる。この時ゲート・ソース電圧 V_{GS} としきい値との差は、 $-0.7V (= -0.5V - 0.2V)$ となる。よって、CMOS論理回路CMを構成するMOSトランジスタMP1、MN1と、待機時リーク電流低減用NチャネルMOSトランジスタMN3のしきい値に同じ比較的低い値を使っていながら V_{GS} を小さくしたので、待機時にはリーク電流を抑えた低消費電力モードとすることができる。

(5) レベル変換回路

30

つぎに、図5に、レベル変換回路(1)の回路構成図の一例を示す。このレベル変換回路は、本発明の第1及び第4の実施の形態において使用することができる。

【0046】

図5(A)に示す回路は、一般的なチャージポンプ回路であり、複数のPチャネルMOSトランジスタ及びコンデンサ等から構成される。チャージポンプの段数は、必要に応じて適宜設定することができ、それにより出力信号OUTを調整することができる。

【0047】

図5(B)に示すように、制御入力信号SIGにより、クロックCLK1及びCLK2が適宜入力されることにより、コンデンサに充電された電荷がPチャネルMOSトランジスタにより接地線に近い側のコンデンサに順次移動していき、出力信号OUTに接地電位(例えば $0V$)より低い負の電圧をロウレベルとして出力する。なお、ハイレベルとしては、電源電位 V_{DD} を出力する。

40

【0048】

さらに、図6に、レベル変換回路(2)の回路構成図の一例を示す。このレベル変換回路は、本発明の第2及び第3の実施の形態において使用することができる。

【0049】

図6(A)に示す回路は、図5に示したものととは逆向きに電化を移動する一般的なチャージポンプ回路であり、複数のNチャネルMOSトランジスタ及びコンデンサ等から構成される。チャージポンプの段数は、必要に応じて適宜設定することができ、それにより出力信号OUTを調整することができる。

50

【0050】

図6 (B) に示すように、制御入力信号SIGにより、クロックCLK1及びCLK2が適宜入力されることにより、コンデンサに充電された電荷がNチャネルMOSトランジスタにより出力信号OUTに近い側のコンデンサに順次移動していき、出力信号OUTに電源電圧VDDを超過した電圧をハイレベルとして出力する。なお、ロウレベルとしては、接地電位（例えば、0V）を出力する。

（6）第5～第8の実施の形態

図7に、本発明に係る第5の実施の形態の半導体集積回路装置の構成図を示す。

図7に示すように、この半導体集積回路装置は、低しきい値のトランジスタから構成されるCMOS論理回路CM、高しきい値の待機時電流制御用PチャネルMOSトランジスタMP2を含む。

10

【0051】

第5の実施の形態は、第1の実施の形態におけるレベル変換回路を設けずに、所定の制御電圧を、PチャネルMOSトランジスタMP2に直接印加するようにしたものであるすなわち、制御入力端子SIGに印加される信号レベルのハイ・ロウによって、ロウレベルが負の電圧、ハイレベルが第1の電源線P1と同電位VDDを出力することにより、PチャネルMOSトランジスタMP2をオン・オフ制御するようにした。

【0052】

図8に、本発明に係る第6の実施の形態の半導体集積回路装置の構成図を示す。

図8に示すように、この半導体集積回路装置は、低しきい値のトランジスタから構成されるCMOS論理回路CM、低しきい値の待機時電流制御用PチャネルMOSトランジスタMP3を含む。

20

【0053】

第6の実施の形態は、第2の実施の形態におけるレベル変換回路を設けずに、所定の制御電圧を、PチャネルMOSトランジスタMP3に直接印加するようにしたものである。

【0054】

すなわち、制御入力端子SIGに印加される信号レベルのハイ・ロウによって、ロウレベルが接地電位（例えば、0V）、ハイレベルが第1の電源線P1を超過する電圧を出力することにより、PチャネルMOSトランジスタMP3をオン・オフ制御する。

30

【0055】

図9に、本発明に係る第7の実施の形態の半導体集積回路装置の構成図を示す。

図9に示すように、この半導体集積回路装置は、低しきい値のトランジスタから構成されるCMOS論理回路CM、高しきい値の待機時電流制御用NチャネルMOSトランジスタMN2を含む。

【0056】

第7の実施の形態は、第3の実施の形態におけるレベル変換回路を設けずに、所定の制御電圧を、NチャネルMOSトランジスタMN2に直接印加するようにしたものである。

【0057】

すなわち、制御入力端子SIGに印加される信号レベルのハイ・ロウによって、ハイレベルが第1の電源線P1の電圧VDDを超過する電圧を出力し、ロウレベルが接地電位0Vを出力することにより、NチャネルMOSトランジスタMN2をオン・オフ制御する。

40

【0058】

図10に、本発明に係る第8の実施の形態の半導体集積回路装置の構成図を示す。

図10に示すように、この半導体集積回路装置は、低しきい値のトランジスタから構成されるCMOS論理回路CM、低しきい値の待機時電流制御用NチャネルMOSトランジスタMN3を含む。

【0059】

第8の実施の形態は、第4の実施の形態におけるレベル変換回路を設けずに、所定の制御電圧を、NチャネルMOSトランジスタMN3に直接印加するようにしたものである。

【0060】

50

すなわち、制御入力端子SIGに印加される信号レベルのハイ・ロウによって、ハイレベルが第1の電源線P1と同電位VDDを出力し、ロウレベルが負の電圧を出力することにより、NチャネルMOSトランジスタMN3をオン・オフ制御する。

(7) 第9～第12の実施の形態

第9～12の実施の形態は、それぞれ、第1～第4の実施の形態でレベル変換回路を用いて待機時リーク電流低減用のMOSトランジスタのゲートに印加する制御電圧を定めていたものを、CMOS信号論理回路SCにより制御電圧を印加するようにしたものである。

【0061】

すなわち、第1～第4の実施の形態において、ロウレベルをGNDより低い電圧（例えば、 -0.5V ）としたり、また、ハイレベルを電源電圧VDD（例えば、 0.5V ）よりも高い電圧（例えば、 1V ）としていた部分を、第2又は第3の電源線を電源とするCMOS信号論理回路に置換えたものである。

【0062】

図11に、本発明に係る第9の実施の形態の半導体集積回路装置の構成図を示す。

この半導体集積回路装置は、低しきい値のトランジスタから構成されるCMOS論理回路CM、高しきい値の待機時電流制御用PチャネルMOSトランジスタMP2及びCMOS信号論理回路20を含む。

【0063】

CMOS信号論理回路20は、高しきい値のトランジスタで構成される。また、第1の電源線P1に電源線が接続され、接地電位より低い負の電圧VSS1を供給する第2の電源線P2にその接地線が接続される。そして、CMOS信号論理回路20は、制御入力端子SIGに印加される信号レベルのハイ・ロウによって、ロウレベルが第2の電源線P2の電圧VSS1（負の電圧）、ハイレベルが第1の電源線P1と同電位VDDを出力することにより、PチャネルMOSトランジスタMP2をオン・オフ制御するようにした。

【0064】

図12に、本発明に係る第10の実施の形態の半導体集積回路装置の構成図を示す。

この半導体集積回路装置は、低しきい値のトランジスタから構成されるCMOS論理回路CM、低しきい値の待機時電流制御用PチャネルMOSトランジスタMP3及びCMOS信号論理回路21を含む。

【0065】

CMOS信号論理回路21は、高しきい値のトランジスタで構成される。また、第1の電源線の電圧VDDより高い電圧VDD1である第3の電源線P3に電源線が接続され、接地線G1にその接地線が接続される。そして、CMOS信号論理回路21は、制御入力端子SIGに印加される信号レベルのハイ・ロウによって、ロウレベルが接地線G1の接地電位（例えば、 0V ）、ハイレベルが第3の電源線P3の電圧VDD1を出力することにより、PチャネルMOSトランジスタMP3をオン・オフ制御する。

【0066】

図13に、本発明に係る第11の実施の形態の半導体集積回路装置の構成図を示す。

【0067】

この半導体集積回路装置は、低しきい値のトランジスタから構成されるCMOS論理回路CM、高しきい値の待機時電流制御用NチャネルMOSトランジスタMN2及びCMOS信号論理回路22を含む。

【0068】

CMOS信号論理回路22は、高しきい値のトランジスタで構成される。また、第1の電源線の電圧VDDより高い電圧VDD1である第3の電源線P3に電源線が接続され、接地線G1にその接地線が接続される。そして、CMOS信号論理回路22は、制御入力端子SIGに印加される信号レベルのハイ・ロウによって、ハイレベルが第3の電源線P3の電圧VDD1を出力し、ロウレベルが接地電位 0V を出力することにより、第1のNチャネルMOSトランジスタMN2をオン・オフ制御する。

【0069】

図14に、本発明に係る第12の実施の形態の半導体集積回路装置の構成図を示す。
この半導体集積回路装置は、低しきい値のトランジスタから構成されるCMOS論理回路CM、低しきい値の待機時電流制御用NチャネルMOSトランジスタMN3及びCMOS信号論理回路23を含む。

【0070】

CMOS信号論理回路23は、高しきい値のトランジスタで構成される。また、第1の電源線P1に電源線が接続され、接地電位より低い負の電圧VSS1を供給する第2の電源線P2にその接地線が接続される。そして、CMOS信号論理回路23は、制御入力端子SIGに印加される信号レベルのハイ・ロウによって、ハイレベルが第1の電源線P1と同電位VDDを出力し、ロウレベルが第2の電源の電圧VSS1を出力することにより、
NチャネルMOSトランジスタMN3をオン・オフ制御する。

10

(8) CMOS信号論理回路

図15に、CMOS信号論理回路の構成図の一例を示す。

【0071】

このCMOS信号論理回路は、本発明の第9～第12の実施の形態において使用することができる。

【0072】

CMOS信号論理回路は、電源VDD及び接地電位より低い第2の電源P2に接続され、待機電流制御用MOSトランジスタのゲートに制御電圧を出力する。制御入力端子SIGにより、第1の電源線P1の電位VDD又は第2の電源線P2の電圧VSS1のいずれかを
出力するように構成される。

20

【0073】

また、CMOS信号論理回路は、電源VDDより高い電圧VDD1である第3の電源P3及び接地電位GNDに接続され、待機電流制御用MOSトランジスタのゲートに制御電圧を出力することもできる。この場合、制御入力端子SIGにより、第3の電源線P3の電位VDD1又は接地電位GNDのいずれかを出力するように構成される。

(9) 第13の実施の形態

図16に、本発明に係る第13の実施の形態の半導体集積回路装置の構成図を示す。

この実施の形態は、第2、6及び10の実施の形態の半導体集積回路装置において、PチャネルMOSトランジスタMP3のドレインと第1のノードN1との間に第2のPチャネルMOSトランジスタMP4を加えることによって、PチャネルMOSトランジスタMP3のゲート・ドレイン間に信頼性上問題となるような過大な電圧が加わらないようにしたものである。

30

【0074】

図16に示すように、本発明の半導体集積回路装置は、CMOS論理回路CM、待機時電流制御用PチャネルMOSトランジスタMP3及びMP4を含んでいる。

【0075】

CMOS論理回路CMは、第1のノードN1を電源とし、他方は接地線G1に接続されている。CMOS論理回路CMを構成するトランジスタMP1、MN1等のしきい値は、通常より低く設定されている。

40

【0076】

待機時電流制御用PチャネルMOSトランジスタMP3は、第1の電源線P1にソースが接続される。PチャネルトランジスタMP4は、PチャネルMOSトランジスタMP3のドレインにそのソースが接続され、第1のノードN1にドレインが接続されている。PチャネルMOSトランジスタMP3及びMP4のしきい値は、CMOS論理回路CMを構成するトランジスタMP1、MN1等のしきい値と同程度に低く設定されている。

【0077】

また、制御入力端子SIGからの制御信号が、PチャネルMOSトランジスタMP3のゲートに入力される。制御信号は、印加される信号レベルのハイ・ロウによって、ロウレベルが接地電位0V、ハイレベルが第1の電源線P1を超過する電圧を出力することにより

50

、PチャネルMOSトランジスタMP3をオン・オフ制御する。

【0078】

ここで、第1の電源線を超過する電圧とは、PチャネルMOSトランジスタMP3のしきい値を低くしたことによってリーク電流が既定値を超えないようにゲート・ソース電圧VGSを正の値とするような電圧をいい、PチャネルMOSトランジスタMP3のしきい値を低くした分に依じてハイレベルの電圧を高めるようにしたものである。

【0079】

一方、制御入力端子SIG1からの制御信号は、PチャネルMOSトランジスタMP4のゲートに入力される。制御信号は、印加される信号レベルのハイ・ロウによって、ロウレベルが接地電位0V、ハイレベルが第1の電源線の電圧VDDを出力することにより、第2のPチャネルMOSトランジスタMP4をオン・オフ制御する。

10

【0080】

つぎに、動作の説明として、一例として、CMOS論理回路CMを、例えばPチャネルMOSトランジスタMP1のしきい値が -0.2V 、NチャネルMOSトランジスタMN1のしきい値が 0.2V の各トランジスタで構成したとする。また、待機時リーク電流低減用PチャネルMOSトランジスタMP3及びMP4のしきい値を、CMOS論理回路CMを構成するMOSトランジスタと同様に、例えば、 -0.2V とする。また、電源電圧VDDを、信頼性が厳しくなる方向で、例えば 1V としてみる。

【0081】

そして、CMOS論理回路CMの動作時には、PチャネルMOSトランジスタMP3及びMP4のゲートにロウレベル0Vを印加する。すると、PチャネルMOSトランジスタMP3のソースと接続する電源電圧VDDは 1V 、PチャネルMOSトランジスタMP3及びMP4のゲート・ソース電圧は 1V となり、しきい値が -0.2V のPチャネルMOSトランジスタMP3及びMP4を十分オンさせてCMOS論理回路CMへの電流の供給を行うことができる。

20

【0082】

一方、CMOS論理回路CMの待機時には、PチャネルMOSトランジスタMP3のゲートに印加するハイレベルの電圧は電源電圧VDDである 1V よりも高い電圧、例えば 1.5V を印加し、また、PチャネルMOSトランジスタMP4のゲートに印加するハイレベルの電圧は、電源電圧VDDに等しい 1V を印加する。すると、PチャネルMOSトランジスタMP3のゲート・ソース電圧VGSは、 0.5V となり、ゲート・ソース電圧としきい値との差は 0.7V となり、従来と同様であるので、リーク電流は従来と同程度に抑えられる。

30

【0083】

その際、PチャネルMOSトランジスタMP3及びMP4を流れるドレイン電流は等しいことから、PチャネルMOSトランジスタMP3及びMP4のゲート・ソース電圧VGSがほぼ等しくなる電圧にPチャネルMOSトランジスタMP3のドレインの電位は定まり、 0.5V 程度までしか下がることはなく、PチャネルMOSトランジスタMP3のゲート・ドレイン間の電圧は最大 1V となる。ここで、第2、6及び10の実施の形態において、電源電圧VDDを 1V と想定して比較すると、PチャネルMOSトランジスタMP3のドレイン電圧は、ほぼ接地線G1と等しい電圧まで下がることから、PチャネルMOSトランジスタMP3のゲート・ドレイン間の電圧は最大 1.5V になる。よって、第13の実施の形態のように構成することは、過大な電圧をどこにも加えないで用いることができるので、信頼性の向上に極めて有効である。本発明は、半導体集積回路装置の微細化が進み、耐圧が下がる傾向にあるMOSトランジスタにおいて、顕著な効果を有する。

40

【0084】

なお、上述した第2、10の実施の形態と同様に、レベル変換回路又はCMOS信号論理回路を適宜設けることにより、制御入力端子SIGへの制御信号を供給することもできる。また、この際、制御入力信号SIG1を、このようなレベル変換回路又はCMOS信号論理回路の制御入力とすることもできる。

50

(10) 第14の実施の形態

図17に、本発明に係る第14の実施の形態の半導体集積回路装置の構成図を示す。

この実施の形態は、第4、8及び12の実施の形態の半導体集積回路装置において、NチャネルMOSトランジスタMN3のドレインと第1のノードN1との間に第2のNチャネルMOSトランジスタMN4を加えることによって、NチャネルMOSトランジスタMN3のゲート・ドレイン間に信頼性上問題となるような過大な電圧が加わらないようにしたものである。

【0085】

図17に示すように、本発明の半導体集積回路装置は、CMOS論理回路CM、待機時電流制御用NチャネルMOSトランジスタMN3及びMN4を含んでいる。

10

【0086】

CMOS論理回路CMは、第1の電源線P1を電源とし、他方は第1のノードN1に接続されている。CMOS論理回路CMを構成するトランジスタMP1、MN1等のしきい値は、通常より低く設定されている。

【0087】

待機時電流制御用NチャネルMOSトランジスタMN3は、接地線G1にソースが接続される。NチャネルMOSトランジスタMN4は、NチャネルMOSトランジスタMN3のドレインにそのソースが接続され、第1のノードN1にドレインが接続されている。NチャネルMOSトランジスタMN3及びMN4のしきい値は、CMOS論理回路CMを構成するトランジスタMP1、MN1等のしきい値と同程度に低く設定されている。

20

【0088】

また、制御入力端子SIGは、NチャネルMOSトランジスタMN3のゲートに接続され、制御信号を印加する。制御入力端子SIGに印加される信号レベルのハイ・ロウによって、ロウレベルが負の電圧、ハイレベルが第1の電源線P1と同電位を出力することにより、NチャネルMOSトランジスタMN3をオン・オフ制御する。

【0089】

ここで負の電圧とは、NチャネルMOSトランジスタMN3のしきい値を低くしたことによってリーク電流が既定値を超えないようにゲート・ソース電圧VGSを負の値とすることをいい、しきい値を低くした分は負の電圧にする。

【0090】

一方、制御入力端子SIG1は、NチャネルMOSトランジスタMN4のゲートに接続され、制御信号を印加する。制御入力端子SIGに印加される信号レベルのハイ・ロウによって、ロウレベルが0V、ハイレベルが第1の電源線P1と同電位を出力することにより、第2のNチャネルMOSトランジスタMN4をオン・オフ制御する。

30

【0091】

つぎに、動作の説明として、一例として、CMOS論理回路CMを、例えばPチャネルMOSトランジスタMP1のしきい値が $-0.2V$ 、NチャネルMOSトランジスタMN1のしきい値が $0.2V$ の各トランジスタで構成したとする。また、待機時リーク電流低減用NチャネルMOSトランジスタMN3及びMN4のしきい値を、CMOS論理回路CMを構成するMOSトランジスタと同様に、例えば、 $0.2V$ とする。また、電源電圧VD

40

Dを、信頼性が厳しくなる方向で、例えば1Vとしてみる。

【0092】

そして、CMOS論理回路CMの動作時には、NチャネルMOSトランジスタMN3及びMN4のゲートにハイレベルの1Vを印加する。すると、NチャネルMOSトランジスタMN3のソースと接続する接地線は0V、NチャネルMOSトランジスタMN3及びMN4のゲート・ソース電圧は1Vとなり、しきい値が $0.2V$ のNチャネルMOSトランジスタMN3及びMN4を十分オンさせてCMOS論理回路CMへの電流の供給を行うことができる。

【0093】

一方、CMOS論理回路CMの待機時には、NチャネルMOSトランジスタMN3のゲート

50

トに印加するロウレベルの電圧は接地線G1の0Vよりも低い電圧、例えば-0.5Vを印加し、また、NチャネルMOSトランジスタMN4のゲートに印加するロウレベルの電圧は、接地線G1に等しい0Vを印加する。すると、NチャネルMOSトランジスタMN3のゲート・ソース電圧VGSは、-0.5Vとなり、ゲート・ソース電圧としきい値との差は-0.7Vとなり、従来と同様であるので、リーク電流は従来と同程度に抑えられる。

【0094】

その際、NチャネルMOSトランジスタMN3及びMN4を流れるドレイン電流は等しいことから、NチャネルMOSトランジスタMN3とMN4のゲート・ソース電圧VGSがほぼ等しくなる電圧にNチャネルMOSトランジスタMN3のドレインの電位は定まり、0.5V程度までしか上がることはなく、NチャネルMOSトランジスタMN3のゲート・ドレイン間の電圧は最大1Vとなる。ここで、第4、8及び12の実施の形態において、電源電圧VDDを1Vと想定して比較すると、NチャネルMOSトランジスタMN3のドレイン電圧は、ほぼ接地線G1と等しい電圧まで下がることから、NチャネルMOSトランジスタMN3のゲート・ドレイン間の電圧は最大1.5Vになる。よって、第14の実施の形態のように構成することは、過大な電圧をどこにも加えないで用いることができるので、信頼性の向上に極めて有効である。本発明は、半導体集積回路装置の微細化が進み、耐圧が下がる傾向にあるMOSトランジスタにおいて、顕著な効果を有する。

【0095】

なお、上述した第4、12の実施の形態と同様に、レベル変換回路又はCMOS信号論理回路を適宜設けることにより、制御入力端子SIGへの制御信号を供給することもできる。また、この際、制御入力信号SIG1を、このようなレベル変換回路又はCMOS信号論理回路の制御入力とすることもできる。

(11) レベル変換回路

図18に、レベル変換回路(3)の回路構成図の一例を示す。このレベル変換回路は、本発明の第13の実施の形態において使用することができる。

【0096】

図18に示す回路は、図6に示した回路と同様に、一般的なチャージポンプ回路であり、複数のNチャネルMOSトランジスタ及びコンデンサ等から構成される。チャージポンプの段数は、必要に応じて適宜設定することができ、それにより出力信号OUTを調整することができる。

【0097】

PチャネルMOSトランジスタMP4のゲートには、制御入力信号SIGに基づき0~VDDが印加される。また、PチャネルMOSトランジスタMP3のゲートには、入力された制御入力信号SIGに基づきレベル変換回路(3)の出力OUT(0~VDDを超える電圧)が印加される。

【0098】

本発明の第14の実施の形態においても、同様に図5に示した回路等によりレベル変換回路を構成して組合わせることができる。

(12) CMOS信号論理回路

図19に、CMOS信号論理回路(2)の構成図の一例を示す。

【0099】

このCMOS信号論理回路(2)は、本発明の第13の実施の形態において使用することができる。

【0100】

CMOS信号論理回路は、電源VDD及び電源VDDより高い電源VDD1に接続され、待機電流制御用MOSトランジスタMP3及びMP4のゲートに制御電圧OUT1及びOUT2を出力する。制御入力端子SIGにより、ロウレベルのときは出力OUT1及びOUT2に0Vを出力し、ハイレベルのときは出力OUT1にVDD1(>VDD)出力OUT2にVDDを出力する。

【0101】

本発明の第14の実施の形態においても、図15を参照して適宜のCMOS信号論理回路を構成して組み合わせることができる。

【0102】

【発明の効果】

本発明は、以上のように、CMOS論理回路における待機時電流制御用MOSトランジスタのゲートに対し、従来は0V~VDDの信号を印加していたものを、0V以下もしくはVDD以上の高い電圧を印加することにより、電源電圧VDDを低電圧としても待機時電流制御用MOSトランジスタのオン・オフを確実に行うことができる。

【0103】

また、本発明によると、回路を構成するMOSトランジスタのチャネル幅の増大を防ぐことができる。

【0104】

また、本発明によると、全て同一の低しきい値のMOSトランジスタで回路を構成することができるので、プロセスが簡素化することができる。

【0105】

また、CMOS信号論理回路を用いることにより、別電源論理回路からの信号を用いるのでレベル変換回路が不要となり、回路が簡素化され、面積を削減することができる。

【0106】

また、待機時電流制御用MOSトランジスタを複数直列構成とすることにより、CMOS論理回路及び待機時電流制御用MOSトランジスタについて、過大な電圧をどこにも加えないで用いることができるので、信頼性の向上に極めて有効である。

【0107】

さらに、本発明は、半導体集積回路装置の微細化が進み、耐圧が下がる傾向にあるMOSトランジスタを含む半導体集積回路装置において、その実現において顕著な効果を有する。

【0108】

さらに、本発明は、低消費電力であるため、例えば、PDA、PHS、携帯電話等の携帯機器をはじめ、電池で使用する機器等に应用することにより、極めて顕著な効果を奏することができる。

【図面の簡単な説明】

【図1】 本発明に係る第1の実施の形態の半導体集積回路装置の構成図。

【図2】 本発明に係る第2の実施の形態の半導体集積回路装置の構成図。

【図3】 本発明に係る第3の実施の形態の半導体集積回路装置の構成図。

【図4】 本発明に係る第4の実施の形態の半導体集積回路装置の構成図。

【図5】 レベル変換回路(1)の回路構成図。

【図6】 レベル変換回路(2)の回路構成図。

【図7】 本発明に係る第5の実施の形態の半導体集積回路装置の構成図。

【図8】 本発明に係る第6の実施の形態の半導体集積回路装置の構成図。

【図9】 本発明に係る第7の実施の形態の半導体集積回路装置の構成図。

【図10】 本発明に係る第8の実施の形態の半導体集積回路装置の構成図。

【図11】 本発明に係る第9の実施の形態の半導体集積回路装置の構成図。

【図12】 本発明に係る第10の実施の形態の半導体集積回路装置の構成図。

【図13】 本発明に係る第11の実施の形態の半導体集積回路装置の構成図。

【図14】 本発明に係る第12の実施の形態の半導体集積回路装置の構成図。

【図15】 CMOS信号論理回路の構成図。

【図16】 本発明に係る第13の実施の形態の半導体集積回路装置の構成図。

【図17】 本発明に係る第14の実施の形態の半導体集積回路装置の構成図。

【図18】 レベル変換回路(3)の回路構成図。

【図19】 CMOS信号論理回路の構成図。

10

20

30

40

50

【図 20】従来のMT-COMS回路の構成図。

【符号の説明】

MP1、MP2、MP3、MP4 PチャネルMOSトランジスタ

MN1、MN2、MN3、MN4 NチャネルMOSトランジスタ

P1 第1の電源線

P2 第2の電源線

P3 第3の電源線

G1 接地線

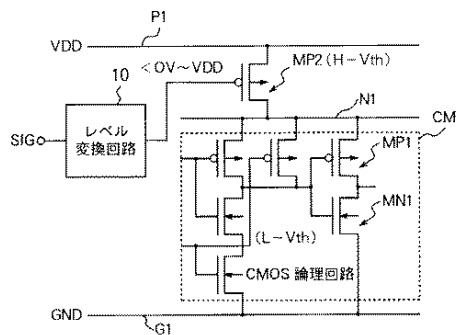
CM CMOS論理回路

10～13 レベル変換回路

20～23 CMOS信号論理回路

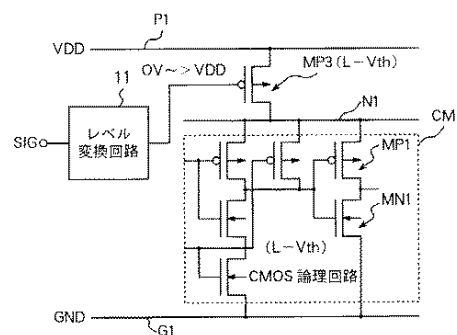
10

【図 1】



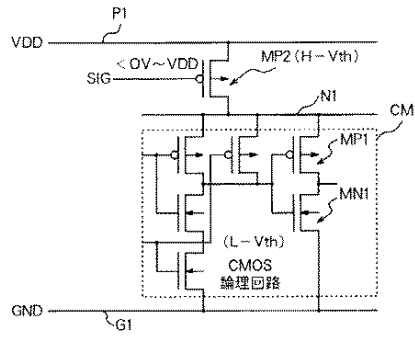
本発明の第1の実施例

【図 2】



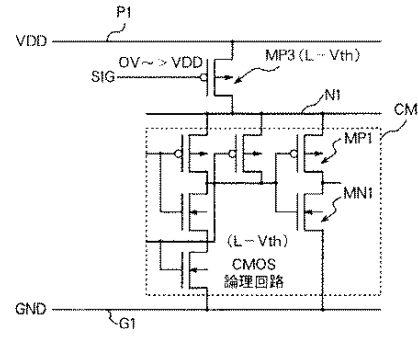
本発明の第2の実施例

【図 7】



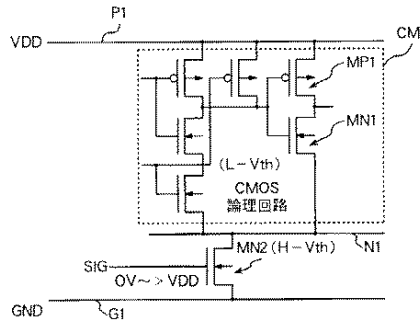
本発明の第 5 の実施例

【図 8】



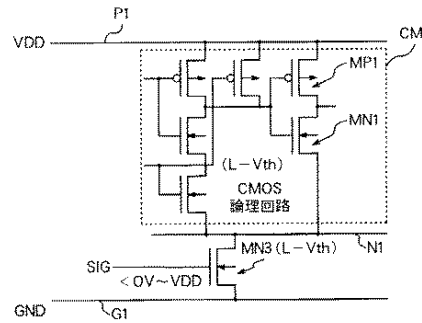
本発明の第 6 の実施例

【図 9】



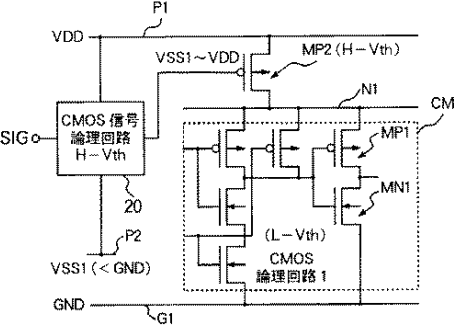
本発明の第 7 の実施例

【図 10】



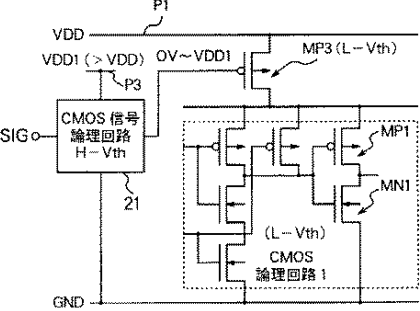
本発明の第 8 の実施例

【図 1 1】



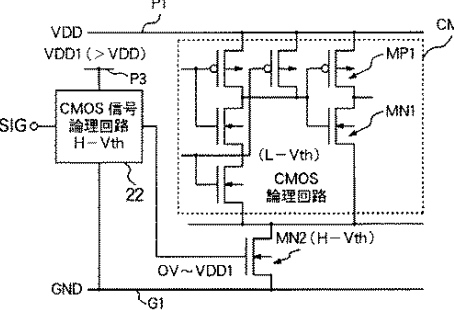
本発明の第 9 の実施例

【図 1 2】



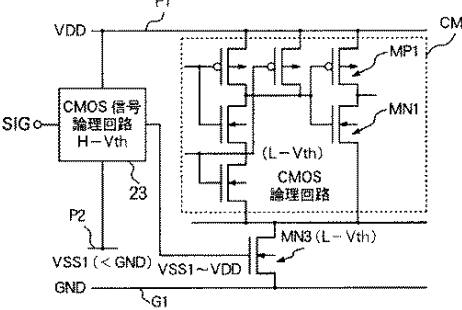
本発明の第 10 の実施例

【図 1 3】



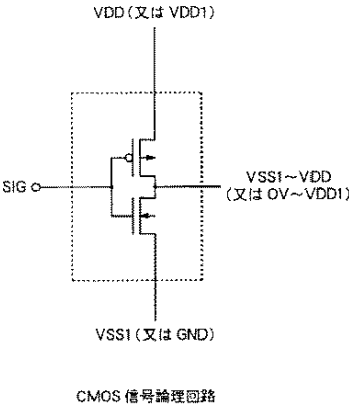
本発明の第 11 の実施例

【図 1 4】

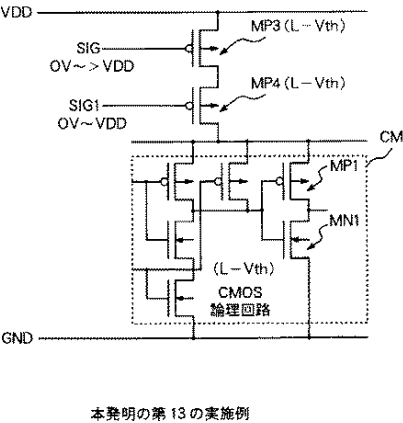


本発明の第 12 の実施例

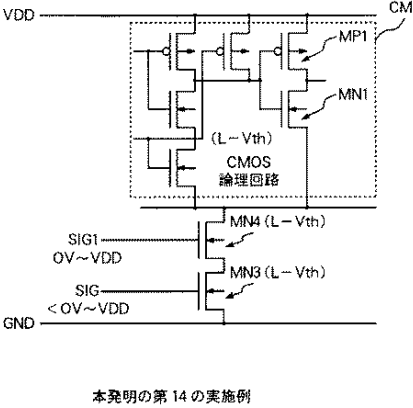
【図 15】



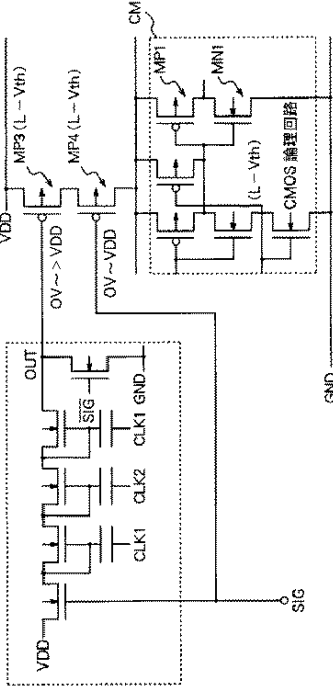
【図 16】



【図 17】



【図 18】



フロントページの続き

(72)発明者 藤 田 哲 也

神奈川県川崎市幸区堀川町580番1号 株式会社東芝 半導体システム技術センター内

(72)発明者 黒 田 忠 広

神奈川県川崎市幸区堀川町580番1号 株式会社東芝 半導体システム技術センター内

(72)発明者 松 原 玄 宗

神奈川県川崎市幸区堀川町580番1号 株式会社東芝 半導体システム技術センター内

(72)発明者 櫻 井 貴 康

東京都港区六本木七丁目2番1号 東京大学 生産技術研究所内

審査官 江嶋 清仁

(58)調査した分野(Int.Cl.⁷, DB名)

H03K 17/687

H01L 21/8238

H01L 27/092

H03K 19/0948